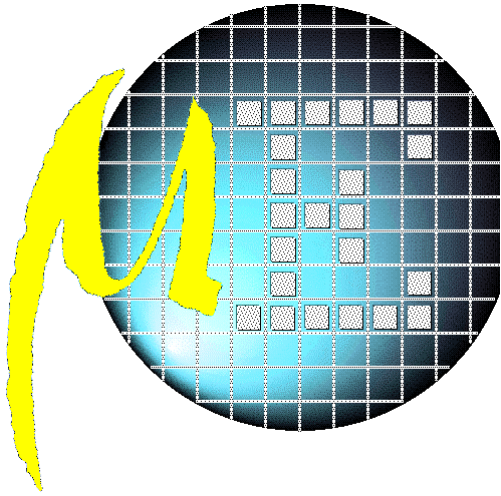


# Circuiterie des portes CMOS non complémentaires



DEA MICROÉLECTRONIQUE

Alain GUYOT

TIMA



☎ (33) 04 76 57 46 16

💻 Alain.Guyot@imag.fr

<http://tima-cmp.imag.fr/~guyot>

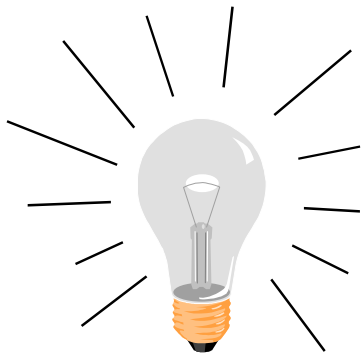
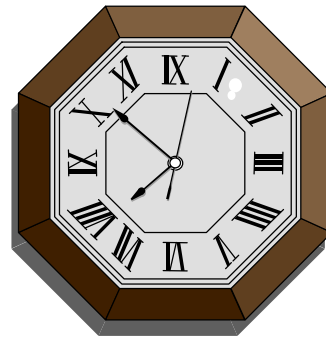
Techniques de l'Informatique et de la Microélectronique

pour l'Architecture. Unité associée au C.N.R.S. n° B0706 non complémentaire 151

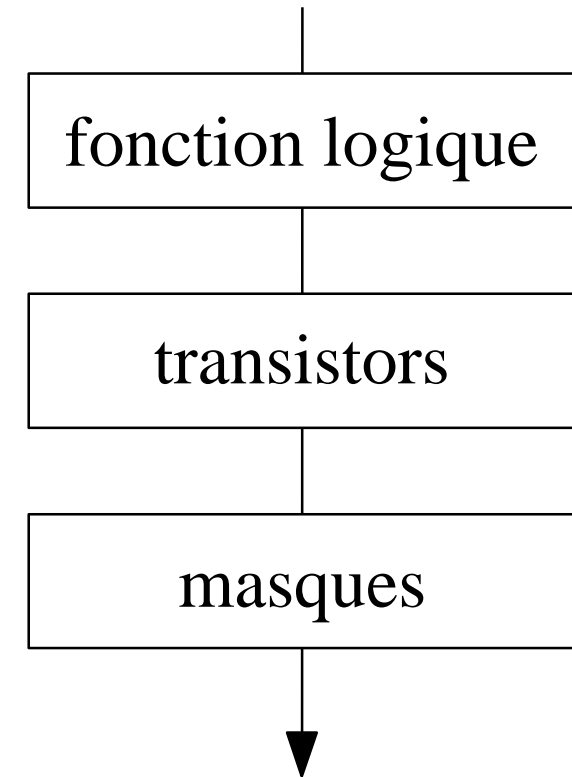
# But: Portes rapides avec peu de transistor

## Inconvénient: restrictions d'emploi

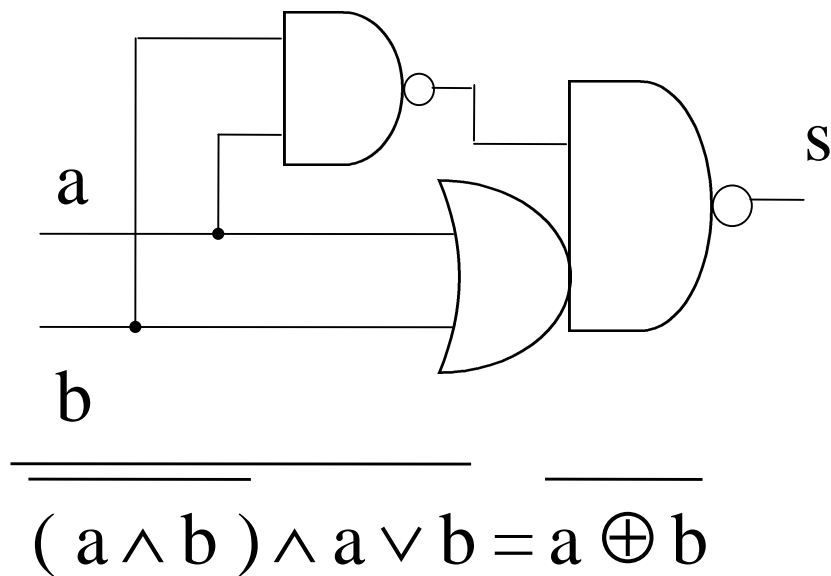
Optimiser  
- la vitesse  
- le nombre  
de transistors



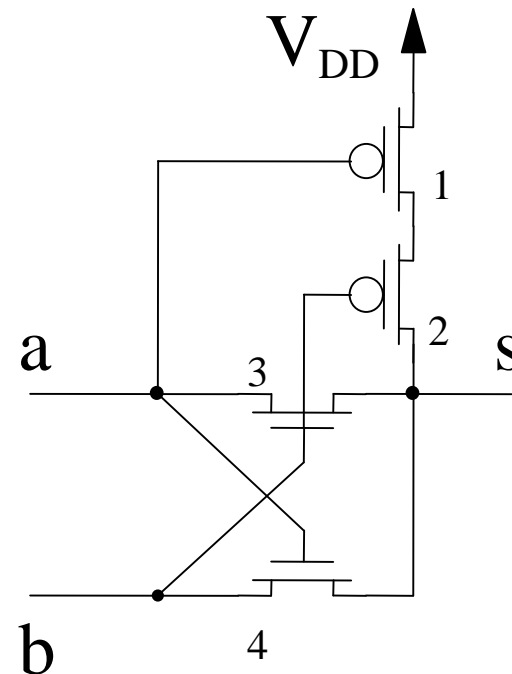
Profiter des temps  
morts pendant lesquels  
les entrées ne sont pas  
disponibles



# Conjonction à transmission



10 transistors



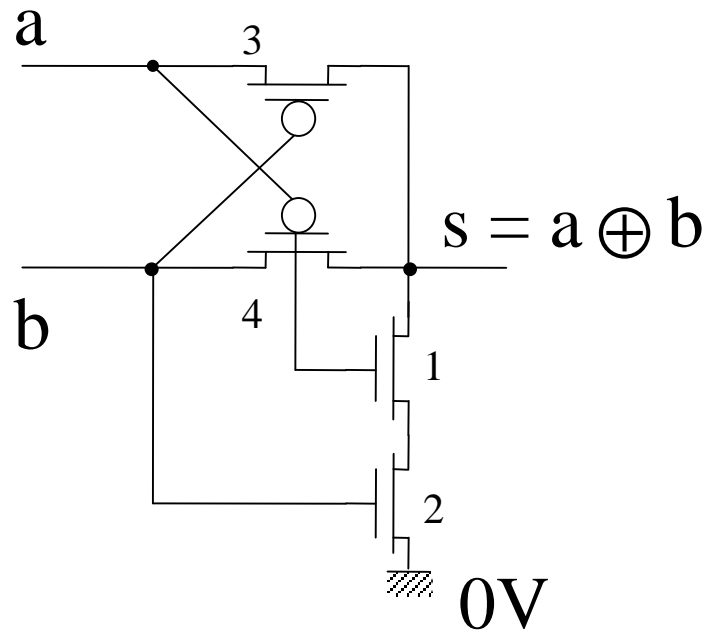
4 transistors

Problèmes:

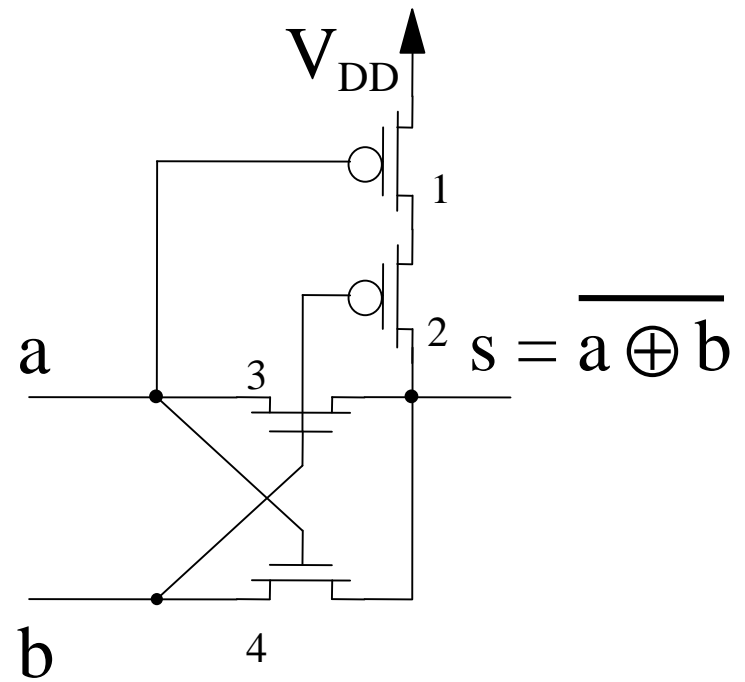
$a=b=1 \Rightarrow$  dégradation du niveau S

$a=b=1 \Rightarrow$  court-circuit entre a et b

# Disjonction à transmission

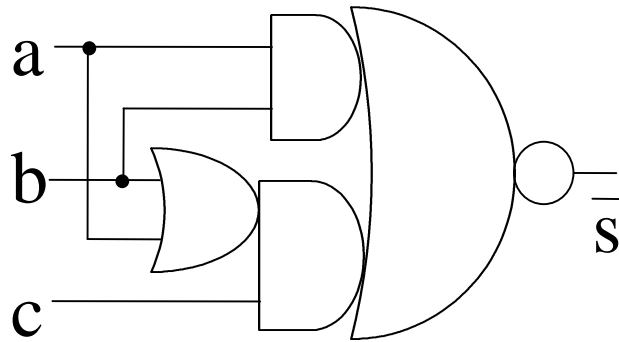


4 transistors



4 transistors

# Majorité à transmission

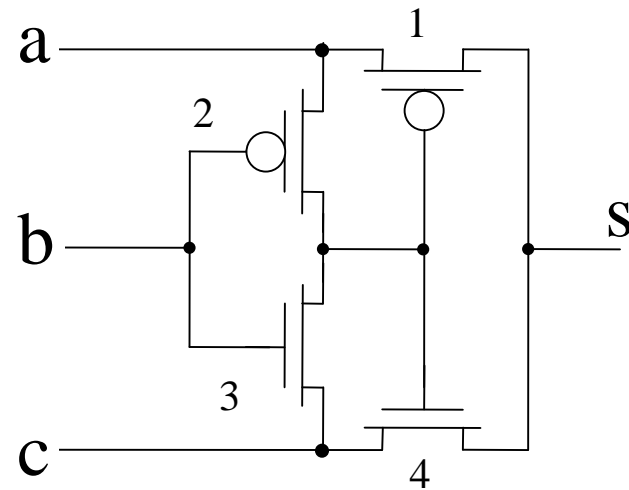


majorité (a,b,c)

---

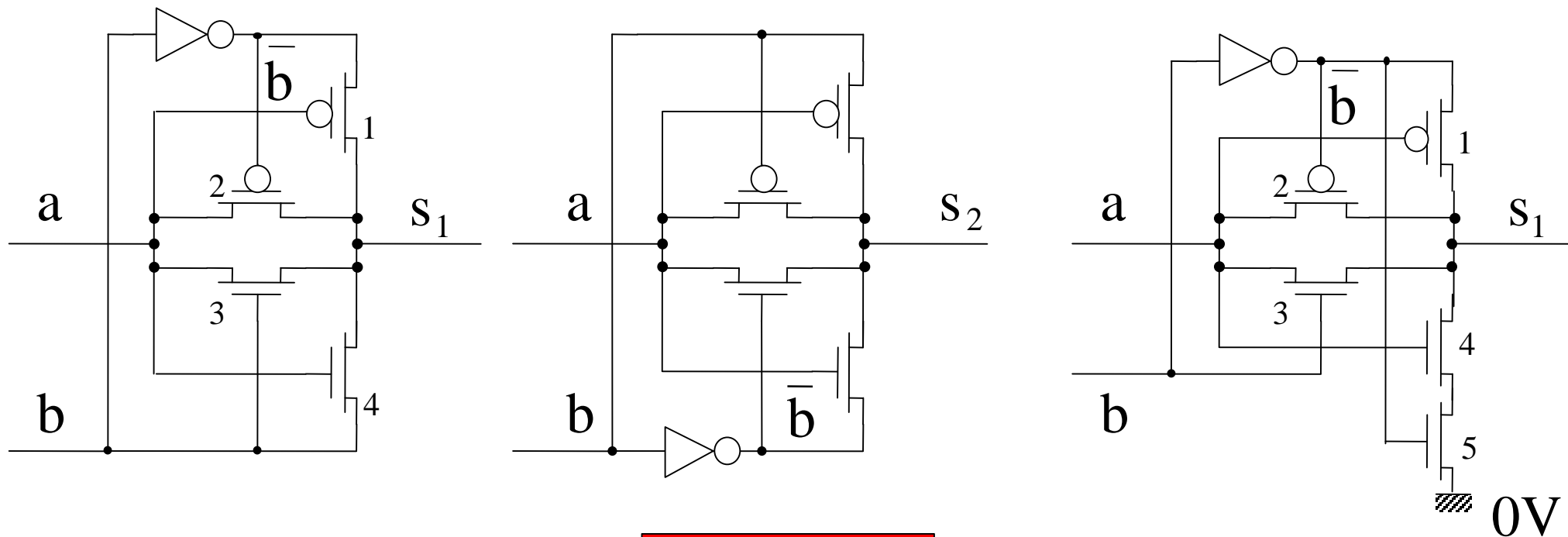
$$a \wedge b \vee (a \vee b) \wedge c$$

10 transistors

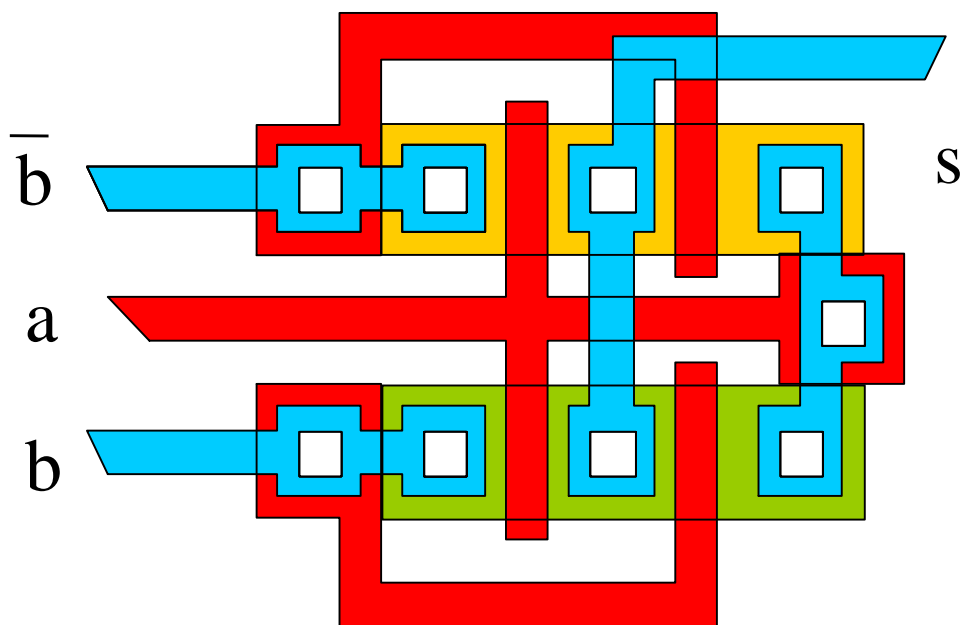


4 transistors

# Disjonction à transmission (2)

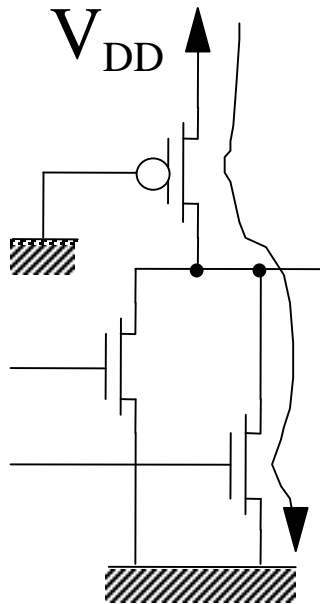


- métal
- poly
- diffu-
- sion



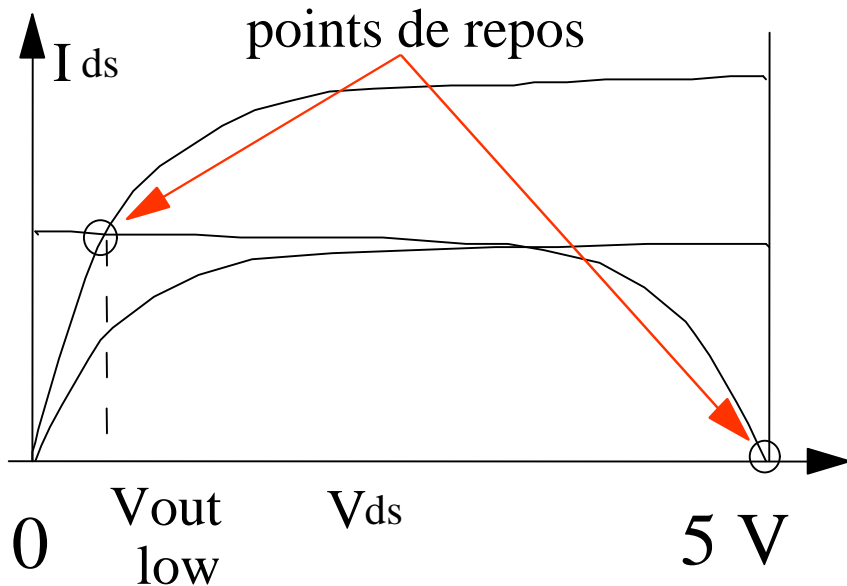
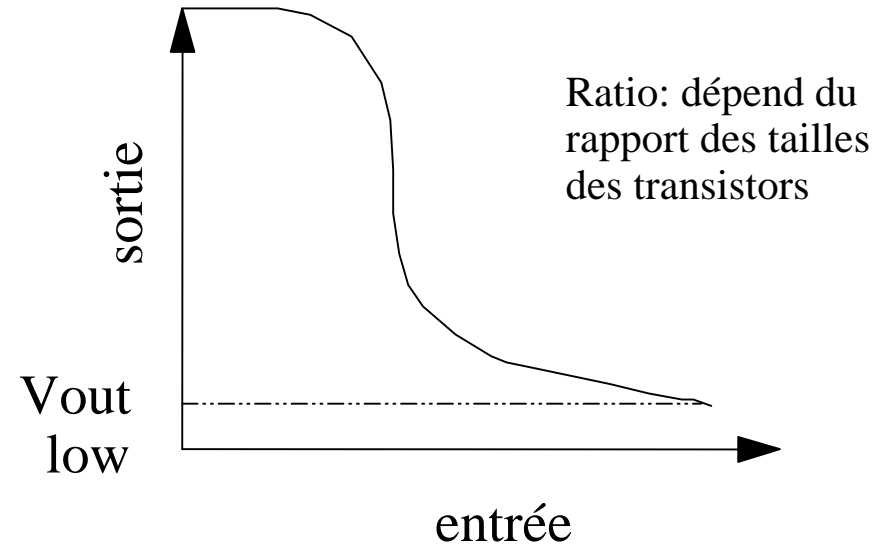
a	b	s <sub>1</sub>	s <sub>2</sub>
0	0	1	0
0	1	0	1
1	0	0	1
1	1	1	0

# Porte ratio (pseudo CMOS)



La porte Ratio est moins coûteuse que la complémentaire

- elle consomme
- le  $V_{out\ low}$  est mal défini



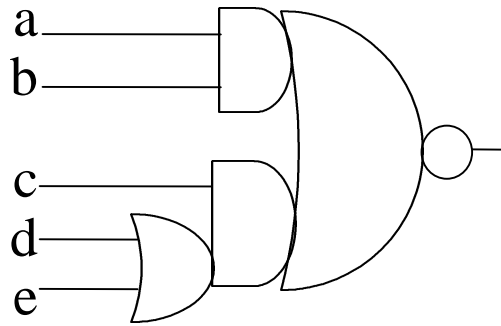
On impose  $V_{out\ low} < \alpha V_{Tn}$ ,  $\alpha$  étant la marge de bruit. Le transistor P est saturé et le transistor N ohmique. Il vient :

$$K_n \frac{W_n}{L_n} (5 - V_{Tn}) V_{ol} = K_p \frac{W_p}{L_p} (V_{Tp} - 5)^2$$

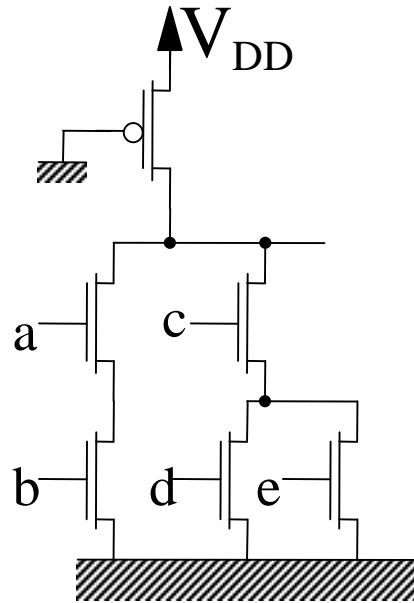
Si on prend  $V_{Tn} = V_{Tp} = 1V$ ,  $K_n = 2 K_p$  et

$\alpha = 1/2$  on a un rapport de dimensions d'environ 4

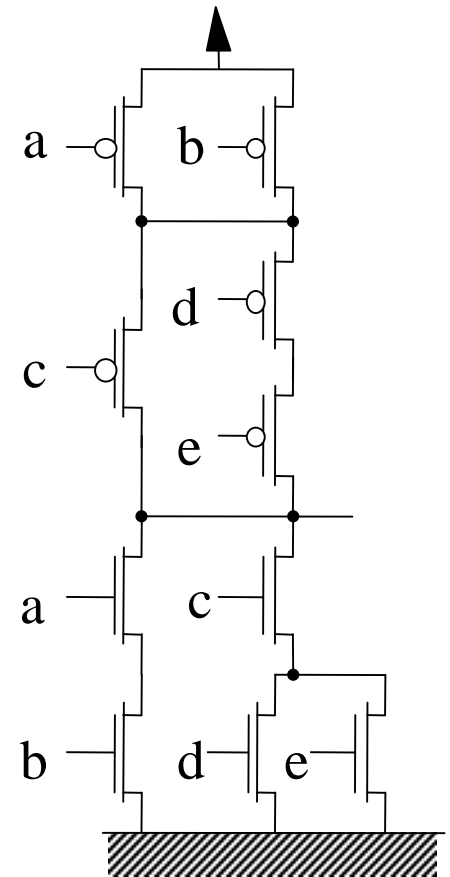
# Exemples de porte ratio



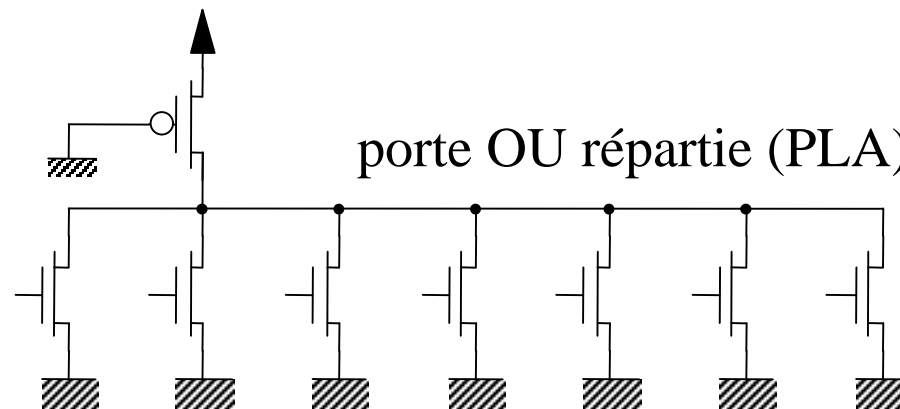
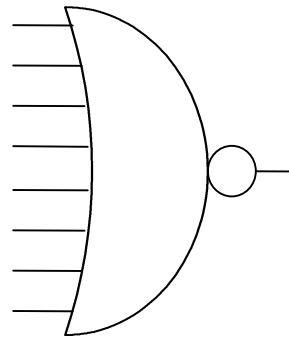
porte complexe



6 transistors



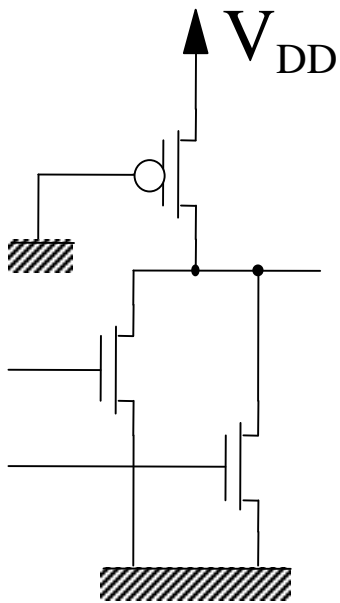
10 transistors



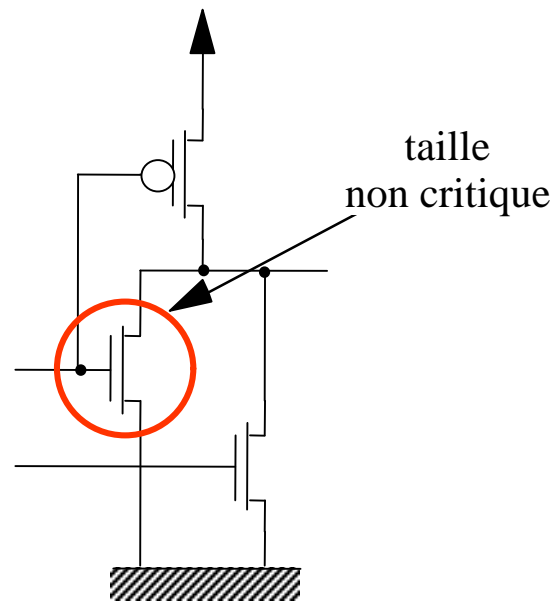
porte OU répartie (PLA)



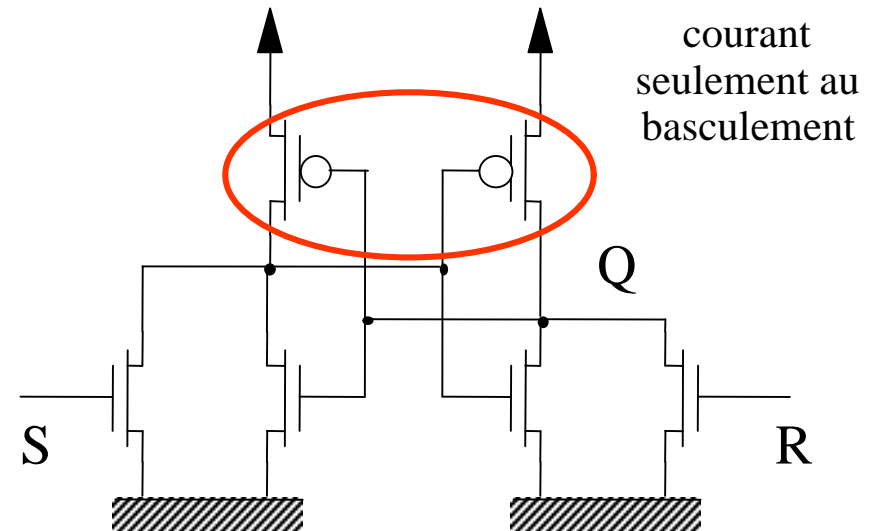
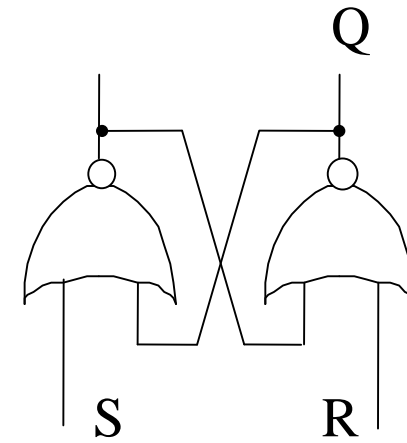
# Porte semi-ratio



Ratio

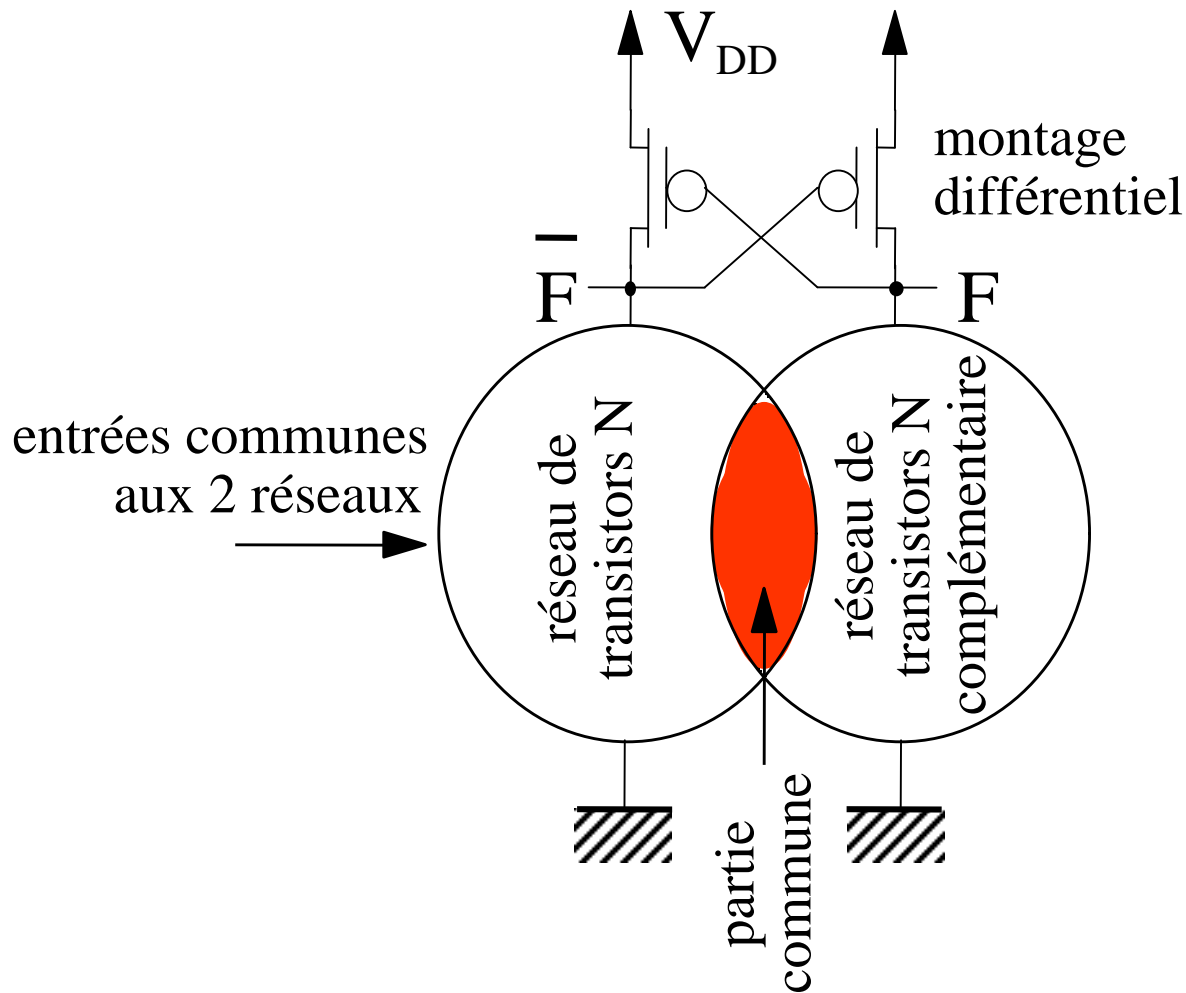


Semi ratio



Si on interdit  $R=S=1$  alors la réalisation Ratio de la bascule RS ne consomme pas et coûte moins.

# Cascode Différentiel



On a échangé le réseau de transistors P contre un réseau de transistors N utiliser les variables complémentées.

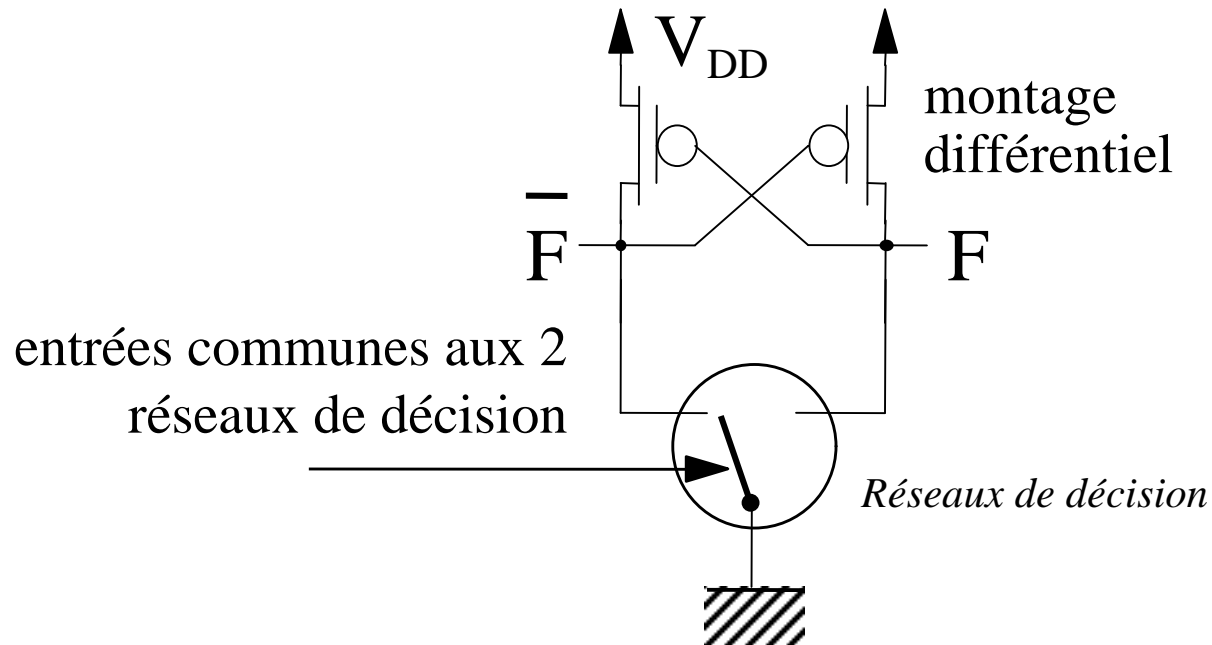
Avantage

Les sorties F et F sont disponibles  
les 2 réseaux peuvent avoir des parties communes

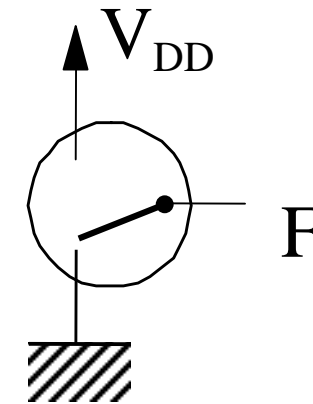
Inconvénients

Nécessite des entrées directes et complémentées

# Cascode Différentiel



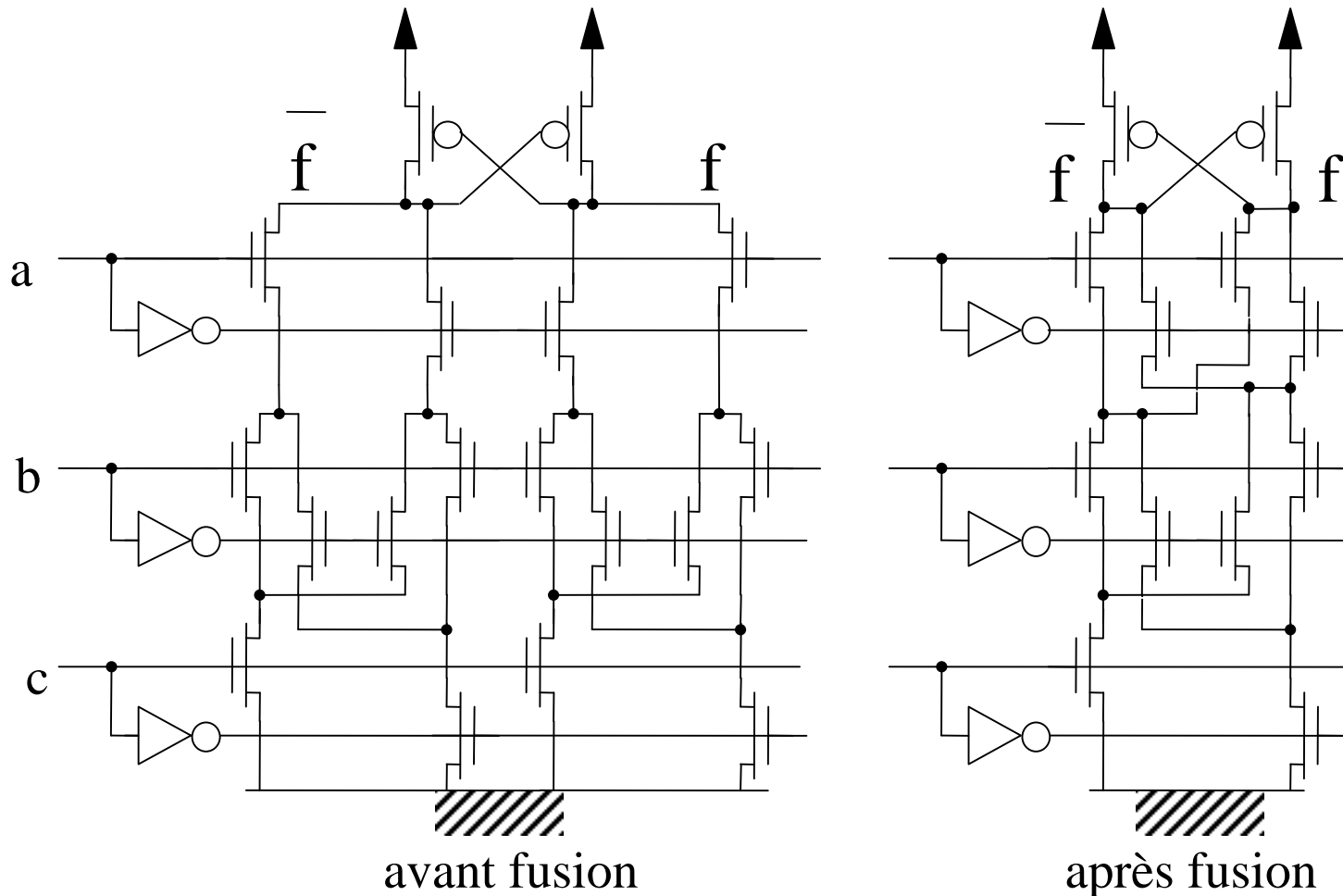
Porte différentiel  
( deux réseaux N duaux )



Porte complémentée  
( réseau P et réseau N duaux )

Quand un des réseaux conduit, l'autre ne conduit pas et réciproquement.  
Il existe un algorithme pour construire les arbres DCVSL à partir de leurs tableaux de Karnaugh: l'algorithme **K-MAP**.

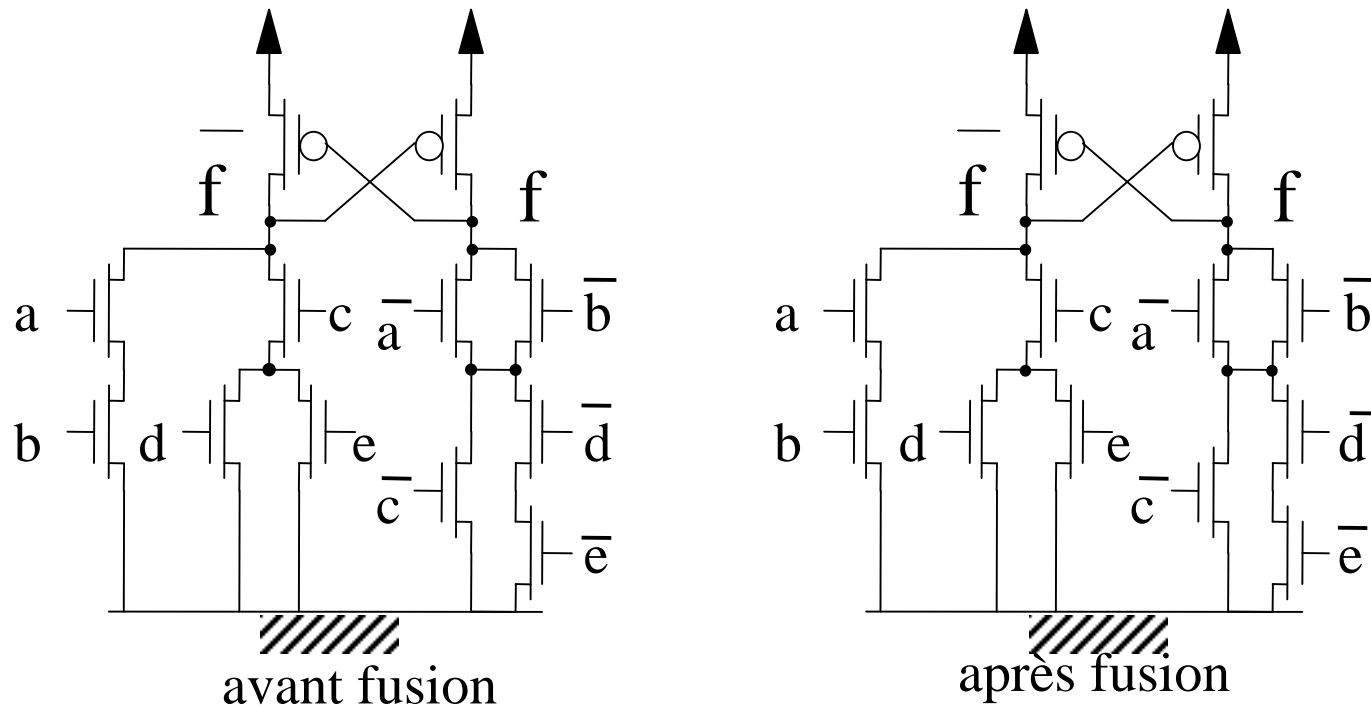
# Cascode Différentiel: exemple 1



$\bar{f}$  est tiré à  $V_{Ss}$  par  $a.b.c + \bar{a}.\bar{b}.\bar{c} + \bar{a}.b.c + a.\bar{b}.\bar{c}$

$f$  est tiré à  $V_{Ss}$  par  $\bar{a}.\bar{b}.\bar{c} + \bar{a}.b.c + a.\bar{b}.\bar{c} + a.b.c$

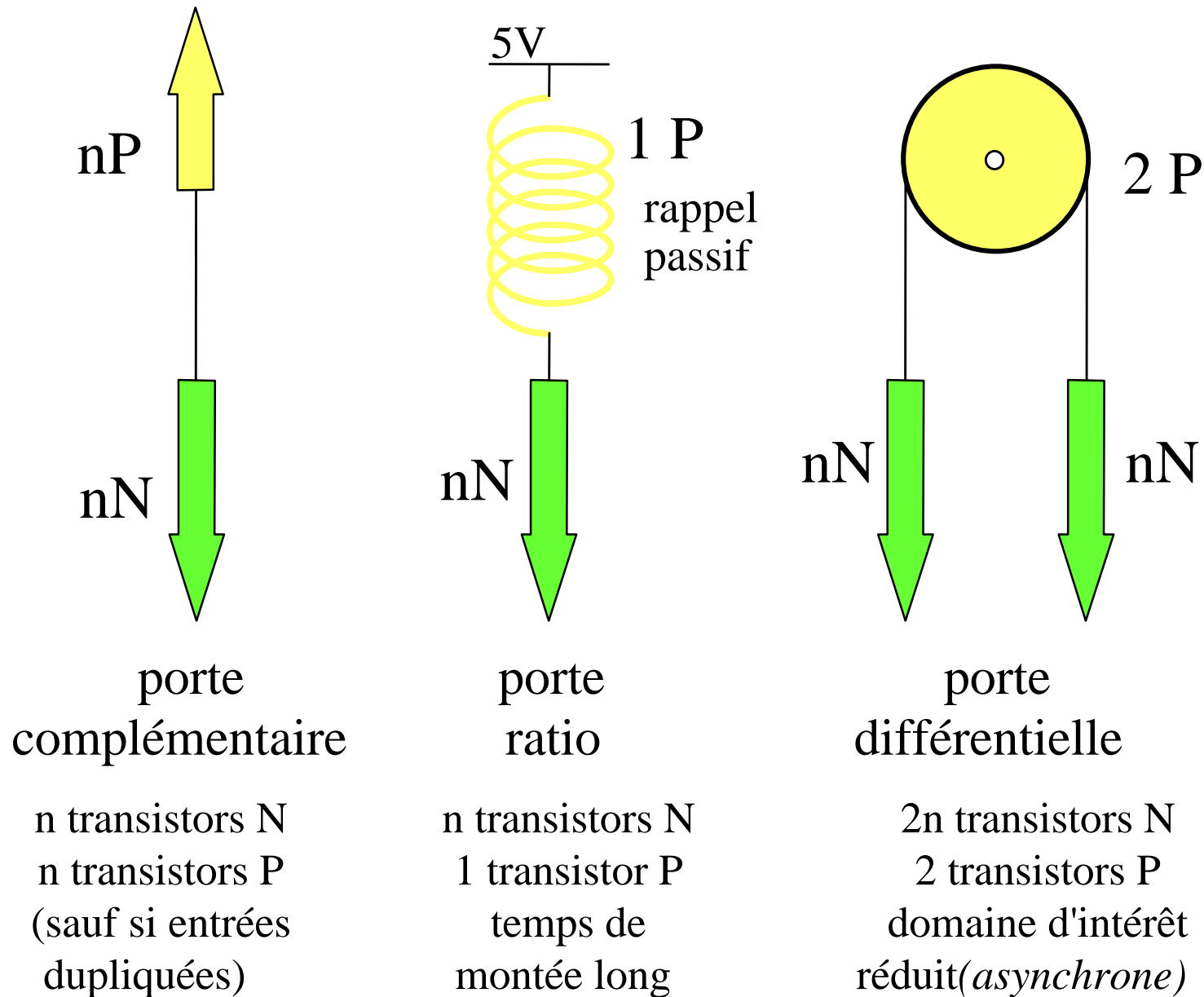
# Cascode Différentiel: exemple 2



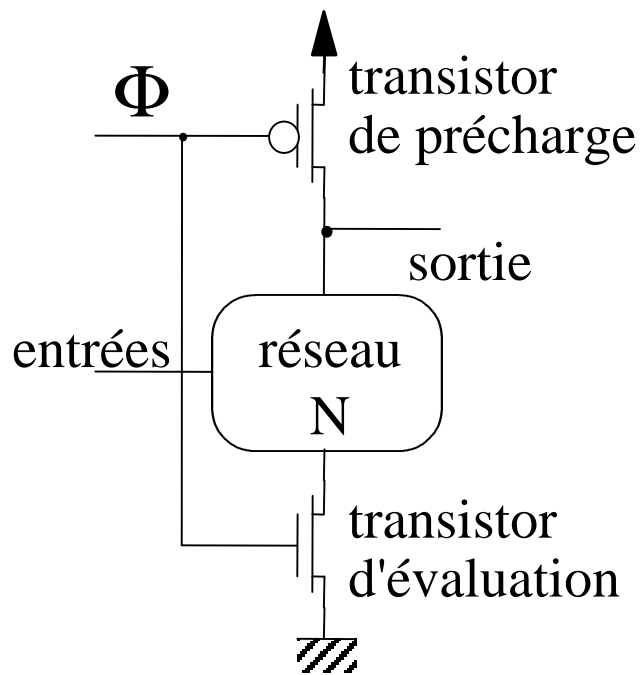
Toutes les fonctions ne se prêtent pas  
à une réalisation Cascode Différentiel

# Résumé sur les portes Statiques

(pas d'horloge)



# Porte logique dynamique (horloge)



Porte travaillant  
à mi-temps

Coût: 1 transistor P  
n+1 transistors N

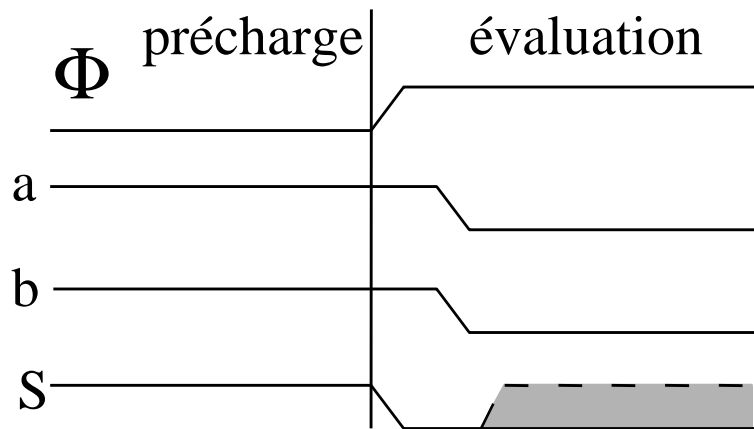
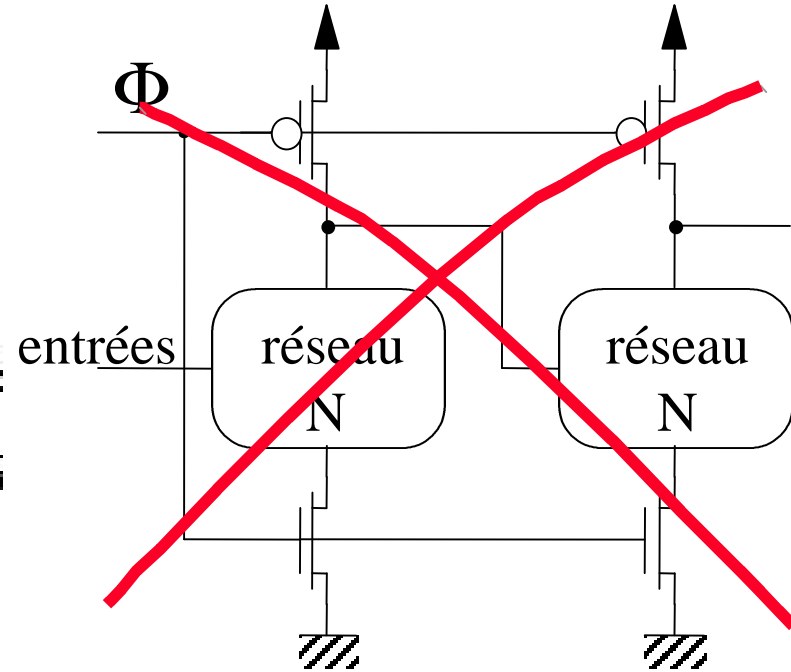
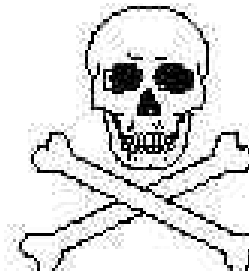
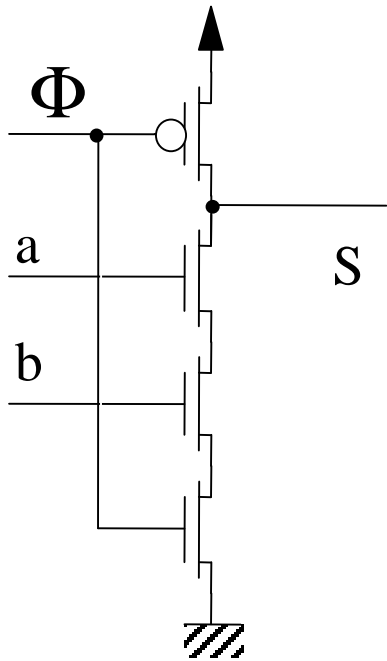


Pendant la précharge ( $\Phi = 0$ ) la sortie vaut 1  
Pendant l'évaluation ( $\Phi = 1$ ) la sortie passe  
conditionnellement à 0

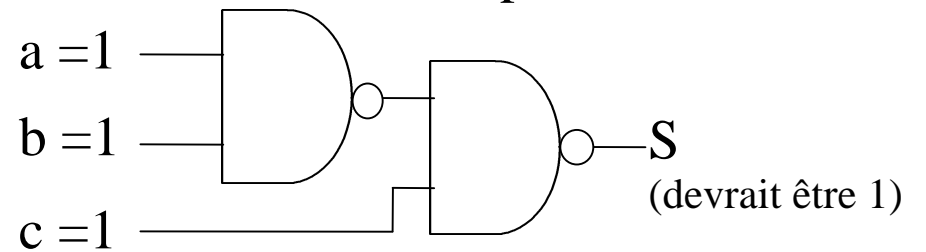
Problèmes:

- 1: immunité au bruit réduite ( $V_{tn}$  au lieu de  $V_{dd}/2$ )
- 2: "bruit" dû aux partages de charges
- 3: vitesse minimum (fuite en faible inversion)

# Mise en série de portes dynamique



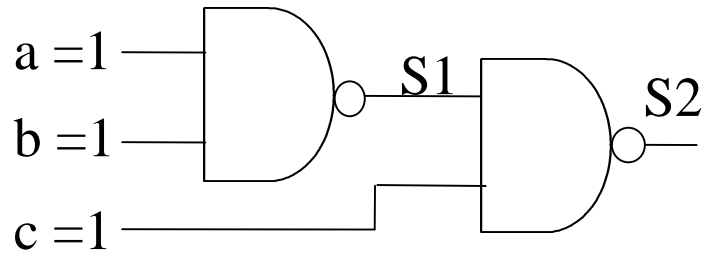
Contre exemple



$$(a \wedge b) \wedge c = a \wedge b \vee \bar{c}$$

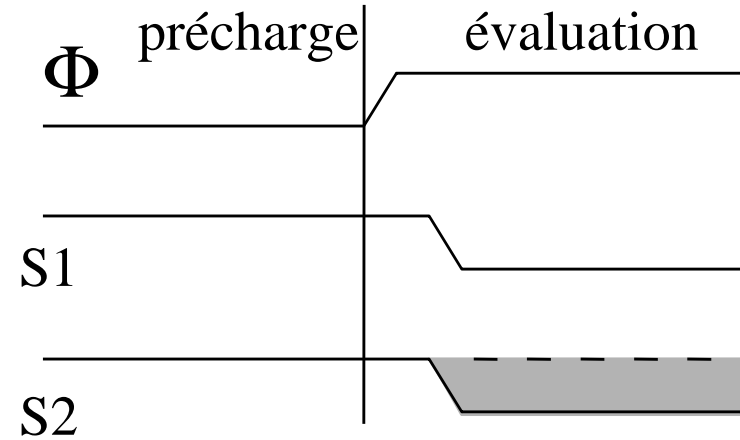


# Exemple de mauvais fonctionnement

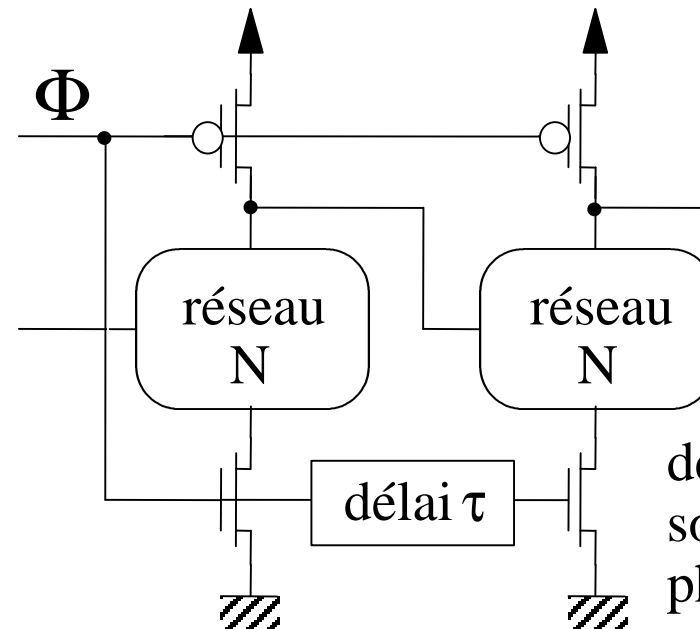
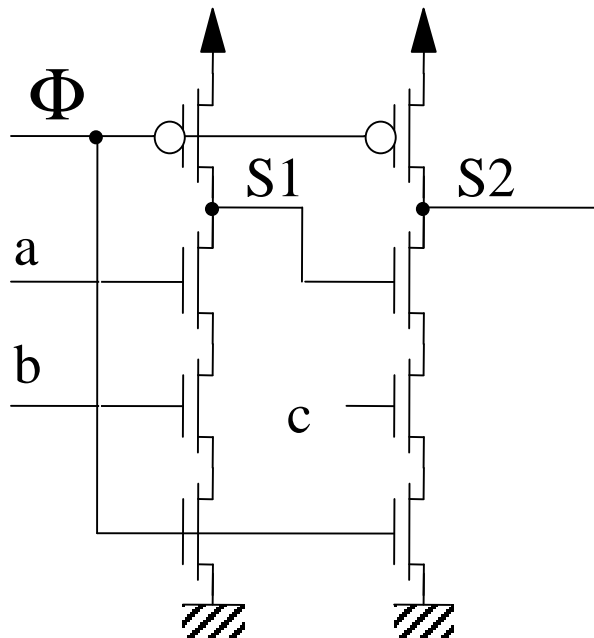


$$(a \wedge b) \wedge c = a \wedge b \vee \bar{c}$$

$a = 1$  et  $b = 1 \Rightarrow S1 = 0 \Rightarrow S2 = 1$

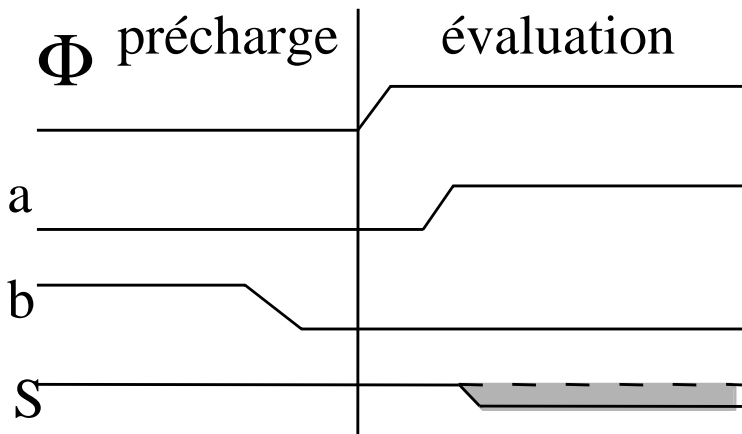
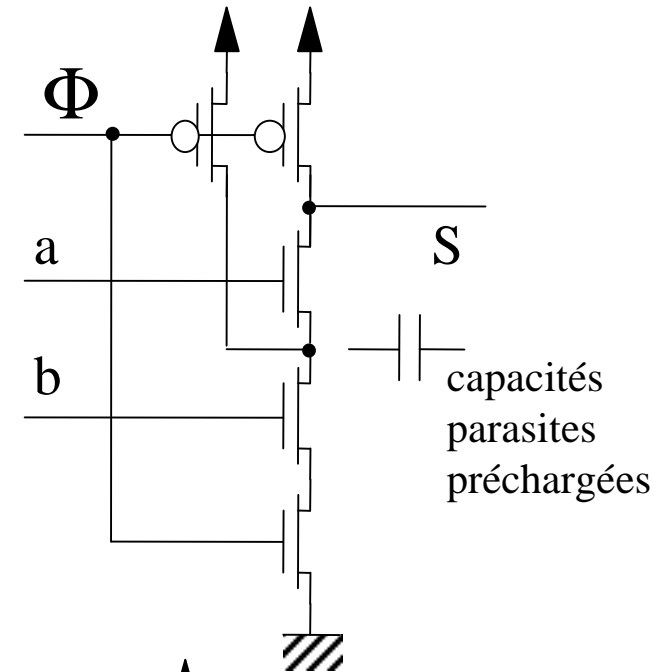
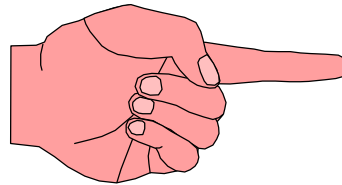
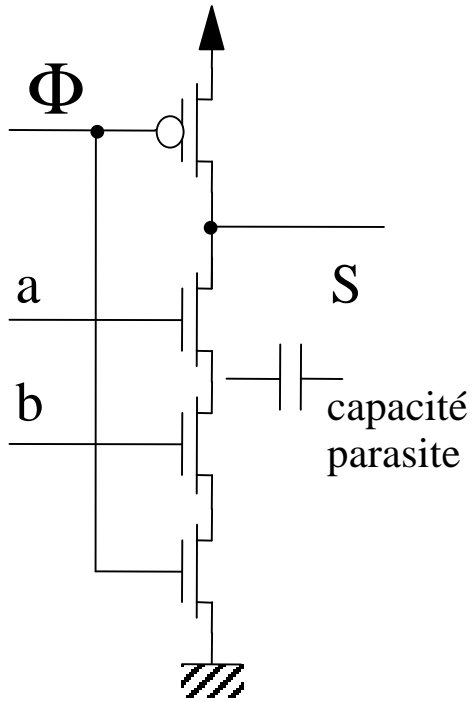


$c = 1$  entraîne décharge de S2

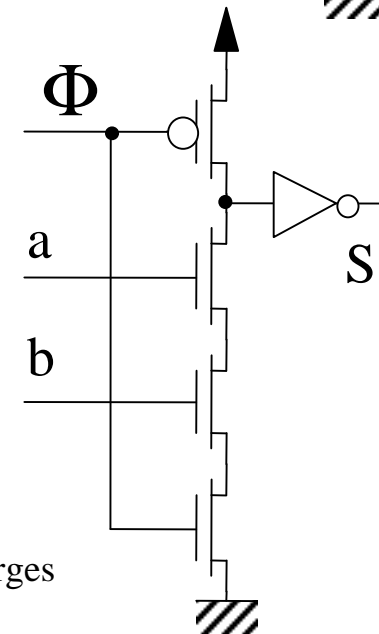


délai implémenté  
sous forme de  
phases multiples

# Partage de Charges



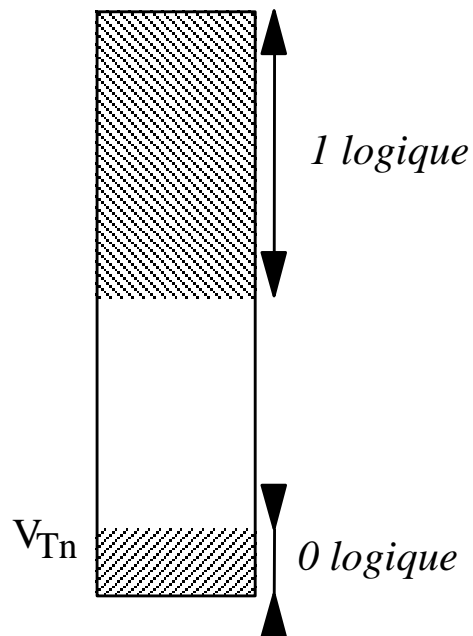
"bruit" dû au partage des charges  
 ⇒ courant moins grand



porte avec bonne  
 immunité au bruit  
*(autres solutions  
 au partage de  
 charges plus loin)*

# Tolérance au bruit

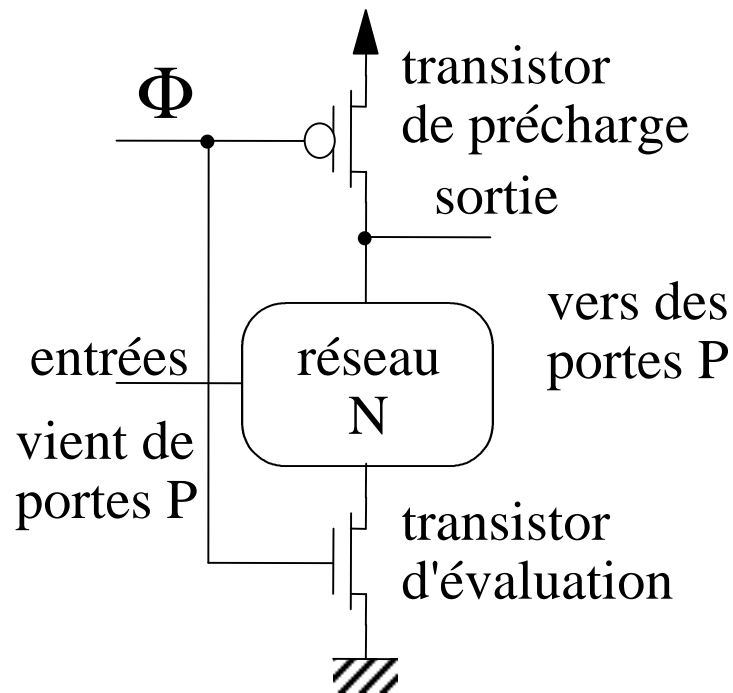
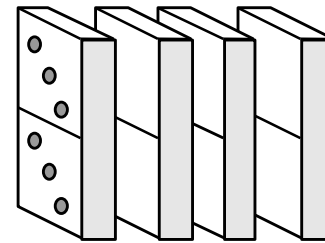
## Tolérance au bruit



## Minimisation de la consommation

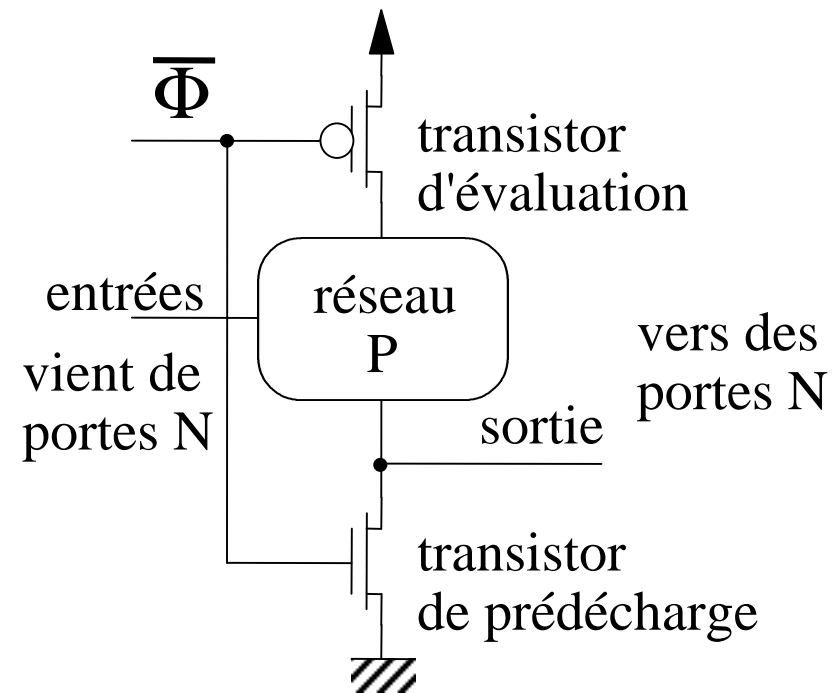
Diminuer le  $\frac{W}{L}$  du transistor P tant que le temps de montée est inférieur au temps de descente

# Porte Domino



pendant l'évaluation

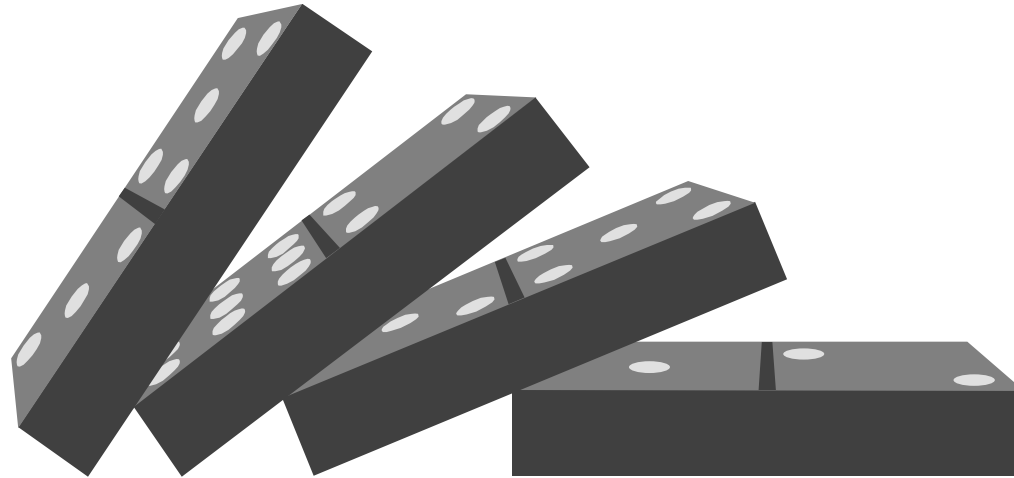
- l'entrée peut passer de 0 à 1
- la sortie peut passer de 1 à 0



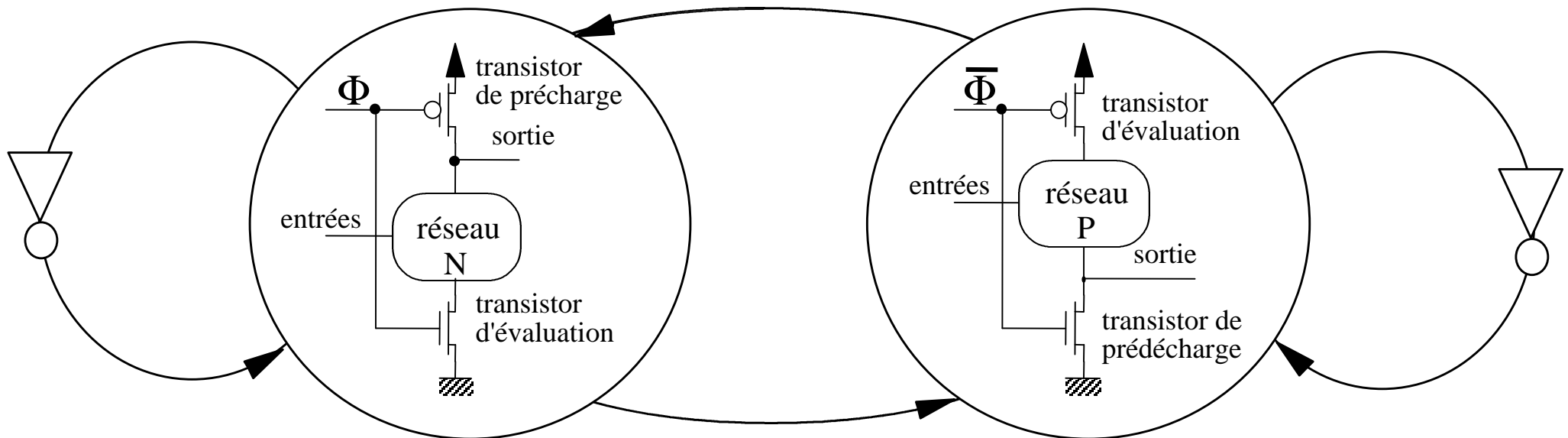
pendant l'évaluation

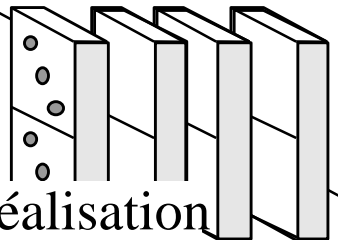
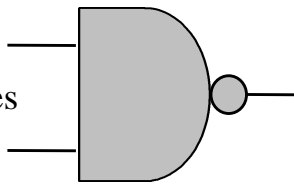
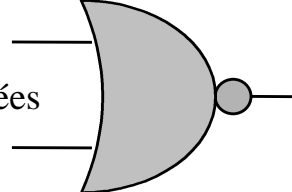
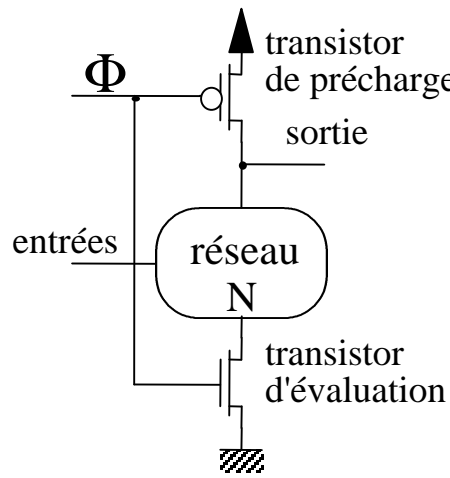
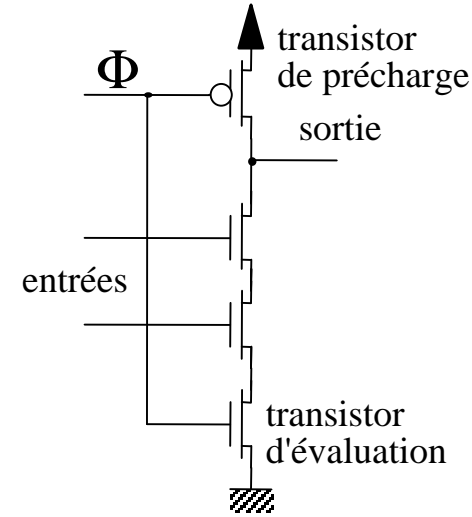
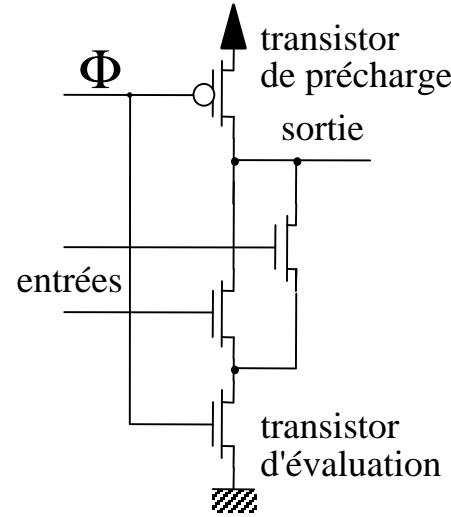
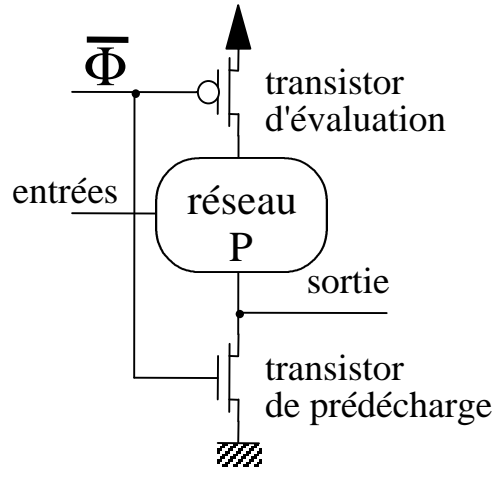
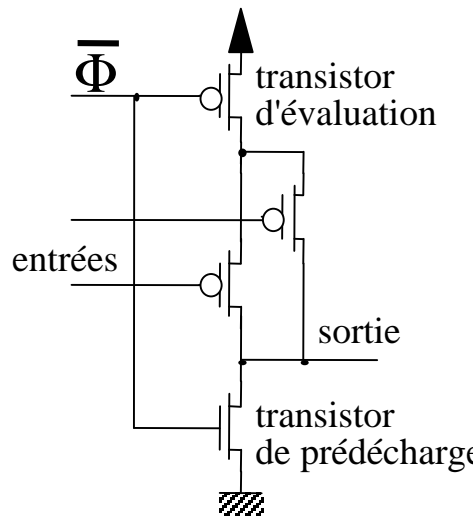
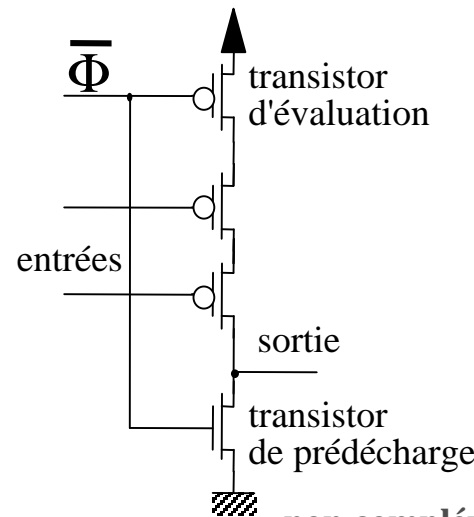
- l'entrée peut passer de 1 à 0
- la sortie peut passer de 0 à 1

# Règles d'assemblage des portes Domino

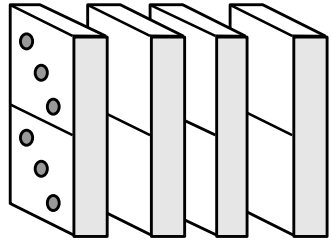


Evaluation pendant  $\Phi = 1$

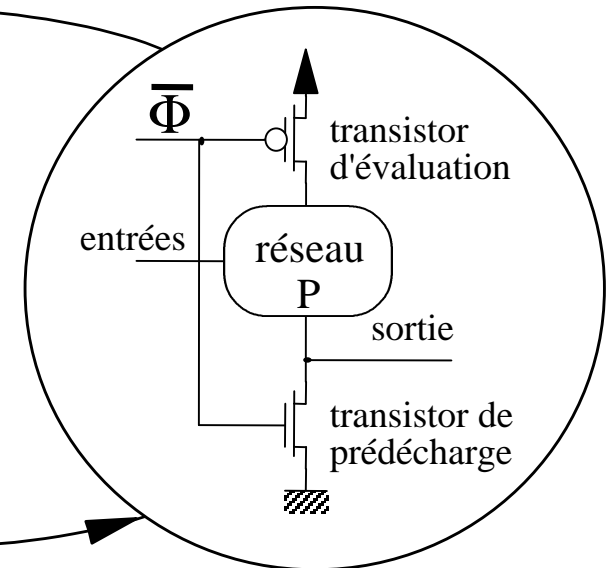
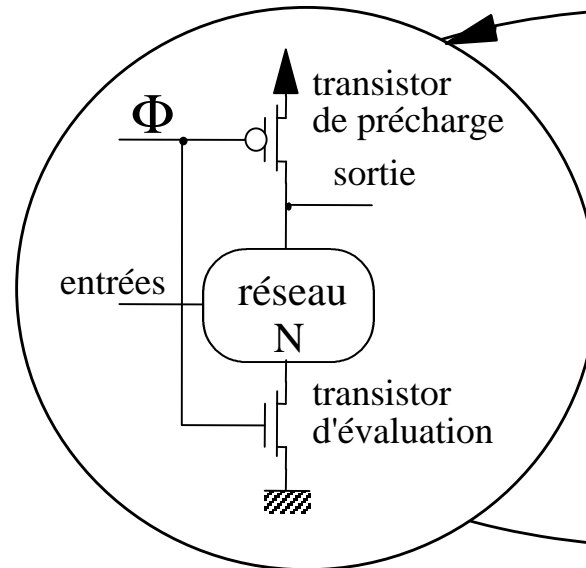


 <p>Porte logique</p> <p>Réalisation dynamique</p>	 <p>entrées</p> <p>sortie</p>	 <p>entrées</p> <p>sortie</p>
 <p><math>\Phi</math></p> <p>transistor de précharge</p> <p>sortie</p> <p>entrées</p> <p>réseau N</p> <p>transistor d'évaluation</p>	 <p><math>\Phi</math></p> <p>transistor de précharge</p> <p>sortie</p> <p>entrées</p> <p>transistor d'évaluation</p>	 <p><math>\Phi</math></p> <p>transistor de précharge</p> <p>sortie</p> <p>entrées</p> <p>transistor d'évaluation</p>
 <p><math>\bar{\Phi}</math></p> <p>transistor d'évaluation</p> <p>entrées</p> <p>réseau P</p> <p>sortie</p> <p>transistor de prédécharge</p>	 <p><math>\bar{\Phi}</math></p> <p>transistor d'évaluation</p> <p>entrées</p> <p>sortie</p> <p>transistor de prédécharge</p>	 <p><math>\bar{\Phi}</math></p> <p>transistor d'évaluation</p> <p>entrées</p> <p>sortie</p> <p>transistor de prédécharge</p>

# Phase d'évaluation des portes Domino

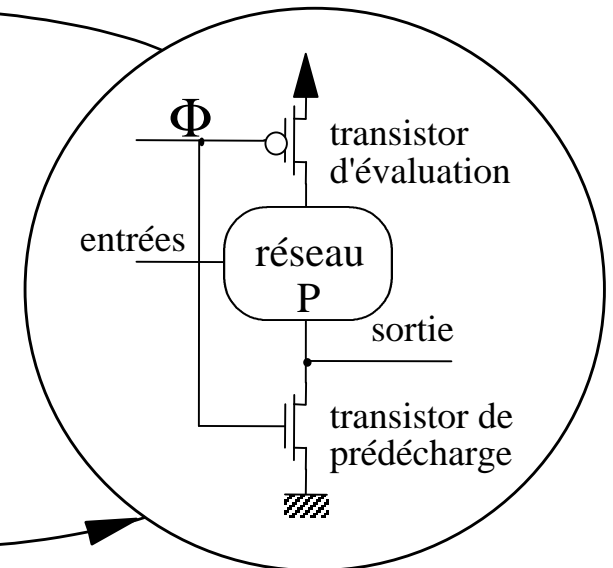
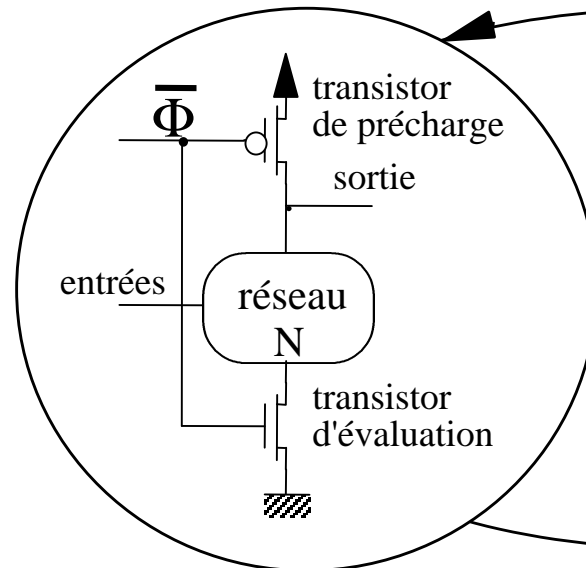


Portes évaluant pendant  $\Phi$

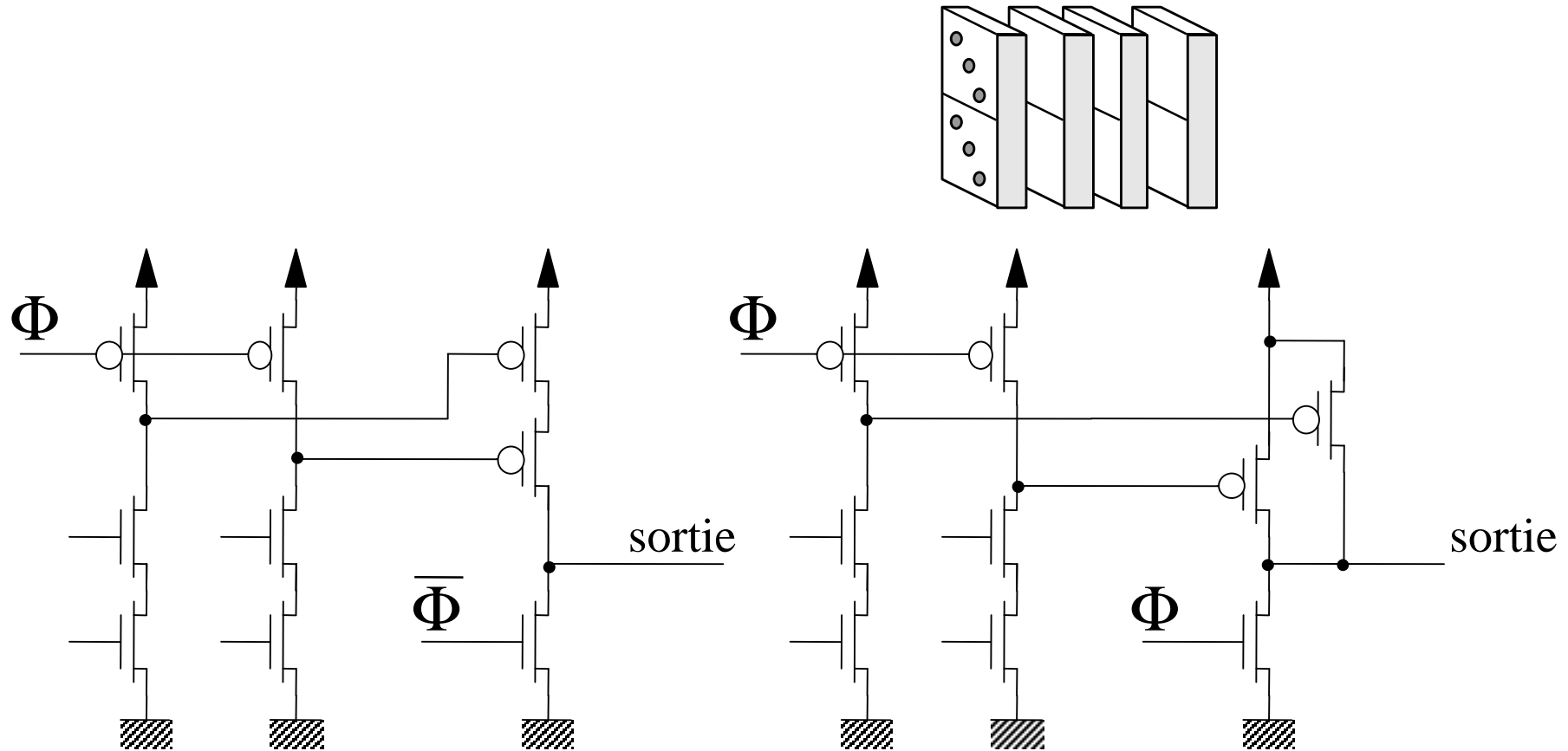


Portes évaluant pendant  $\bar{\Phi}$

Pendant qu'un système précharge, l'autre évalue et réciproquement



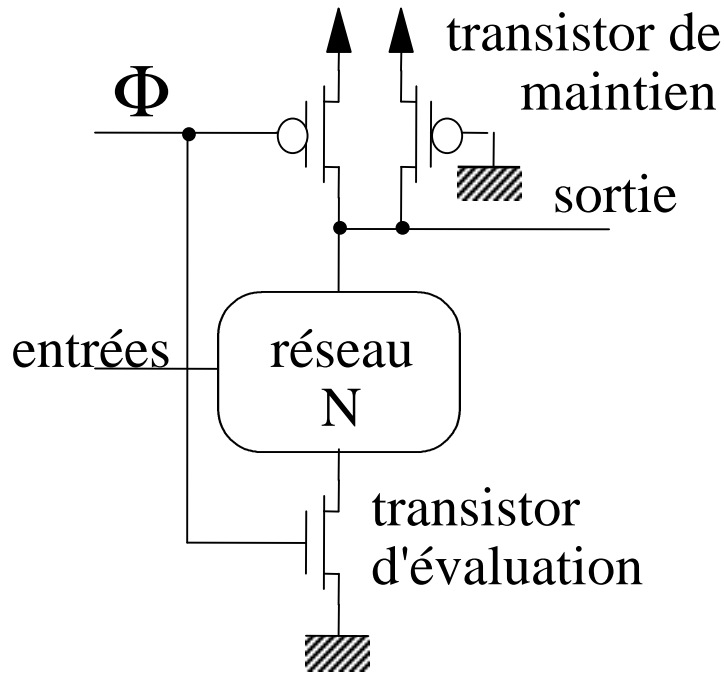
# Portes sans transistor d'évaluation



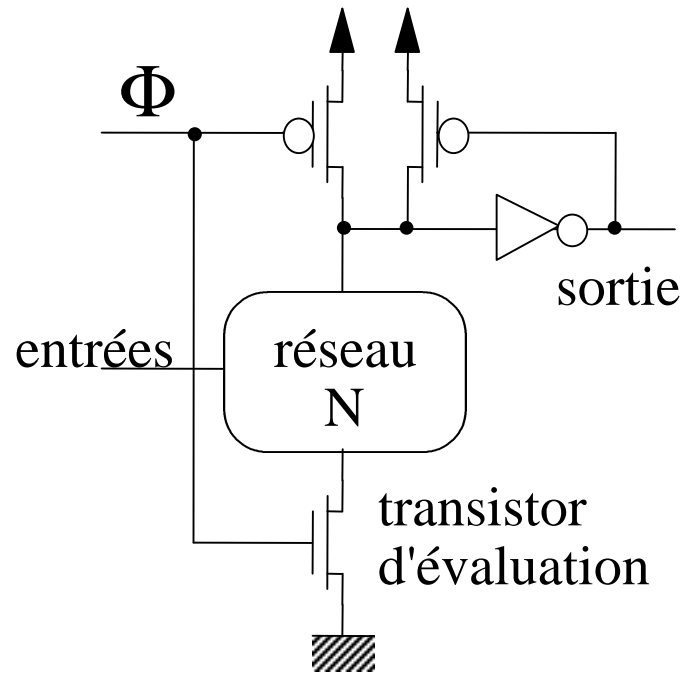
Si toutes les entrées d'une porte sont du type préchargé (ou pré-déchargé) alors le transistor d'évaluation est superflu



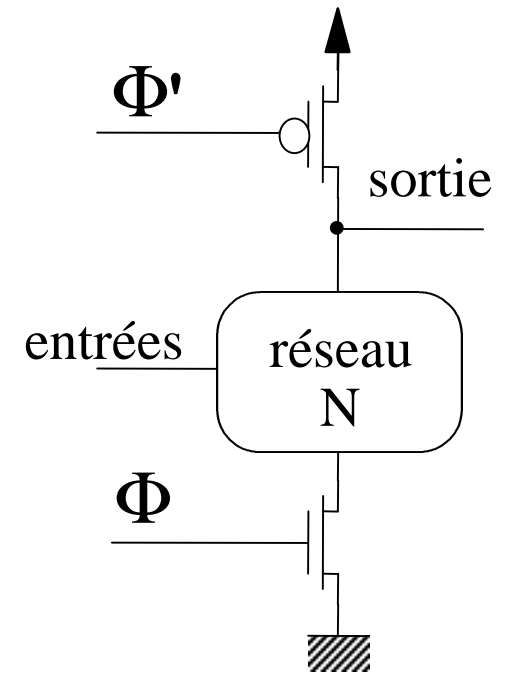
# Compensation des fuites et des partages de charge (pseudo statique)



transistor de  
maintien  
passif (ratio)  
(bleeder)



transistor de  
maintien  
actif (ratio)

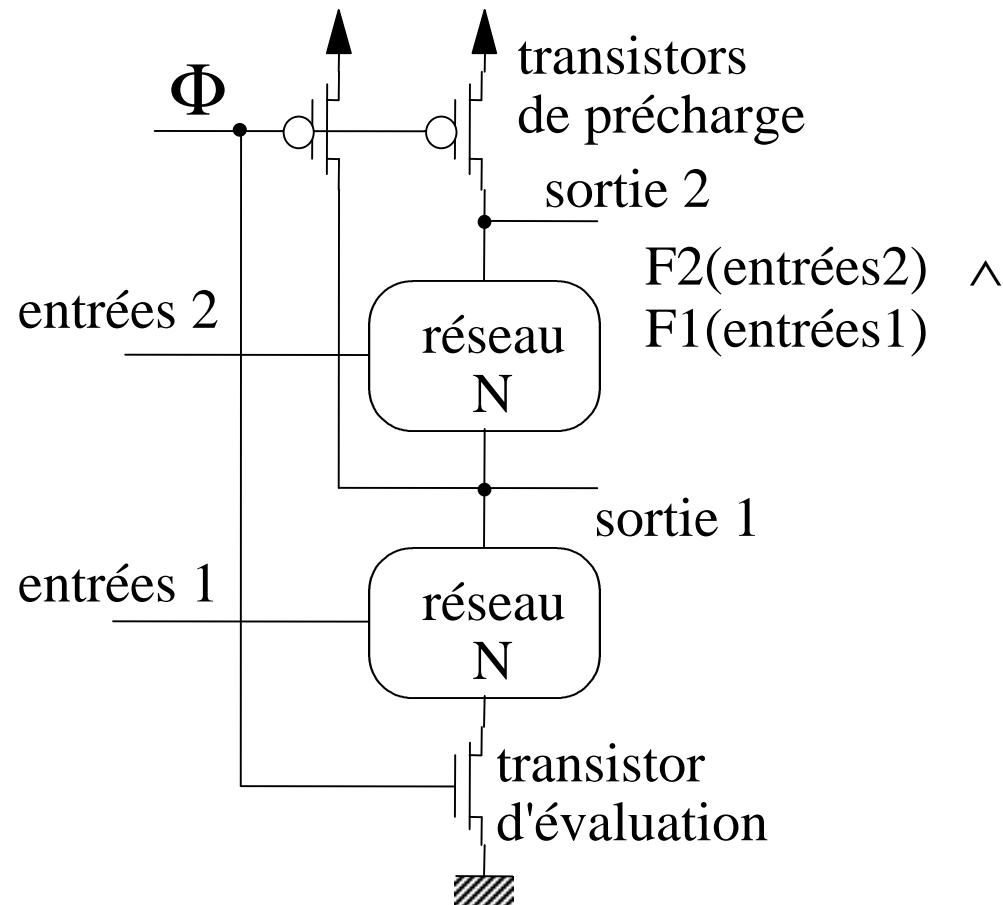


$\Phi'$  est un  $V_{tp}$   
au dessous de  $\Phi$   
quand  $\Phi$  est haut  
non complémentaire 175

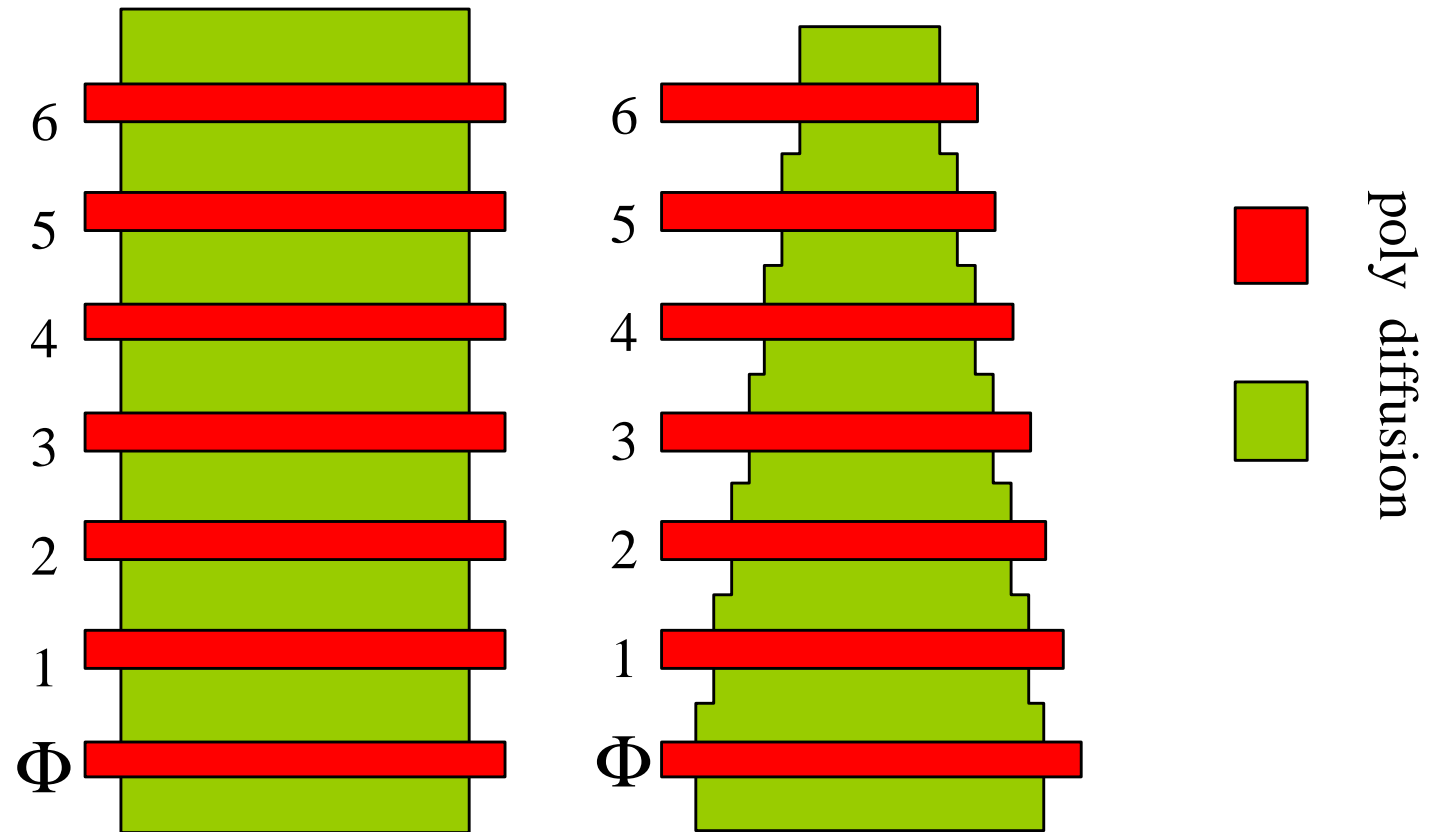
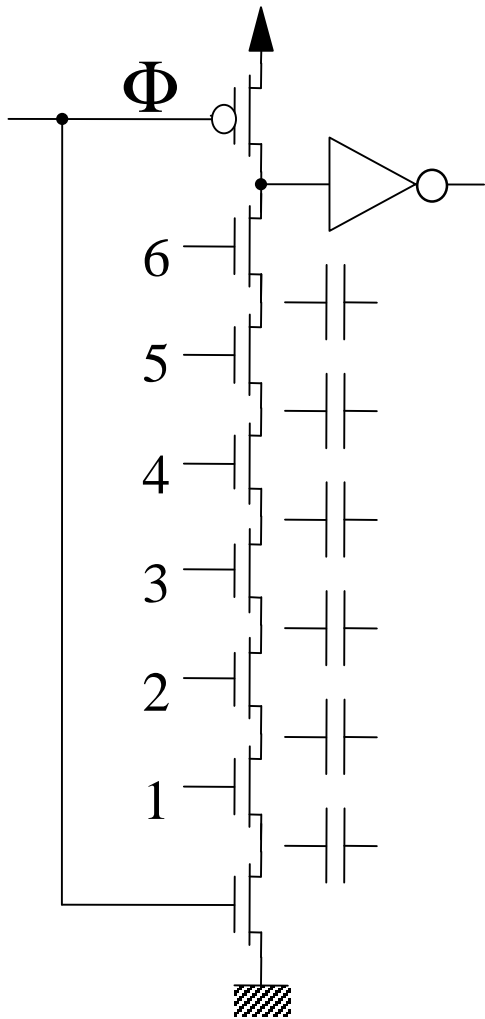
# Résistance au perturbations

# Mise en commun de transistors de porte dynamique

(MODL: Multiple Output Dynamic Logic)



# Optimisation de la taille des transistors en série



gain de 30% en surface et de 10% en vitesse

# Résumé sur les portes logiques

schéma de porte	disjonction	restriction	vitesse	horloge
complémentée	4 + 6	aucune	moyenne	statique
à transmission	4 à 6	non cascadable	très rapide	statique
pseudo CMOS	3 + 4	dimensionnement	lente	statique
différentielle	8	entrées directes et complémentées	moyenne	statique
dynamique N	impossible	non cascadable	rapide	$\phi$
domino N et P	4 + 5	2 dessins par fonction	rapide	$\phi$ et $\bar{\phi}$
pseudo statique	5 + 6	dimensionnement	rapide	$\phi$ et $\bar{\phi}$