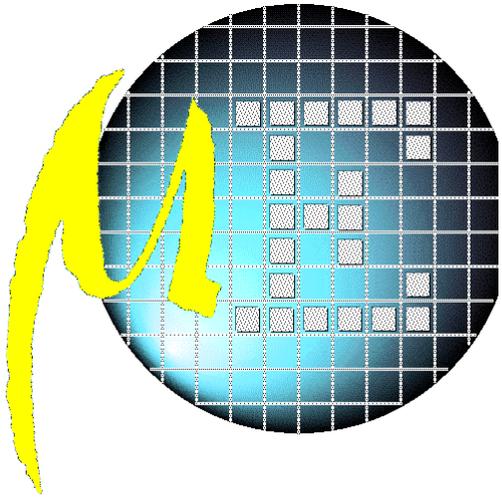


Comportement électrique de la Porte CMOS



DEA MICROÉLECTRONIQUE

Alain GUYOT

TIMA



☎ (33) 04 76 57 46 16

💻 Alain.Guyot@imag.fr

<http://tima-cmp.imag.fr/~guyot>

Techniques de l'Informatique et de la Microélectronique
pour l'Architecture. Unité associée au C.N.R.S. n° B0706



Dimensionnement électrique

On a vu des familles de portes et des stratégies de dessin pour
minimiser # transistors et capa parasites
minimiser surface de silicium

On veut maintenant
minimiser les délais

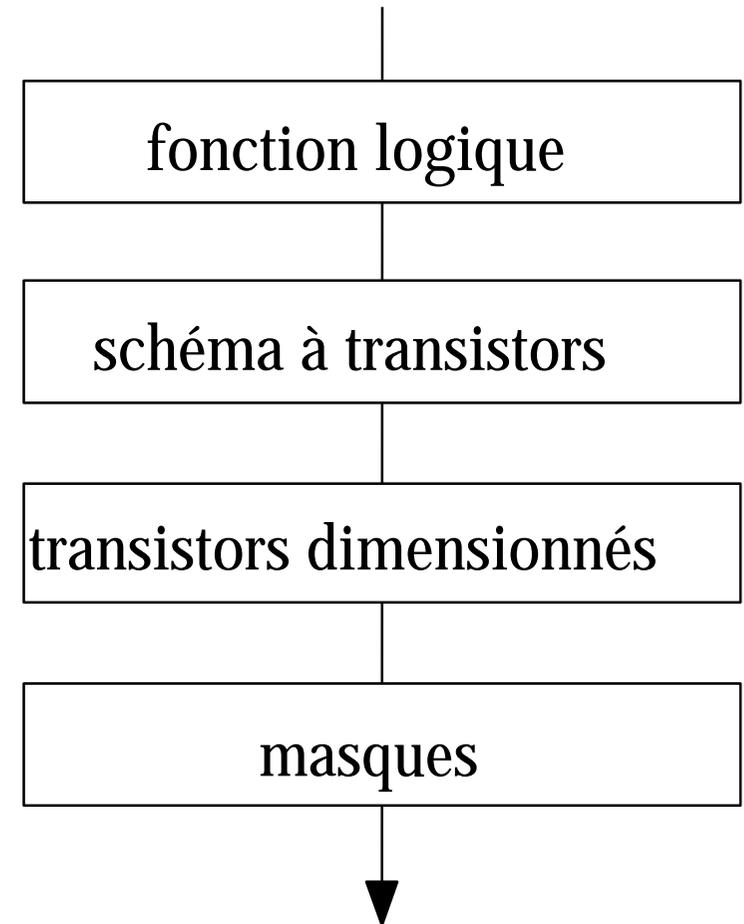
Moyen:

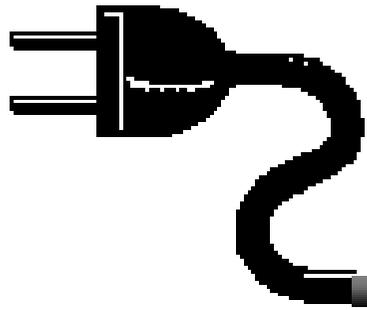
- Adapter la taille $\frac{W}{L}$ des transistors

à la charge à contrôler

Besoin :

- Modèle pour calculer
les dimensions optimales



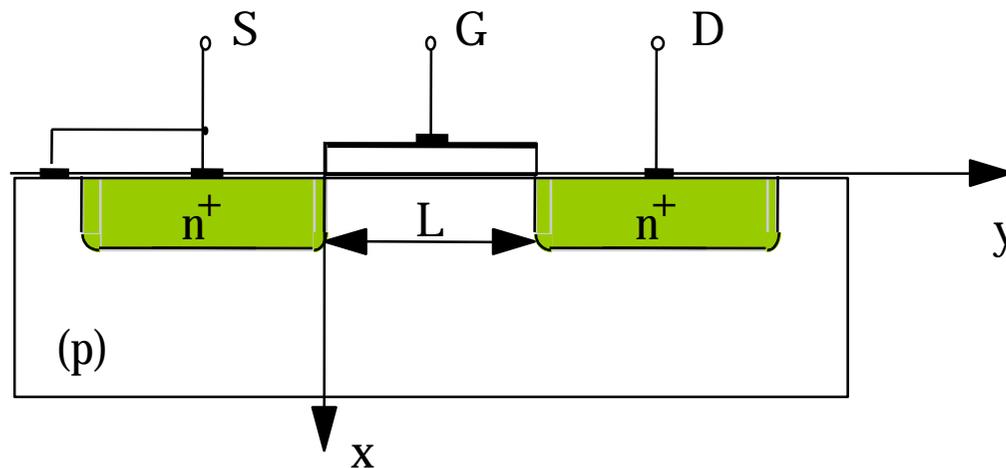
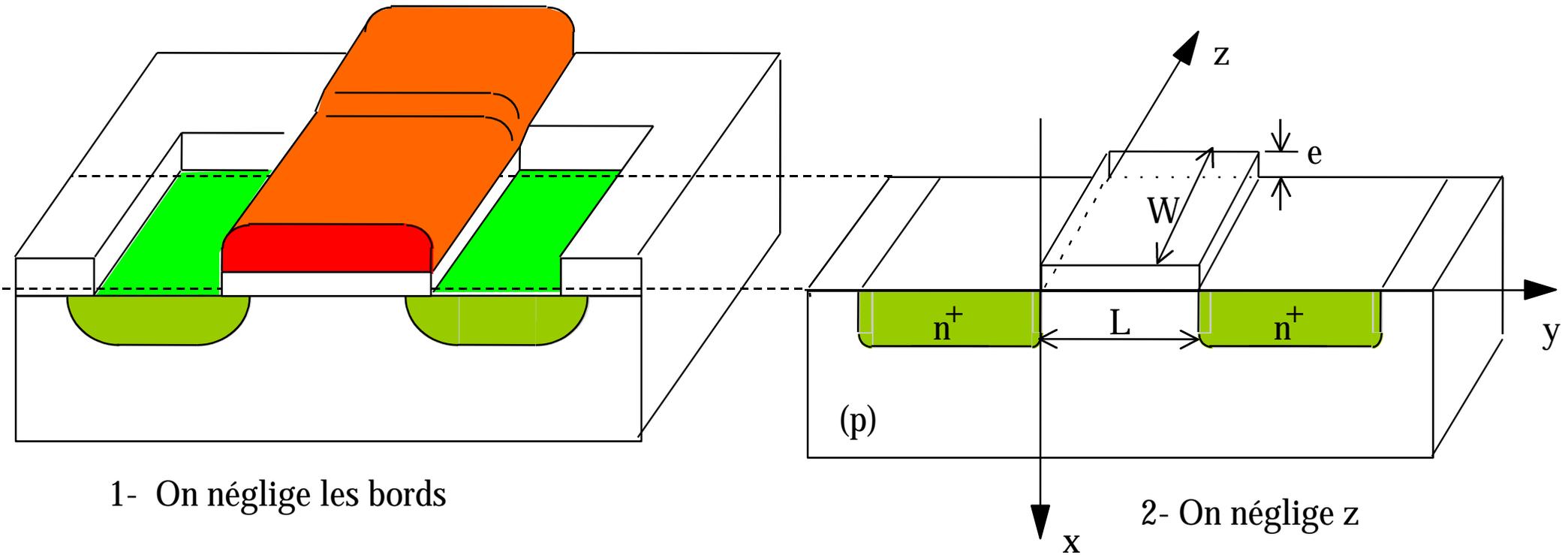


Comportement électrique



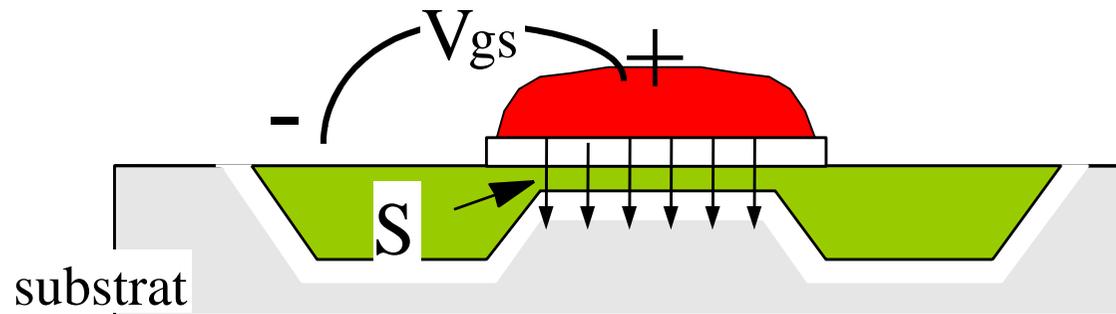
- Modélisation
 - Etablissement des équations
 - Fonctionnement d'un inverseur en statique
 - Détermination du seuil logique
 - Courant statique
 - Seuil et immunité au bruit
-
- Inverseur en dynamique
 - Considérations simplificatrices
 - Calcul des capacités parasites
 - Dimensionnement d'une chaîne d'inverseurs
 - Dimensionnement de portes logiques
 - Latch-Up

MOS: modélisation du volume



Comportement physique à admettre

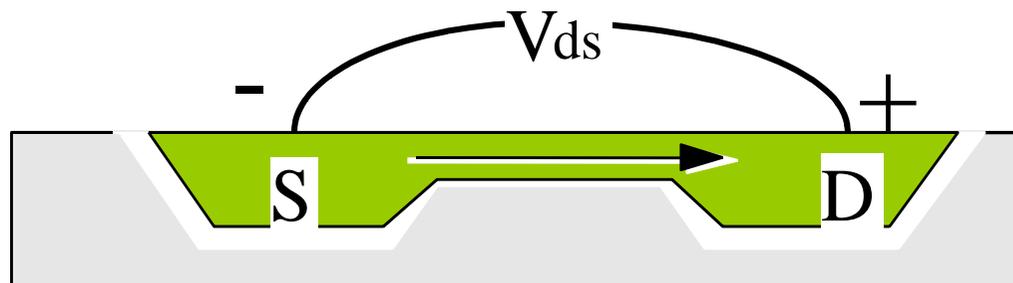
La quantité Q de porteurs attirés de la source sous la grille est linéairement proportionnelle au champs électrique vertical produit par V_{gs} (on ne prend pas en compte la tension du substrat)



quantité de porteurs

$$Q_{\square} = \epsilon \frac{(V_{gs} - V_t)}{e}$$

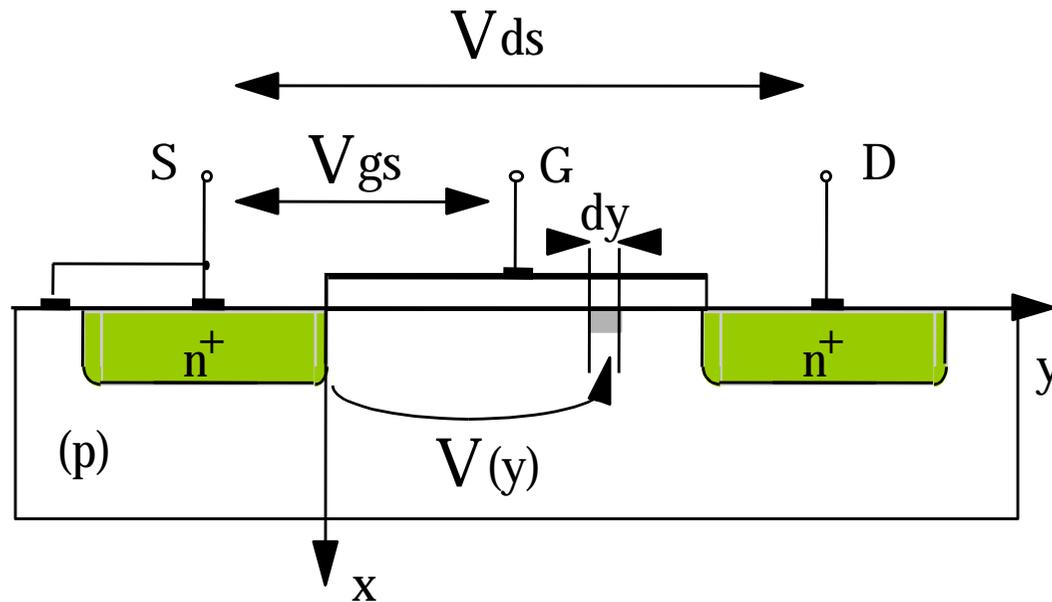
La vitesse de déplacement v_{de} de ces porteurs dans le canal est linéairement proportionnelle au champs électrique horizontal produit par V_{ds} (on néglige la vitesse de saturation)



Mobilité μ	Silicium	GaAs
Electron	700 cm ² /Vs	4000 cm ² /Vs
Trous	230 cm ² /Vs	200 cm ² /Vs

la tension du substrat, l'Effet de Substrat , l'effet "Early sont négligés dans les circuits LOGIQUES)

MOS: établissement des équations



$$dQ = \frac{\epsilon}{e} W dy (V_{gs} - V(y) - V_t)$$

tension
surface du condensateur
capacité/unité de surface/V

$$I_{ds} = \frac{dQ}{dt} = \frac{\epsilon}{e} W \frac{dy}{dt} (V_{gs} - V(y) - V_t)$$

tension
vitesse des porteurs
capacité/unité de surface/V

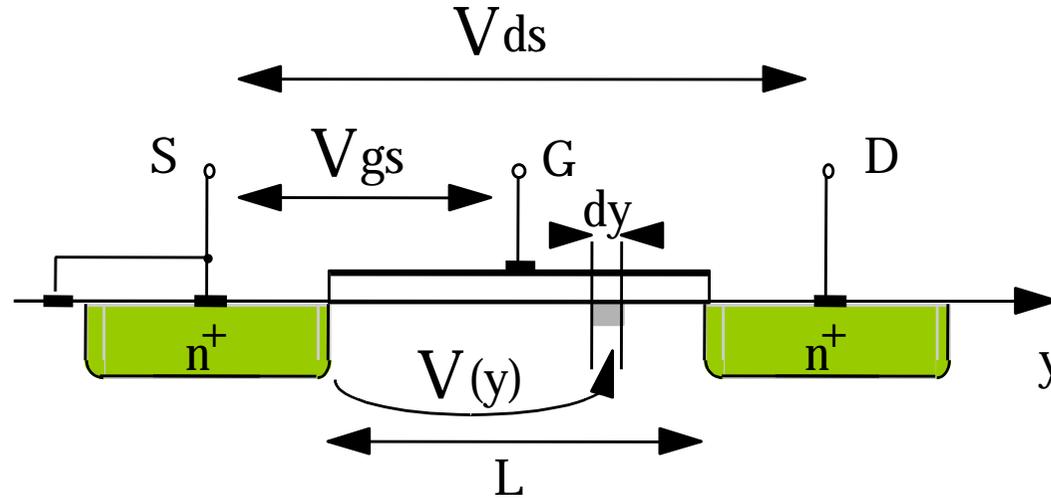
$$v = \frac{dy}{dt} = \mu E = -\mu \frac{dV(y)}{dy}$$

champ électrique
mobilité des porteurs

$$I_{ds} = \frac{\mu \epsilon}{e} W (V_{gs} - V(y) - V_t) \frac{dV(y)}{dy}$$

facteur de mérite de la technologie

MOS: intégration des équations



$$\frac{\mu \epsilon}{e} = 2 K$$

$$I_{ds} = \frac{\mu \epsilon}{e} W (V_{gs} - V(y) - V_t) \frac{dV(y)}{dy}$$

équation différentielle

$$\int_0^y I_{ds} = \int_0^y 2 K W (V_{gs} - V(y) - V_t) \frac{dV(y)}{dy}$$

Pas de constante d'intégration
car $V(0) = 0$

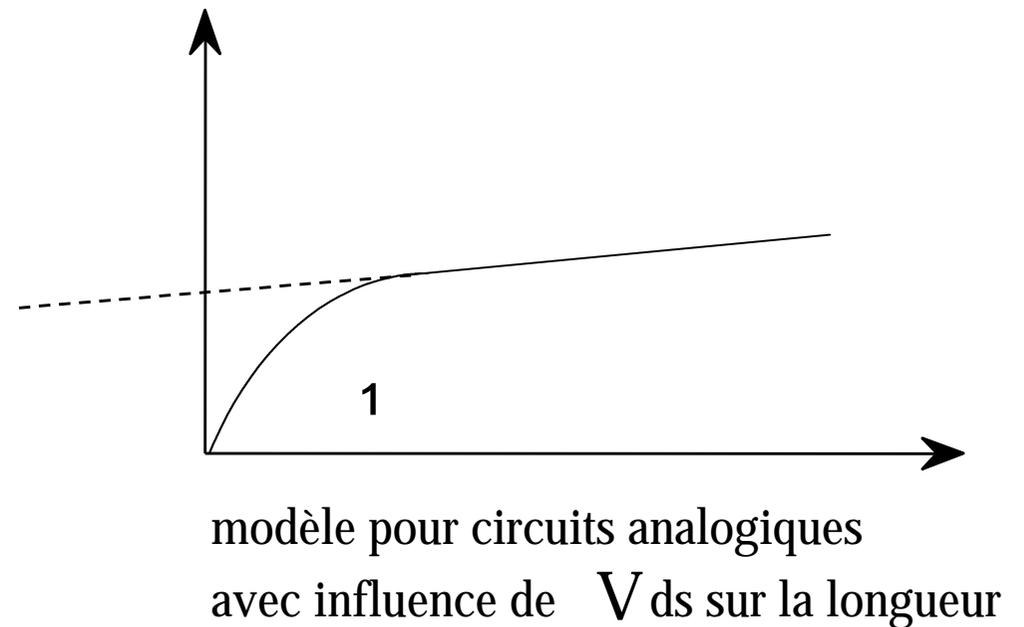
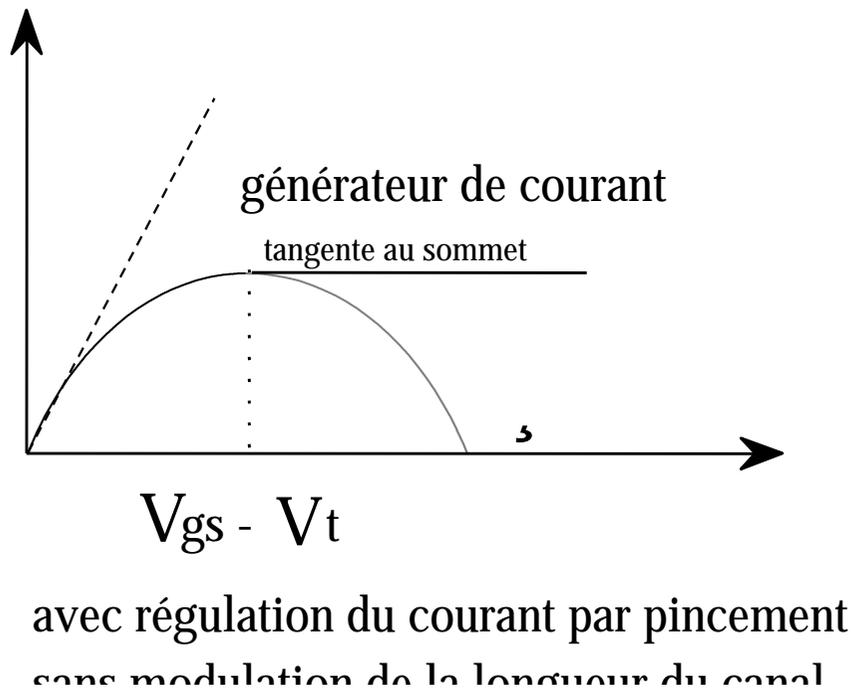
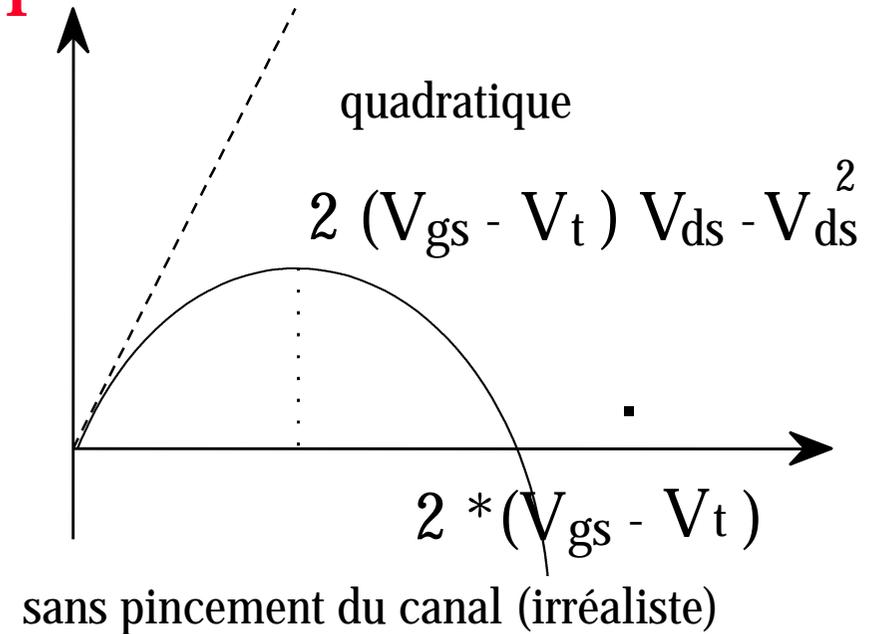
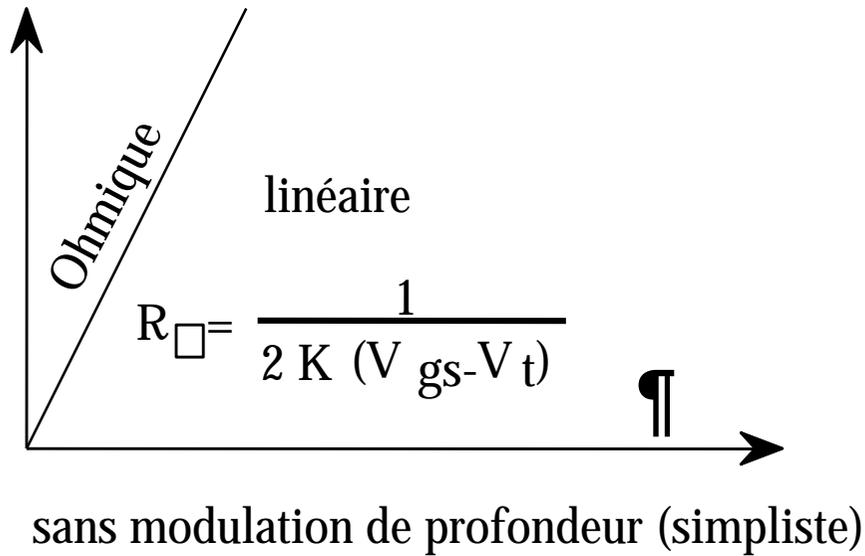
$$I_{ds} y = 2 K W \left[(V_{gs} - V_t) V(y) - \frac{1}{2} V(y)^2 \right]$$

Pour $y = L$ on a $V(y) = V_{ds}$

$$I_{ds} = 2 K \frac{W}{L} \left[(V_{gs} - V_t) V_{ds} - \frac{1}{2} V_{ds}^2 \right]$$

Equation du mode ohmique ou linéaire

MOS: modèles possibles



MOS: résumé des 3 modes

Bloqué: $V_{gs} < V_t$

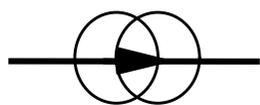
Ohmique: $V_{gs} > V_t$ et $V_{gd} > V_t$

 $I_{ds} = 2K \frac{W}{L} \left[(V_{gs} - V_t) V_{ds} - \frac{V_{ds}^2}{2} \right]$

$R_{\square} = \frac{1}{2 K (V_{gs} - V_t)}$ (zone ohmique)

Saturé : $V_{gs} > V_t$ et $V_{gd} \leq V_t$

$I_{ds} = 2K \frac{W}{L} \left[(V_{gs} - V_t) (V_{gs} - V_t) - \frac{(V_{gs} - V_t)^2}{2} \right]$



$I_{ds} = K \frac{W}{L} (V_{gs} - V_t)^2$

Facteur de Gain K

$$K = \text{facteur de gain de la technologie} = \frac{\mu \epsilon}{2 e}$$

$$\mu_n = \text{mobilité des électrons} \approx 690 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$$

$$\mu_p = \text{mobilité des trous} \approx 230 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$$

$$\epsilon = \text{permittivité du SiO}_2 \approx 35 \cdot 10^{-5} \mu\text{F cm}^{-1}$$

$$e = \text{épaisseur du SiO}_2 \approx 2 \cdot 10^{-3} \text{ cm} = 200 \text{ \AA}$$

} même pour N et P

$$\text{unité de K} = \mu\text{F V}^{-1} \text{ s}^{-1} = \mu\text{A V}^{-2}$$

$$K_n = \frac{690 \cdot 35 \cdot 10^{-5}}{2 \cdot 2 \cdot 10^{-3}} \approx 60 \mu\text{A V}^{-2}$$

$$K_p = \frac{230 \cdot 35 \cdot 10^{-5}}{2 \cdot 2 \cdot 10^{-3}} \approx 20 \mu\text{A V}^{-2}$$

Remarque importante :-

La température et la saturation de vitesse dégradent ces valeurs de 50%

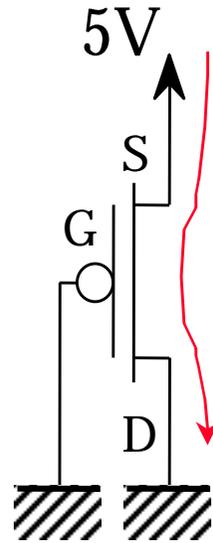
Applications cunutesques (1)

$$K_n \approx 40 \mu\text{A V}^{-2}$$

$$K_p \approx 16 \mu\text{A V}^{-2}$$

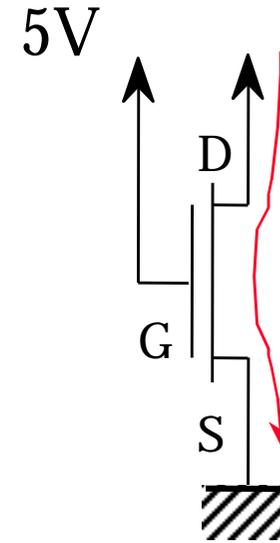
$$V_{Tn} \approx 1,0 \text{ V}$$

$$V_{Tp} \approx 1,5 \text{ V}$$



$$L_p = 1\mu$$

$$W_p = 1\mu$$



$$L_n = 1\mu$$

$$W_n = 1\mu$$

bloqué

ohmique

saturé

$$I_{\text{max}} = \boxed{} \mu\text{A}$$

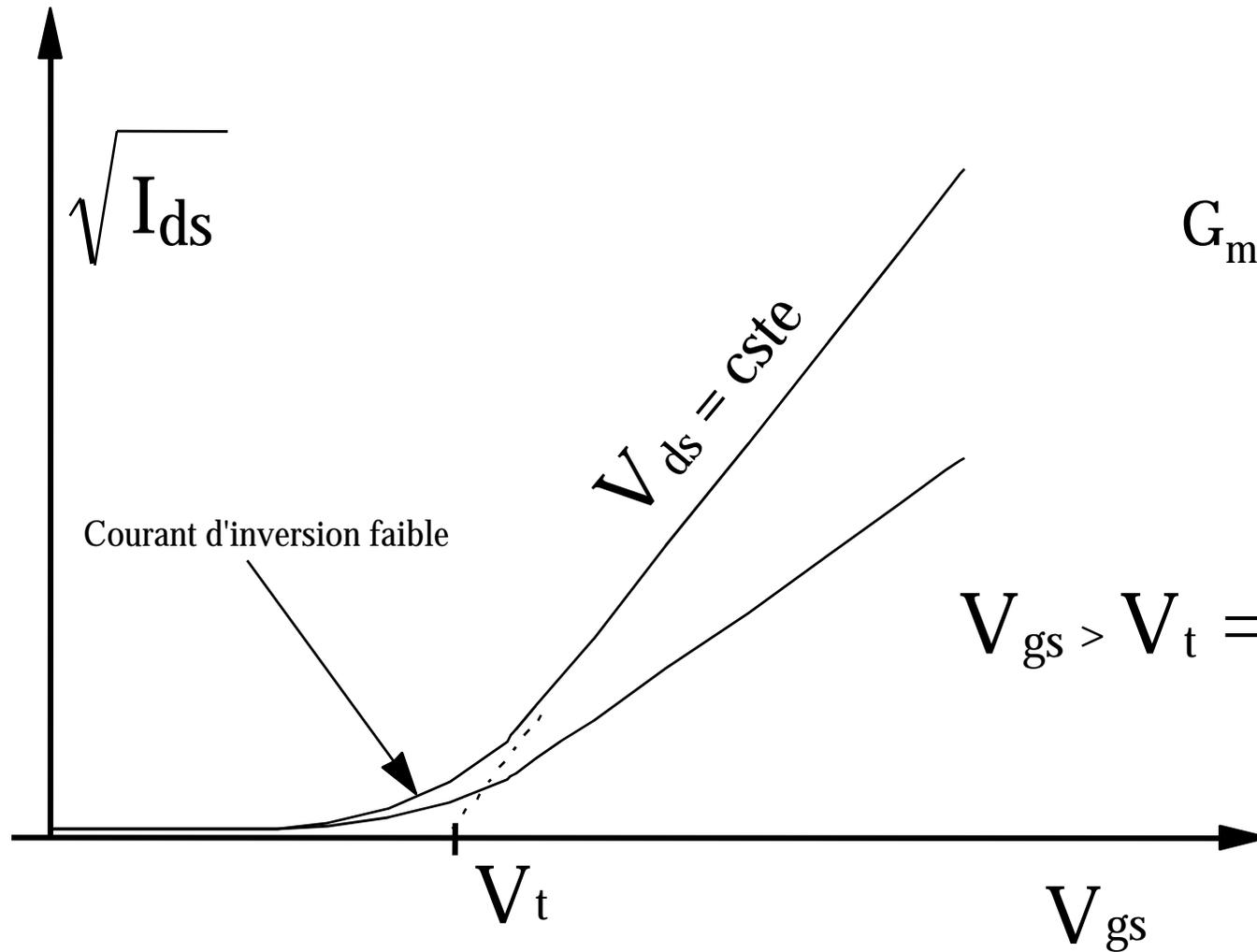
bloqué

ohmique

saturé

$$I_{\text{max}} = \boxed{} \mu\text{A}$$

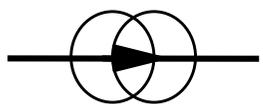
MOS: I_{ds}/V_{gs}



$$G_m = \frac{\partial I_{ds}}{\partial V_{gs}}$$

Transconductance
ou gain du transistor
(petit signal)

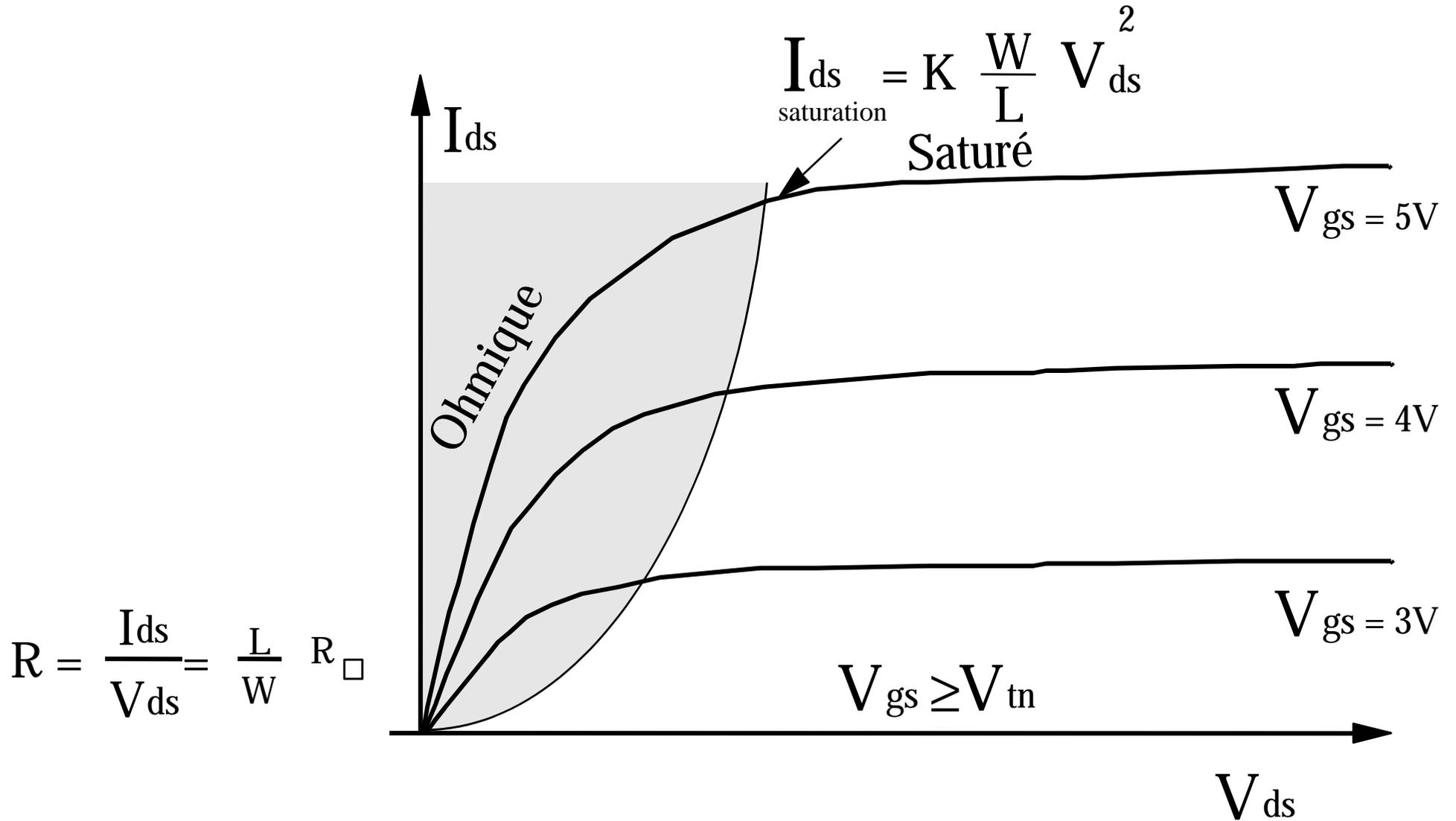
$$V_{gs} > V_t \Rightarrow I_{ds}$$



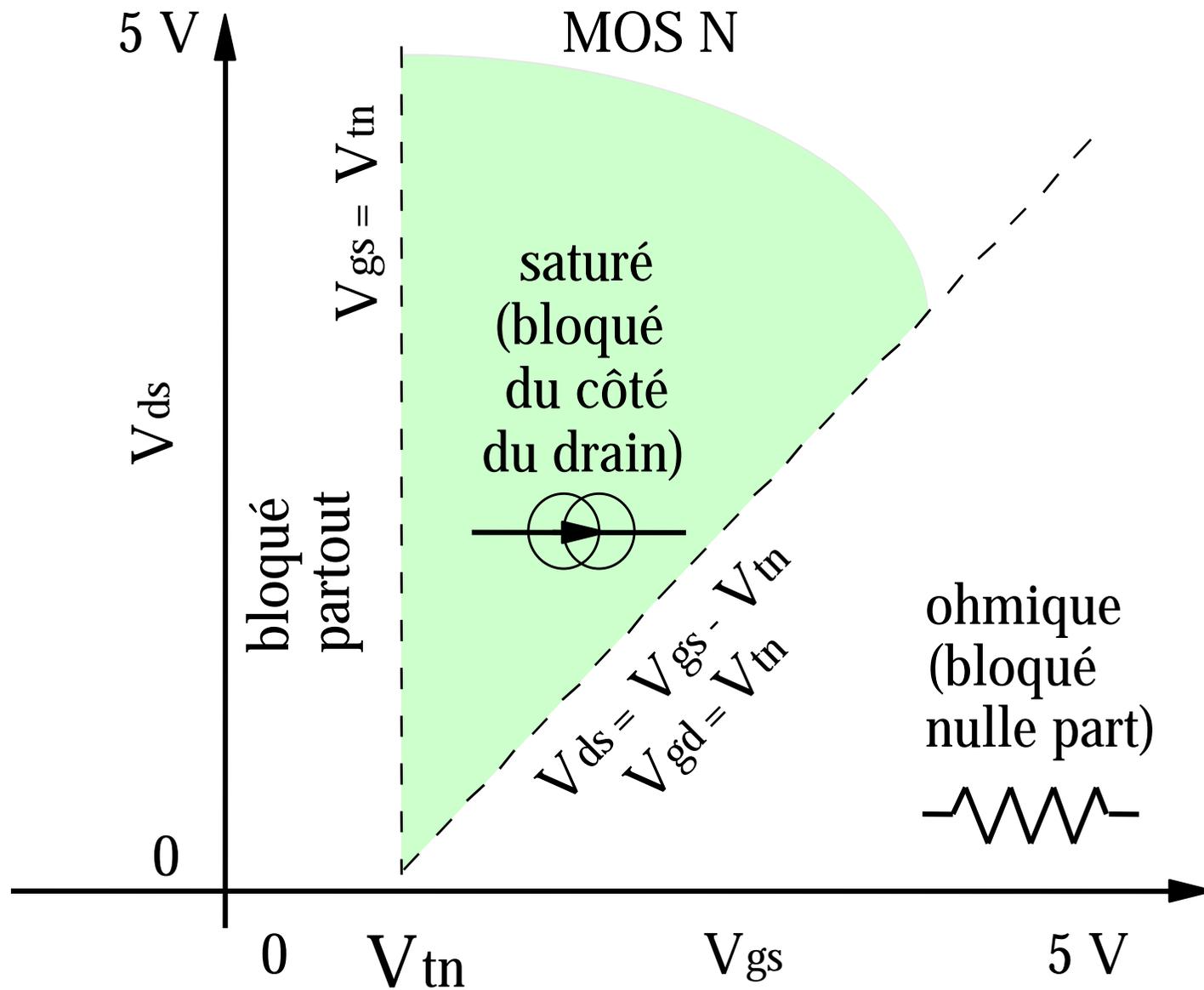
$$I_{ds} = K \frac{W}{L} (V_{gs} - V_t)^2$$

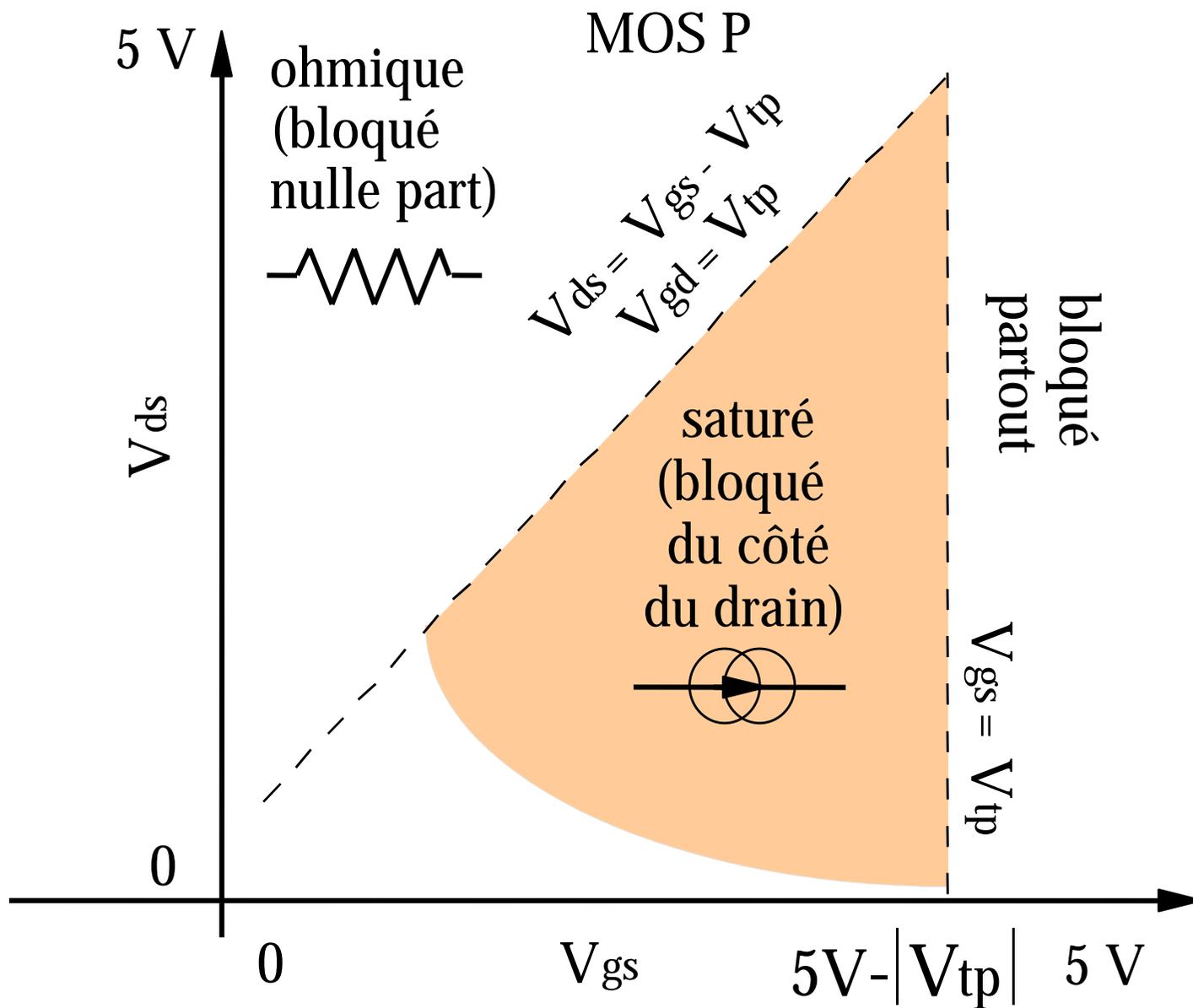
$$G_m \approx 2 K \frac{W}{L} (V_{gs} - V_t)$$

MOS: I_{ds}/V_{gs}

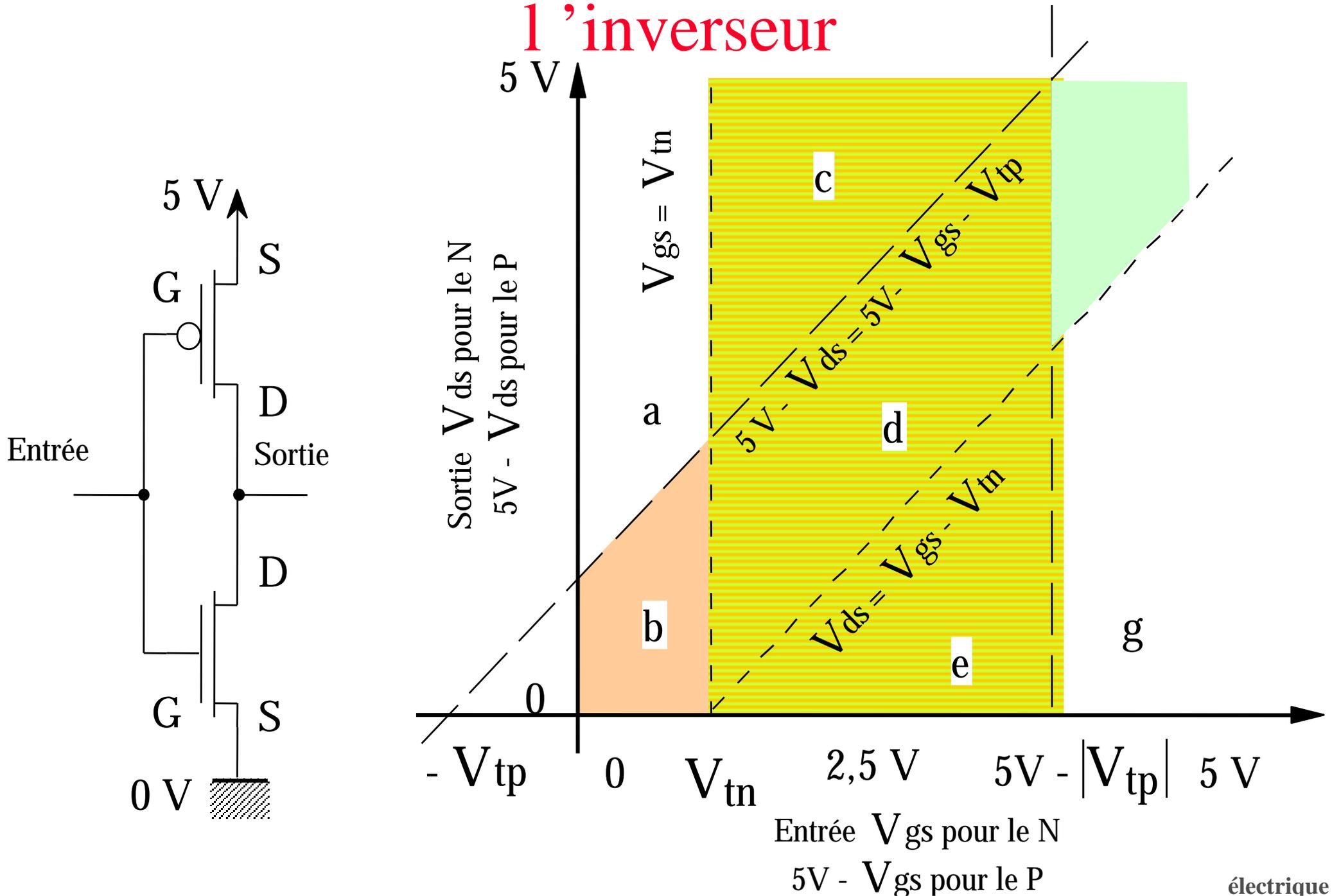


Zones de fonctionnement du MOS

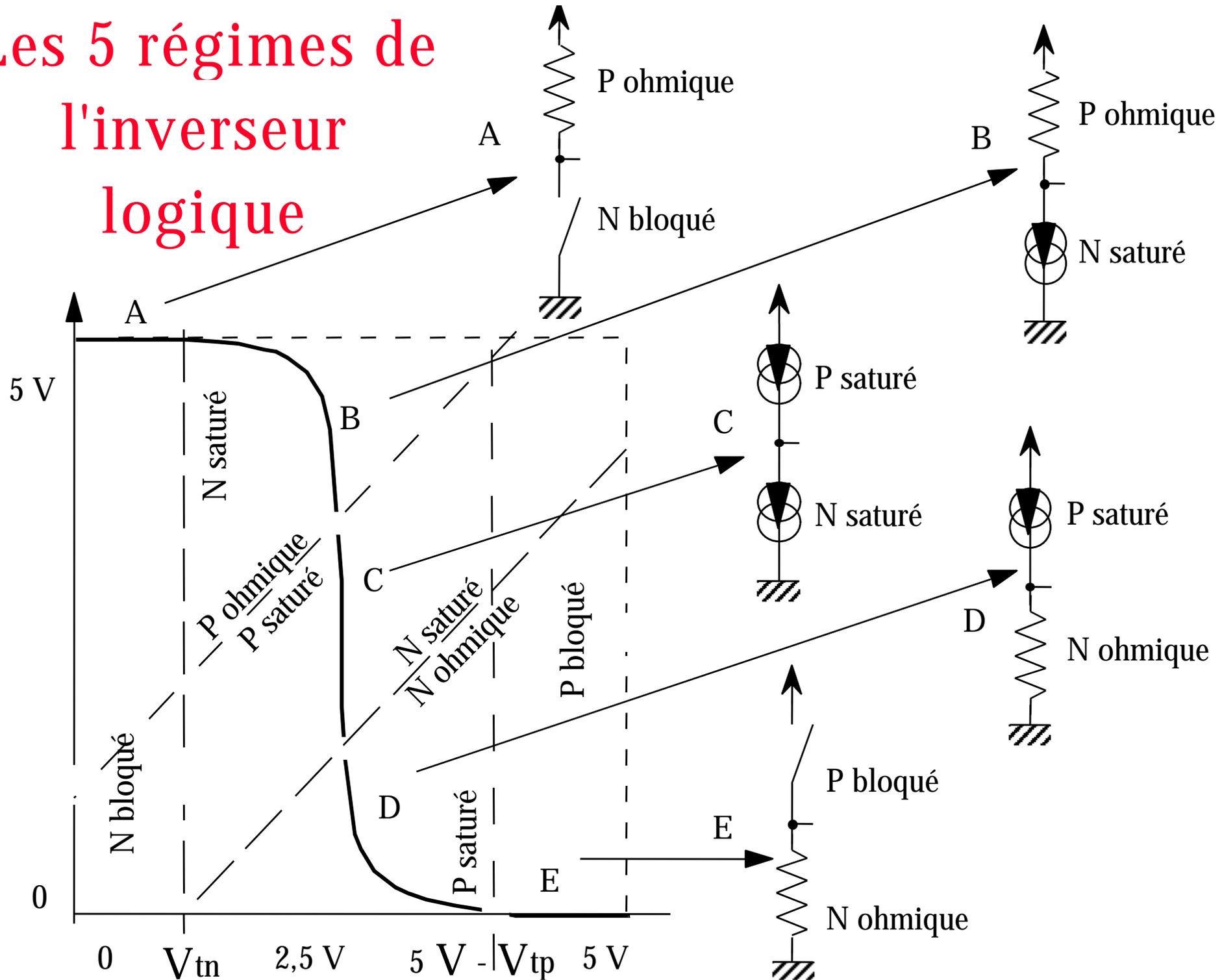




Zones de la caractéristique de transfert de l'inverseur



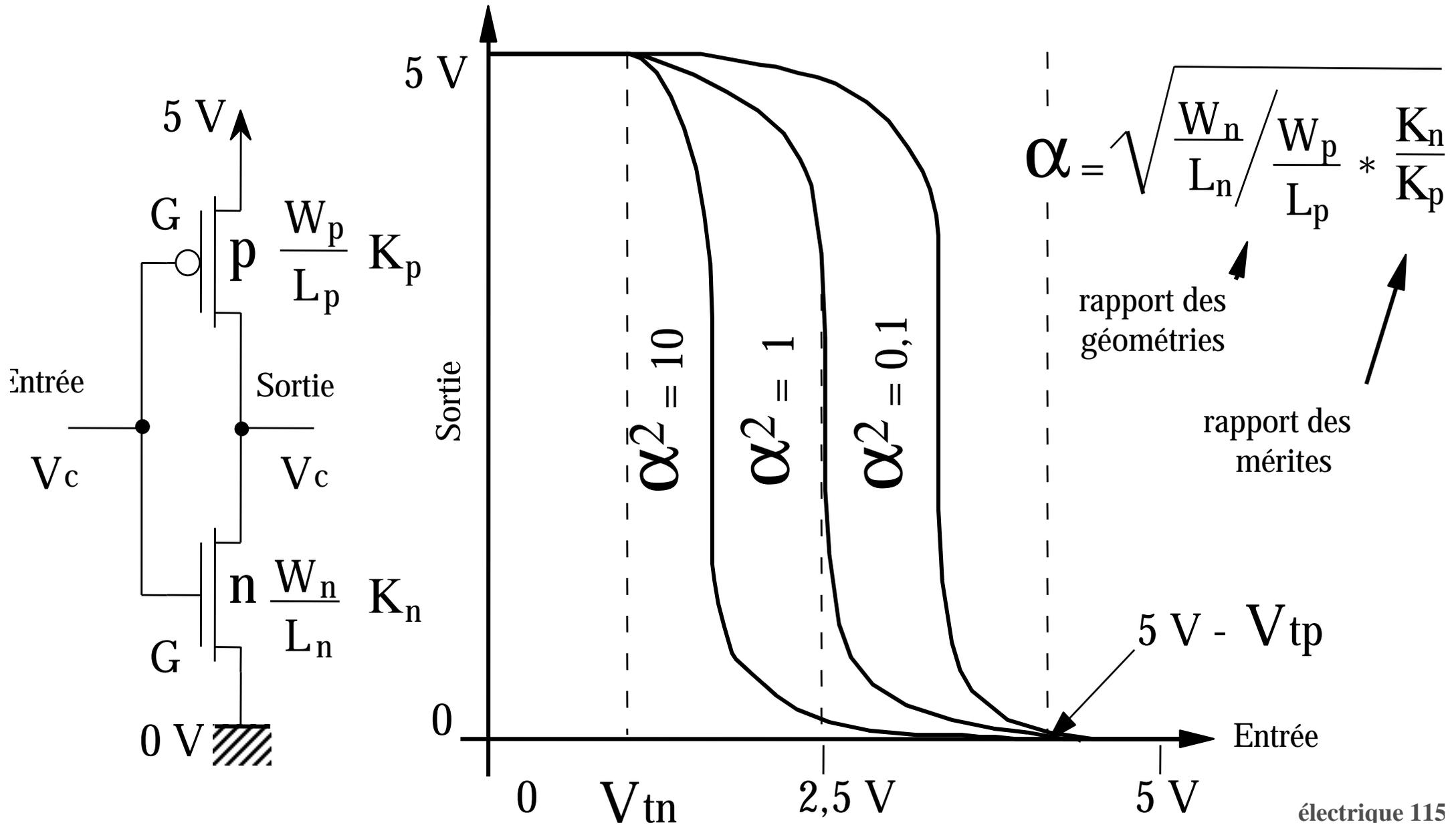
Les 5 régimes de l'inverseur logique



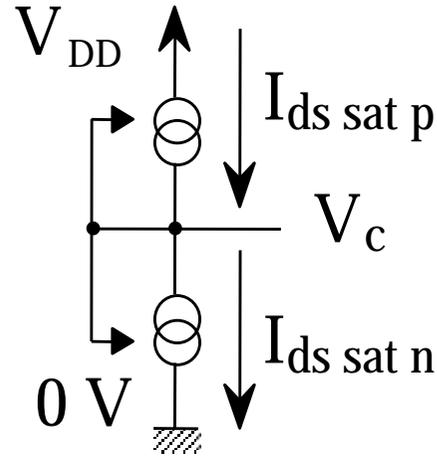
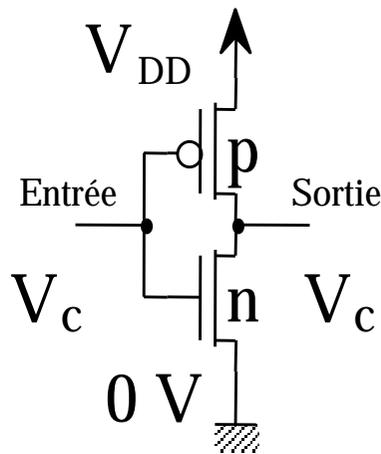
Programme PASCAL simulant un inverseur chargeant un condensateur

```
For I := 1 to N_ITER do
  Begin
    T := T + dT ;
    Vin := SignalEntree ( T ) ;
    if Vin < Vtn then Idsn := 0
    else if Vout <= Vin - Vtn
      then Idsn := KN * ( 2 * (Vin - Vtn) - Vout ) * Vout
      else Idsn := KN * (Vin - Vtn) * (Vin - Vtn) ;
    if Vin > 5 - Vtp then Idsp := 0
    else if Vout >= Vin - Vtp
      then Idsp := -KP * ( 2 * (Vin - (5 - Vtp)) - (Vout - 5) ) * (Vout - 5) ;
      else Idsp := -KP * ( Vin - 5 - Vtp ) * ( Vin - 5 - Vtp ) ;
    Vout := Vout - DT * (Idsp + Idsn) / C
  end;
```

Caractéristiques de transfert de l'inverseur ou variation du seuil logique (1)



Seuil logique de l'inverseur (2)



$$\frac{I_{ds \text{ sat } p}}{I_{ds \text{ sat } n}} = 1$$

Courant de saturation

$$L \rightarrow \infty \quad I_{ds \text{ sat}} = K \frac{W}{L} (V_{gs} - V_T)^2$$

remarque: si on tient compte de la saturation de vitesse des porteurs, le courant $I_{ds \text{ sat}}$ devient

$$\text{Courant de saturation} \quad L \rightarrow 0 \quad I_{ds \text{ sat}} = v_{\text{lim}} \frac{\epsilon}{e} W (V_{gs} - V_T)$$

Courant ohmique

$$I_{DS \Omega} = K \frac{W}{L} \left(V_{gs} - V_T - \frac{V_{ds}}{2} \right) V_{ds}$$

Seuil logique de l'inverseur (3)

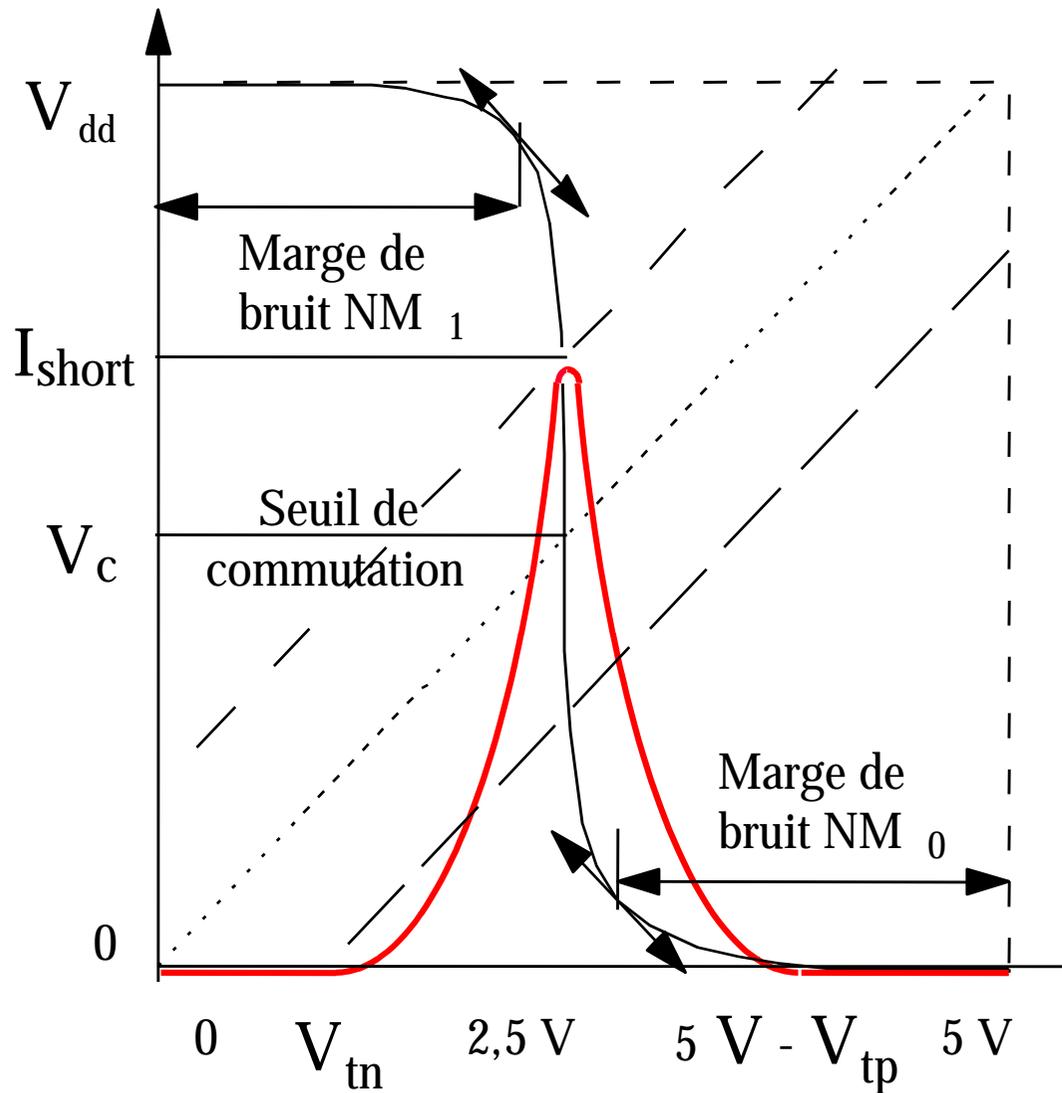
$$K = \frac{\mu\epsilon}{2e}$$
$$\alpha = \sqrt{\frac{K_n}{K_p} * \frac{W_n/L_n}{W_p/L_p}}$$

$$\frac{I_{ds-sat-n}}{I_{ds-sat-p}} = 1 \quad \Rightarrow \quad \alpha \frac{(V_c - V_{tn})}{(V_{dd} - V_c - |V_{tp}|)} = 1$$

$$\text{Seuil de commutation } V_c = \frac{V_{dd} - \alpha V_{tn} - |V_{tp}|}{1 + \alpha}$$

$$\text{si } \alpha = 1, \quad V_c \approx \frac{V_{dd}}{2} = 2,5 \text{ Volt}$$

Courant statique de l'inverseur



La puissance dissipée quand les 2 transistors MOS conduisent est généralement négligeable devant celle de la charge et décharge des capacités parasites

$$\frac{I_{ds-sat-n}}{I_{ds-sat-p}} = 1$$



$$I_{ds-short} = K_n \frac{W_n}{L_n} \left(\frac{V_{dd} - V_{tn} - V_{tp}}{1 + \alpha} \right)^2$$

$$K = \frac{\mu\epsilon}{2e}$$

Applications cunutesques (2)

A- Pour un inverseur , calculer:

$$K_n \approx 40 \mu\text{A V}^{-2}$$

$$K_p \approx 16 \mu\text{A V}^{-2}$$

$$V_C = 2,5 \text{ V}$$

$$\beta_n = 4$$

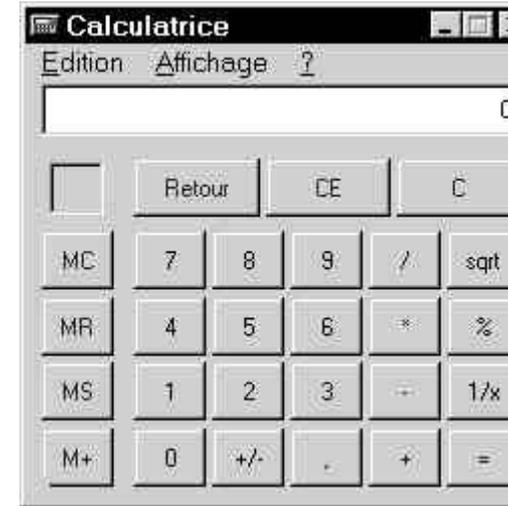
$$V_{Tn} \approx 1,0 \text{ V}$$

$$V_{Tp} \approx 1,5 \text{ V}$$

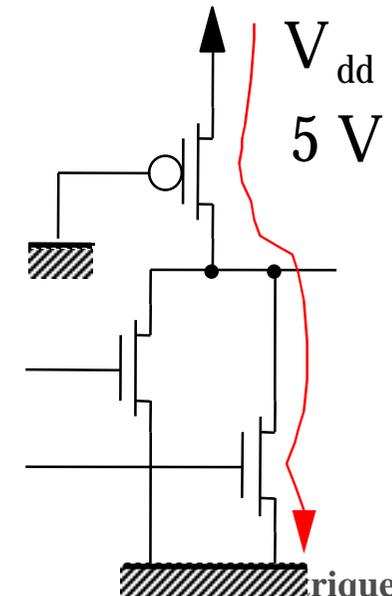
1- Le courant statique traversant l'inverseur au seuil de commutation

2- Le courant maximum fourni par le transistor P en commutation

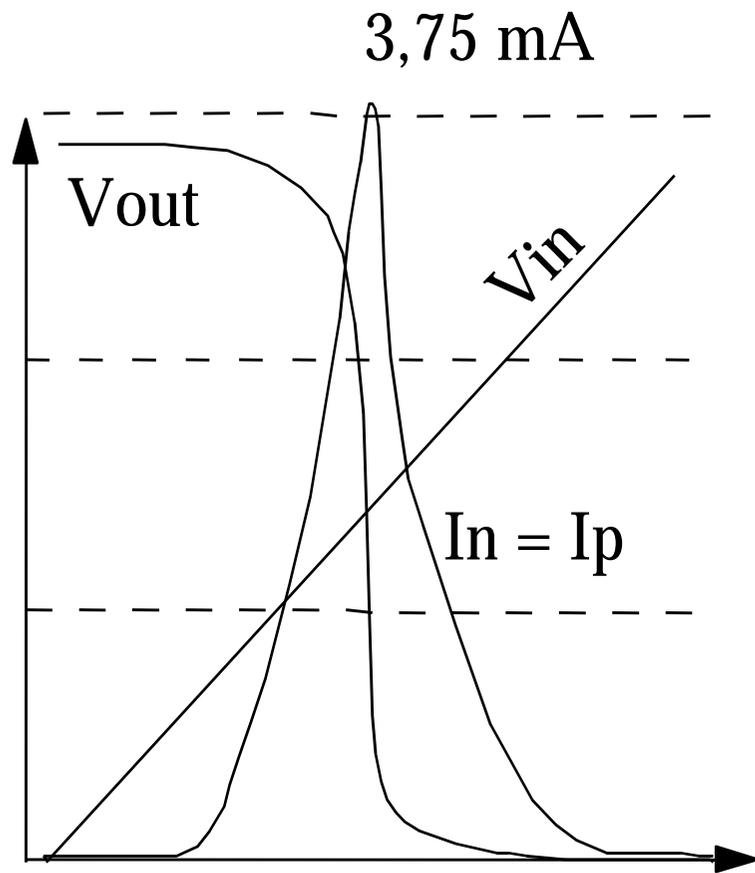
3- Le courant maximum absorbé par le transistor N en commutation



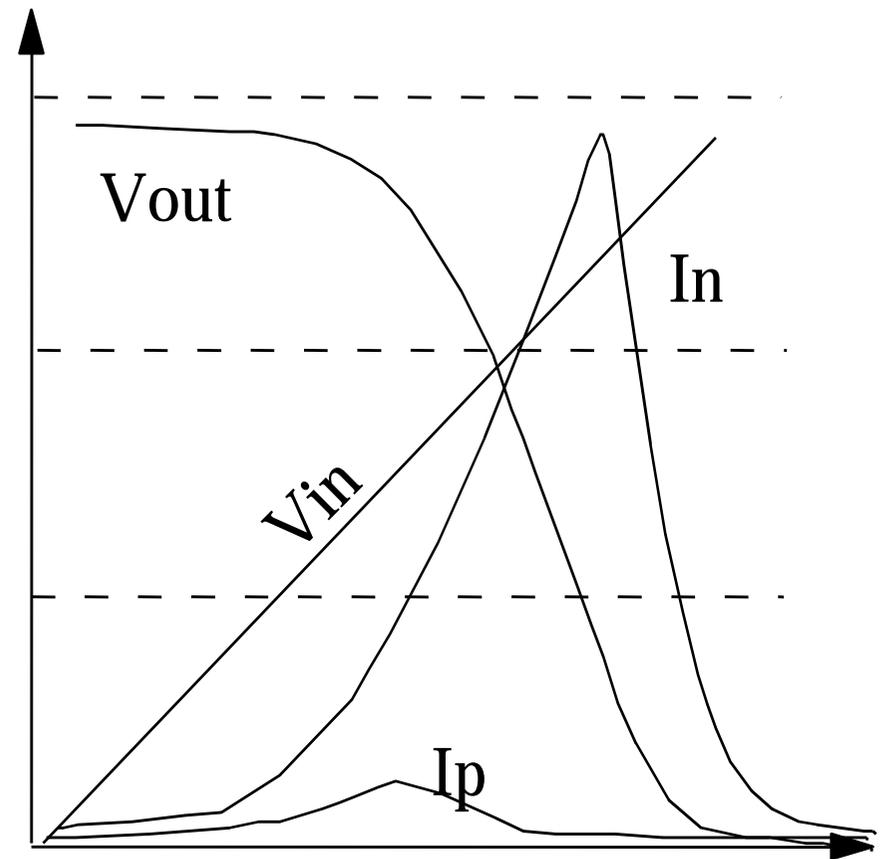
B- Pour une marge $\alpha = 1/2$, calculer le rapport des tailles entre transistor N et transistor P d'un OU ratio (cours portes CMOS non complémentaires)



Prise en compte du temps (1)

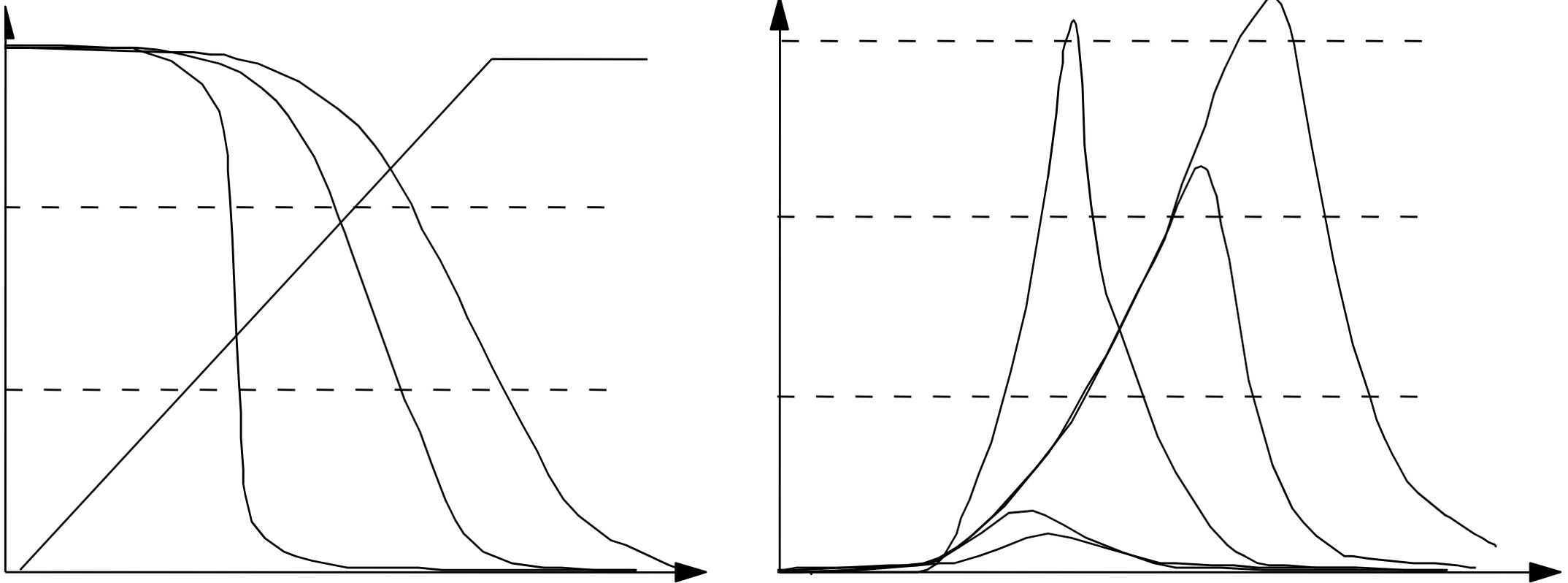


Statique



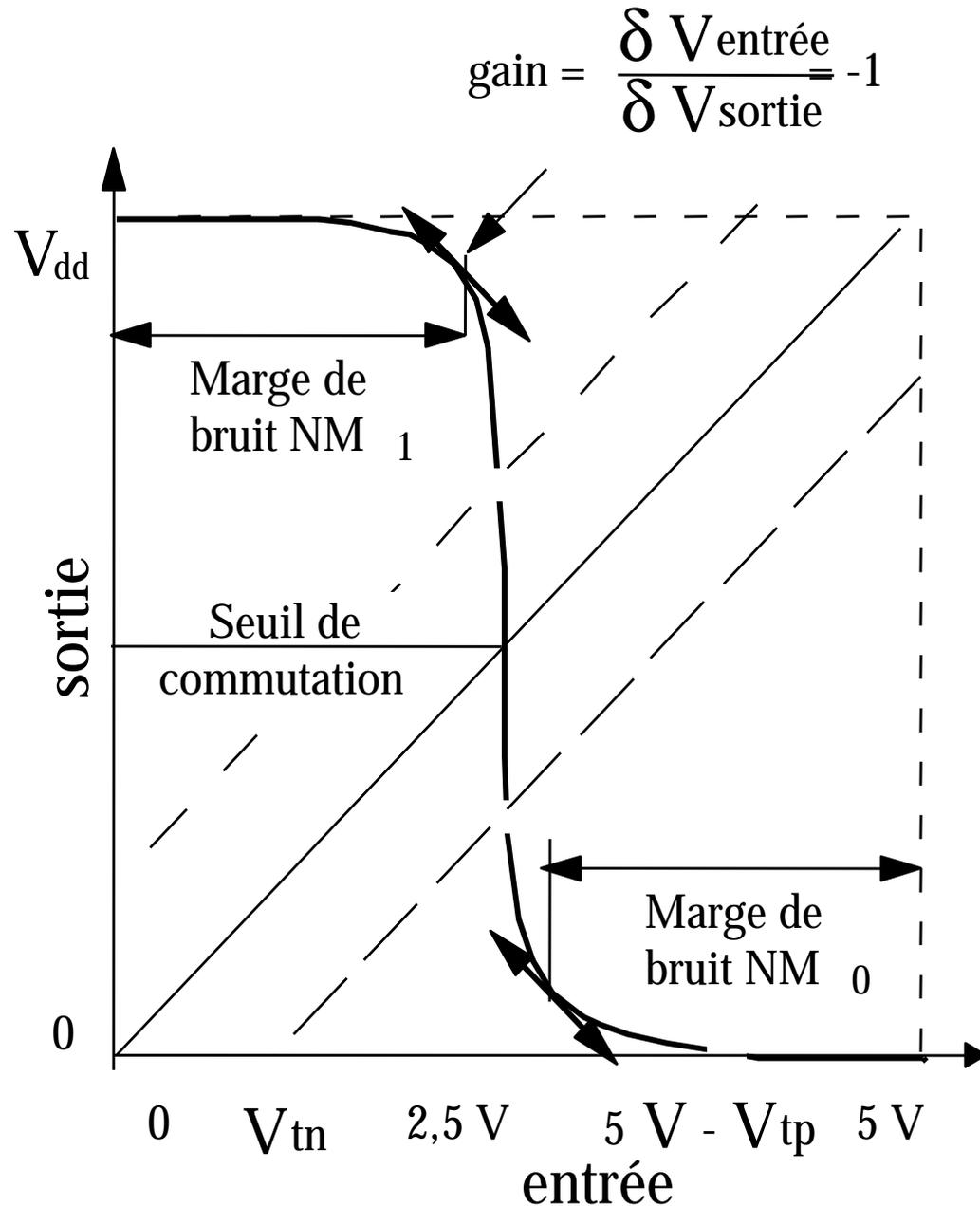
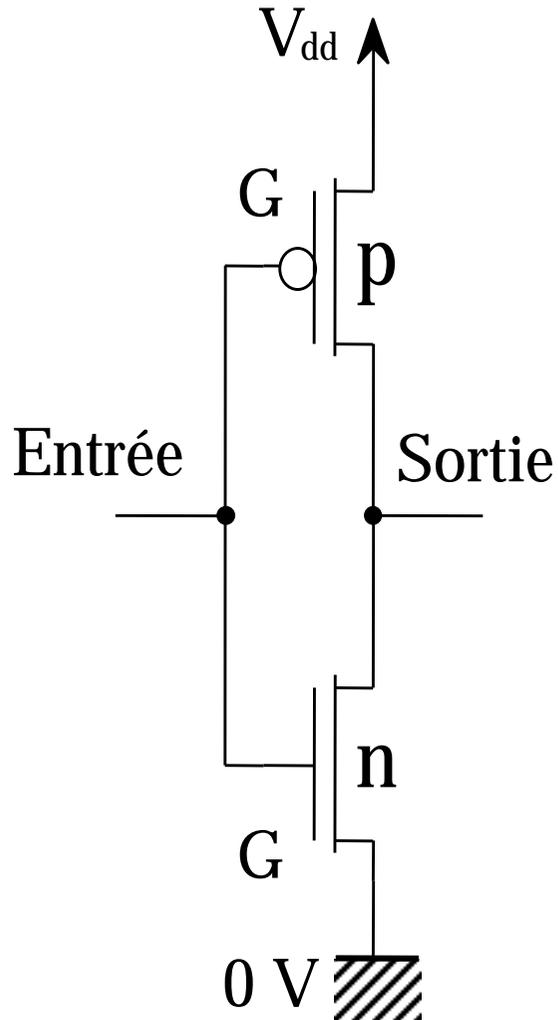
Dynamique

Prise en compte du temps (2)



On constate expérimentalement que la pente est assimilable à une droite

Immunité au bruit (1)



immunité au bruit =

Bruit toléré

Bruit généré

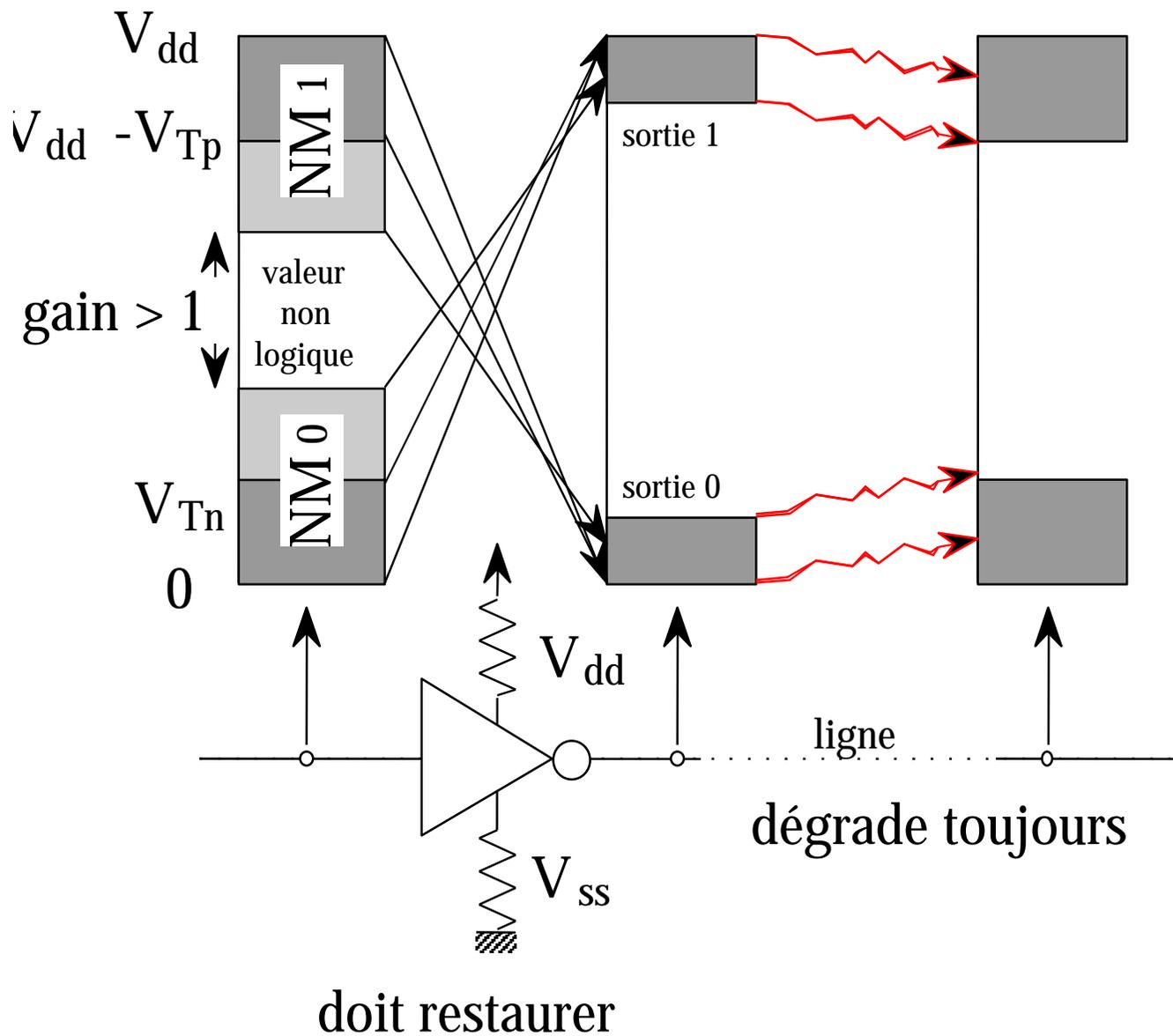
Somme des marges

Excursion logique

$NM_0 + NM_1$

V_{dd}

Tolérance et sources de bruit (2)



Bruit par couplage capacitif

Bruit par couplage résistif (alimentations)

Bruit thermique

Bruit dû aux particules

Qu'est-ce que le délai

Le retard à la propagation d'un circuit, logique ou **délai**, est le temps mis par un changement de l'état logique d'un signal d'entrée du circuit pour induire un changement de l'état logique de sa sortie

Pourquoi les portes ont-elles un délai

Un circuit est formé de couches conductrices séparées par des isolants qui constituent des capacités.
Les éléments actifs sont des transistors qui ne laissent passer qu'un courant faible.

Evaluation temporelle

La prédiction des délais est essentielle pour vérifier à l'avance que le circuit obéira aux spécifications quand il sera fabriqué.

Comment prédire les délais (sans fabriquer le circuit)

- ¶ - Simulation électrique exhaustive
 - Coûteuse ou impossible
 - Effets de mémorisation
- - Simulation électrique du chemin critique
 - Repérer le chemin critique
 - Sensibiliser le chemin critique
- ↳ - Donner une définition et une expression du Délai des portes
 - Cumulative (Délai chemin = Σ délais portes du chemin)
 - Simple à formuler
 - Précise ($\pm 5\%$ de la simulation électrique)

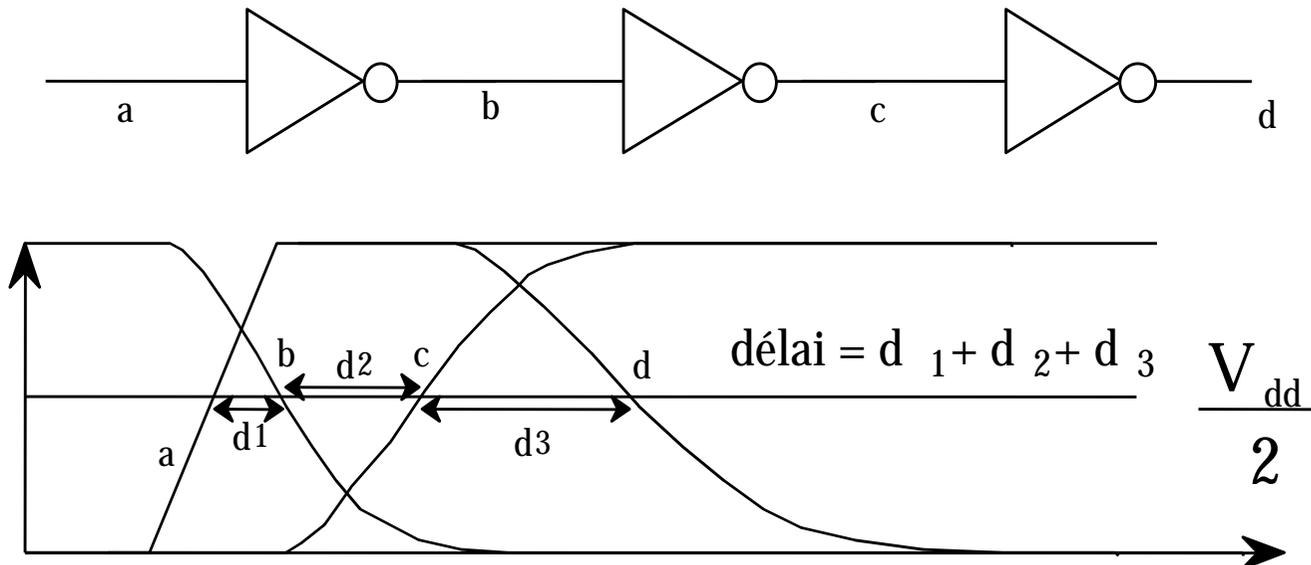
Remarques préliminaires

 Augmenter la taille de tous les transistors ne change pas le délai

Définition du délai d'un porte: temps qui sépare les événements 1 et 2

- 1 - entrée franchit un seuil
 - 2 - sortie franchit un seuil
- } même seuil pour toutes les portes

Seuil de délai \neq seuil logique \Rightarrow On prend $\frac{V_{dd}}{2}$



Remarques préliminaires (2)

Le délai dépend des capacités parasites et des transistors qui limitent le courant destiné à les charger ou décharger.

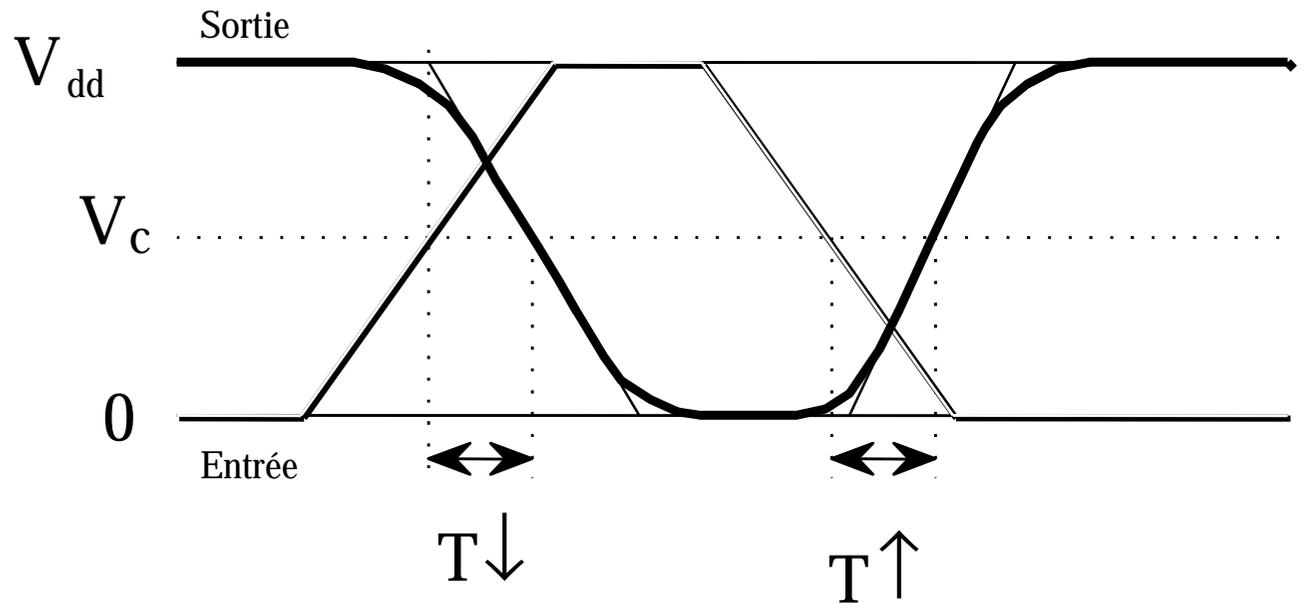
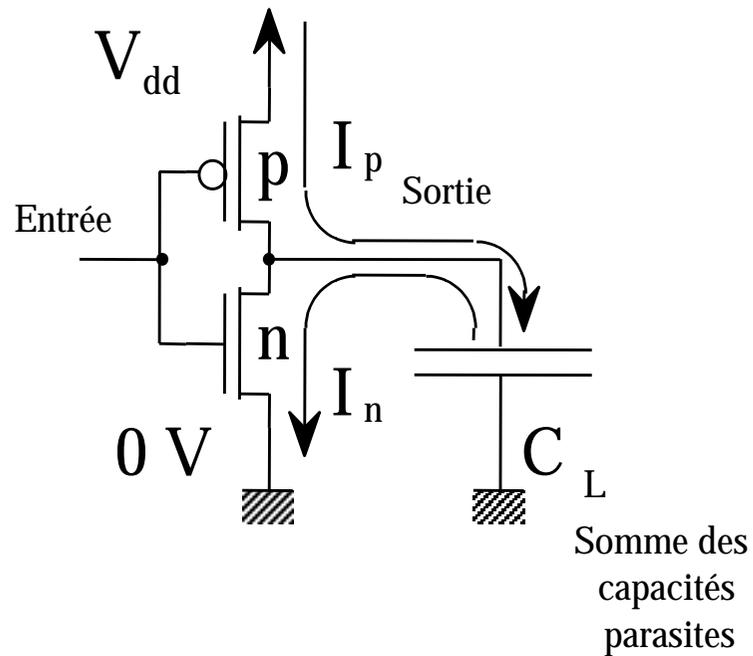
Il est assez facile de calculer les capacités parasites.

Le problème est donc de donner un modèle simple pour les transistors.

État de l'art en modélisation des délais

- Modèle RC: Les transistors en commutation sont remplacés par un réseau de résistances équivalentes et d'interrupteurs.
- Modèle IC: Les transistors en commutation sont remplacés par un réseau de générateurs de courant et d'interrupteurs.
- Modèle tabulé: Les portes sont "précaractérisées" à partir de simulations électriques préalables prenant en compte les différentes charges de sortie et les différentes pentes d'entrée possibles.
- Modèle polynomial: Le délai et la pente de sortie sont approchés à l'aide d'un polynôme prenant en compte la pente d'entrée, la capacité de la charge et les dimensions des transistors.
- Modèle explicite: Le délai est approché à l'aide d'un polynôme prenant en compte la pente d'entrée, les dimensions des capacités parasites et des transistors et les caractéristiques de la technologie.

Etablissement du modèle IC (exemple)

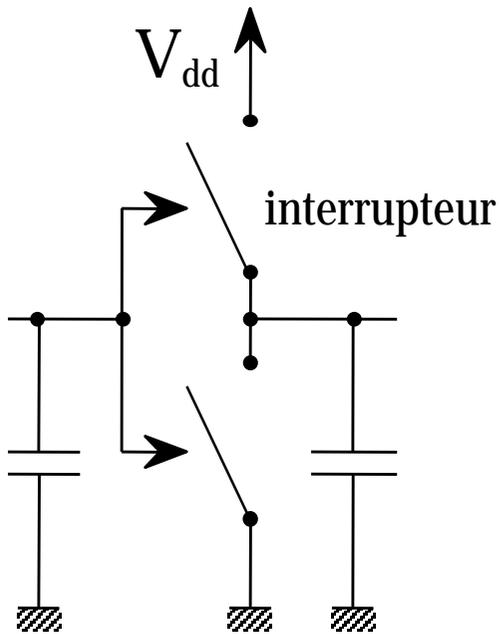


On observe que l'inverseur est un générateur de courant déclenché par le passage du seuil

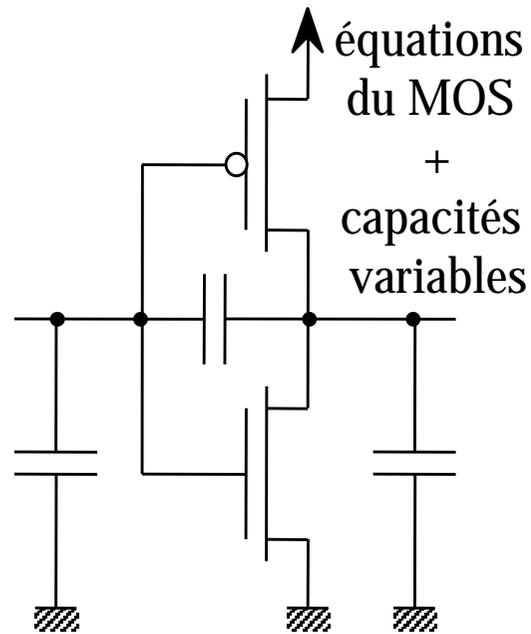
$$\Rightarrow \begin{aligned} T_{\downarrow} &= V_c \frac{1}{I_{\text{sat } n}} C_L \\ T_{\uparrow} &= V_c \frac{1}{I_{\text{sat } p}} C_L \end{aligned}$$

Modèles possibles

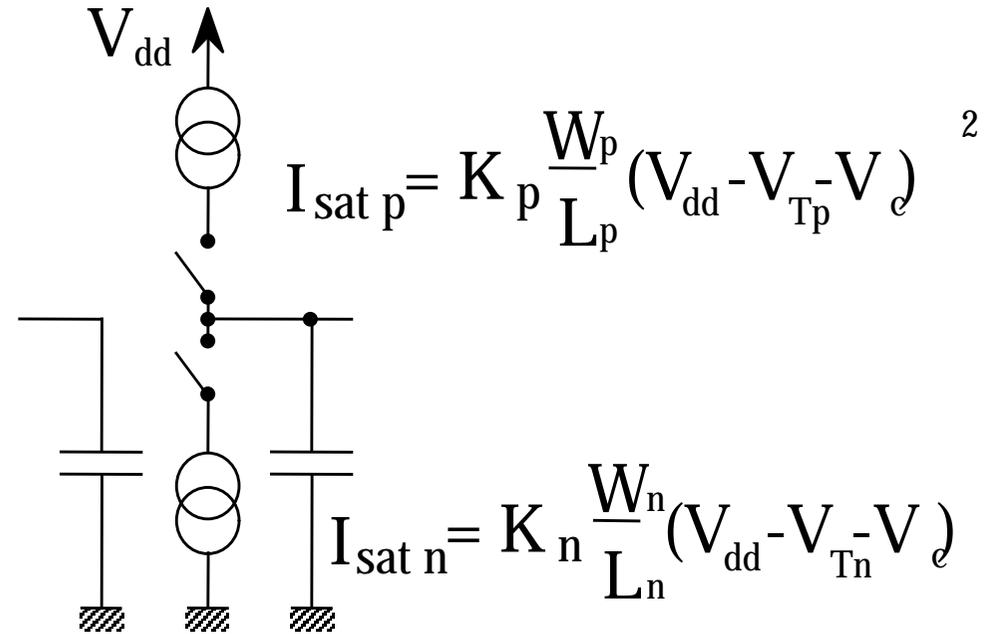
pour le dimensionnement



Simpliste:
ne rend pas
compte des délais

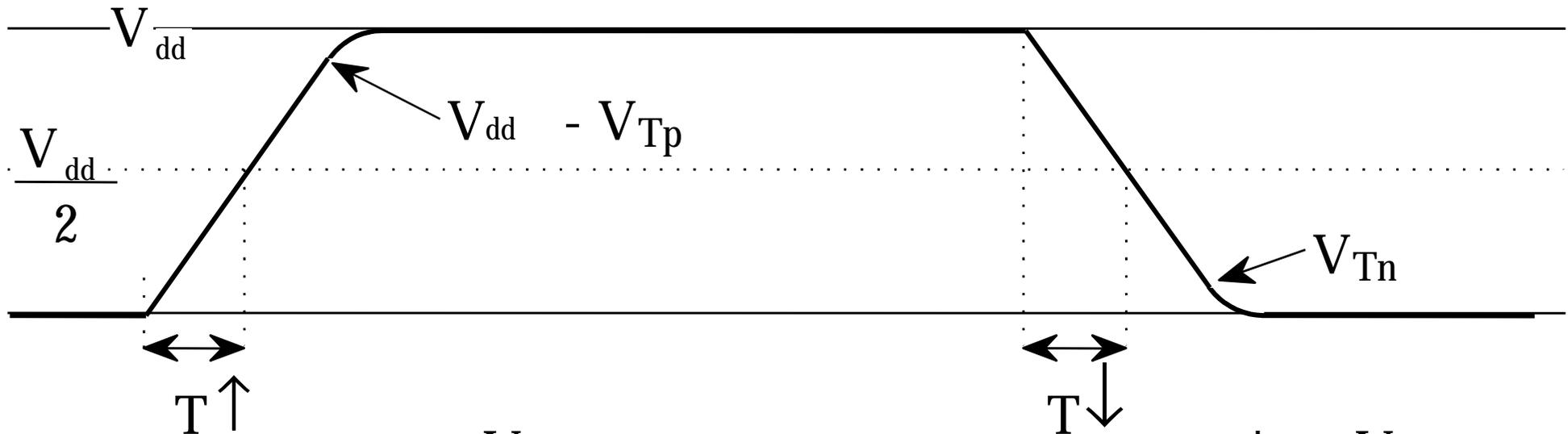
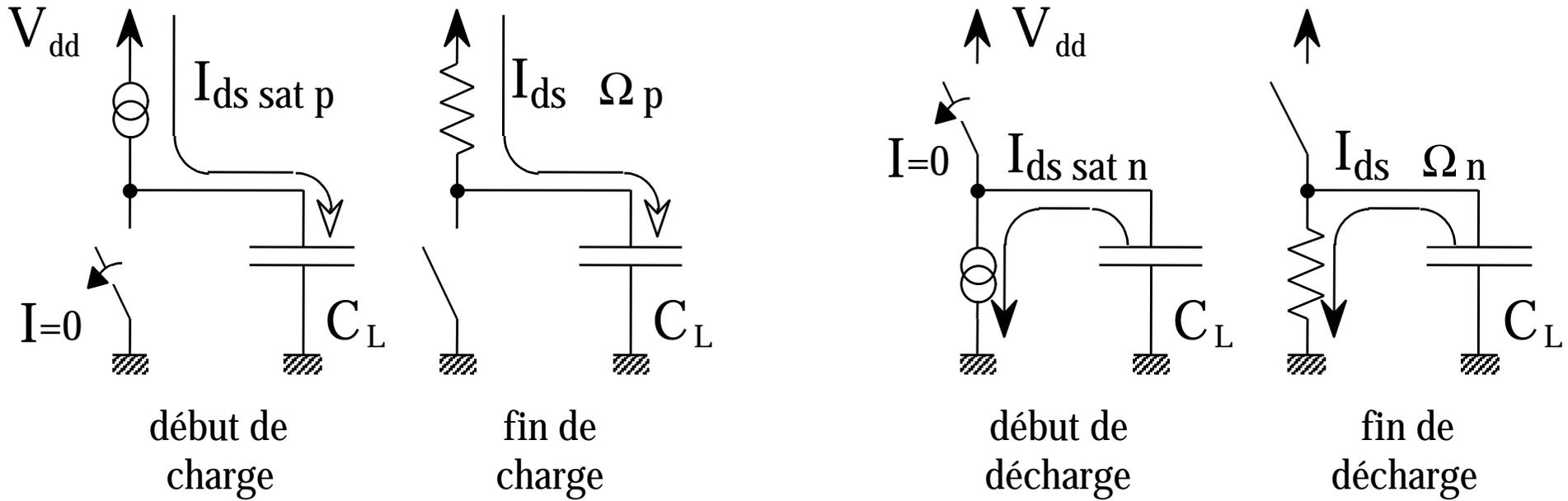


Trop complexe
nécessite logiciel
Eldo, HSpice, ...



Bon compromis
permet le calcul
de dimensions

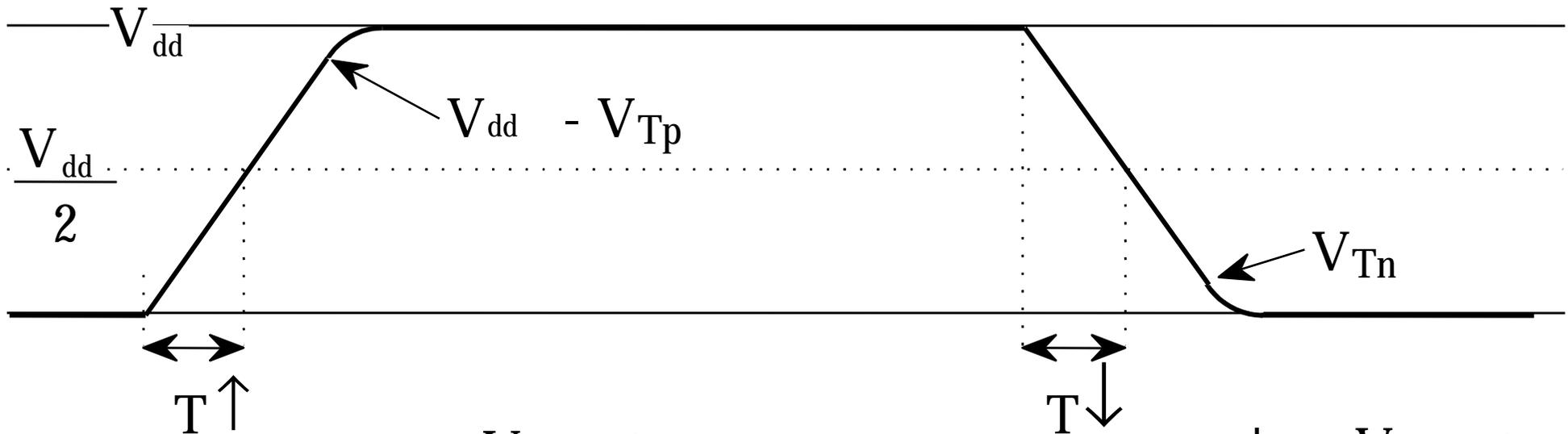
Modèle IC (2)



$$T \uparrow = \frac{V_{dd}}{2} \frac{1}{I_{sat\ n}} C_L$$

$$T \downarrow = \frac{V_{dd}}{2} \frac{1}{I_{sat\ p}} C_L$$

Modèle RC pour canaux courts (3)



$$T \uparrow = \frac{V_{dd}}{2} \frac{1}{I_{sat p}} C_L$$

$$T \downarrow = \frac{V_{dd}}{2} \frac{1}{I_{sat n}} C_L$$

$$I_{sat} = v_{lim} C_{ox} W (V_{dd} - V_T) \quad (\text{canal court} \Rightarrow \text{vitesse limite des porteurs})$$

$$T \uparrow = \frac{V_{dd}}{V_{dd} - V_T} \frac{1}{v_{lim} C_{ox}} \frac{C_L}{W}$$

\Rightarrow

$$T \uparrow = R \frac{C_L}{W}$$

Varie peu avec V_{dd}

technologie

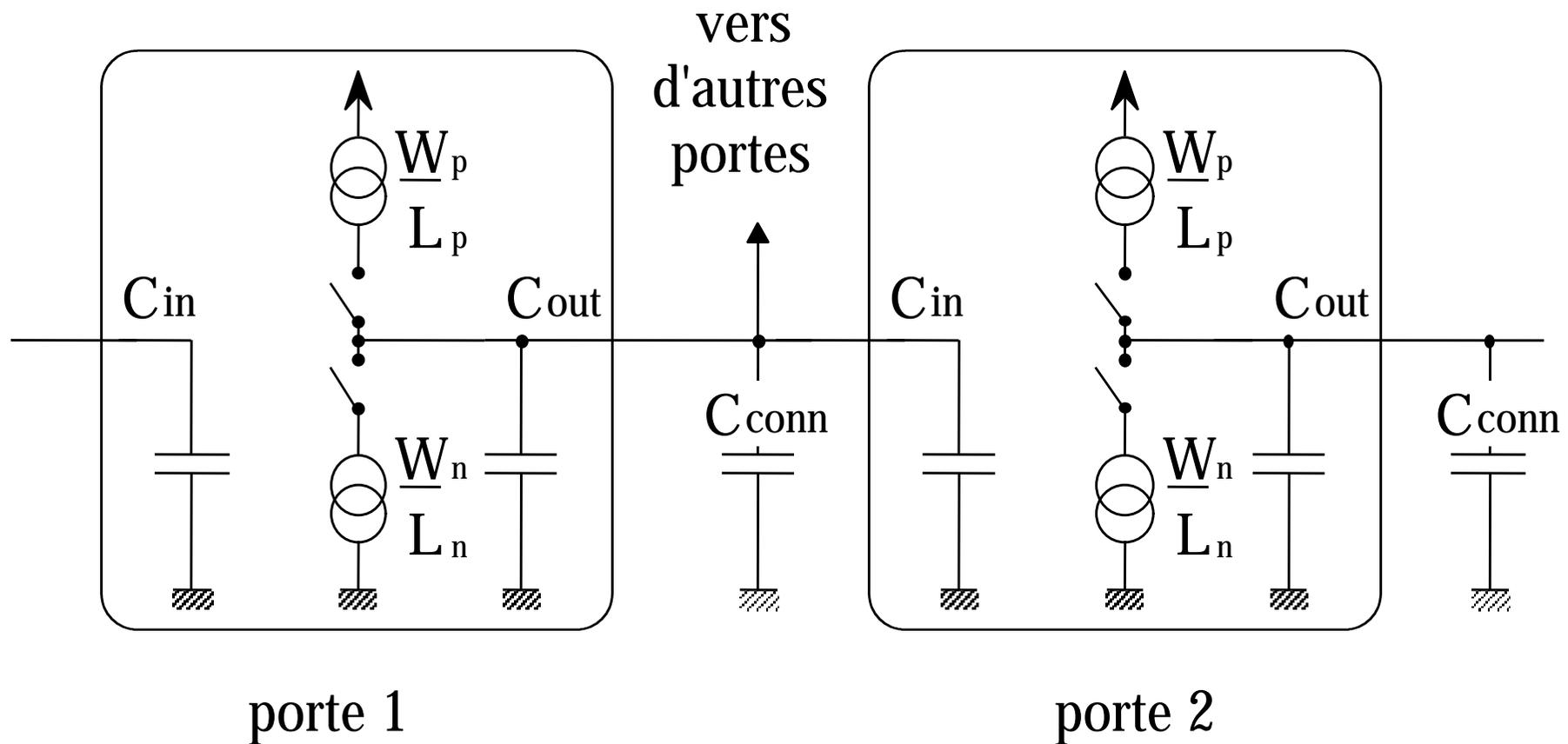
} assimilé à R

Considérations simplificatrices

(en dynamique)

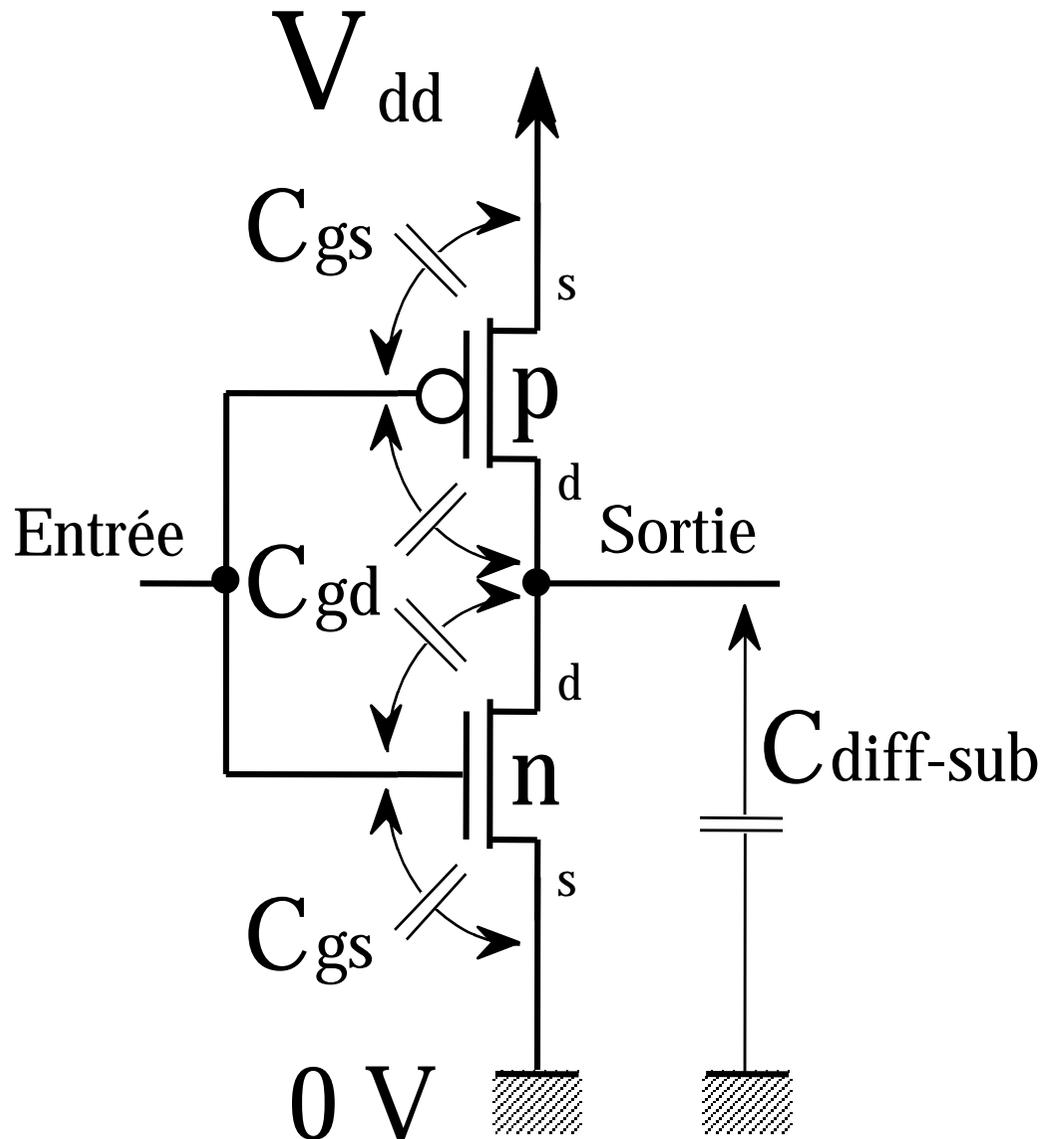
- 1- Les points de fonctionnement d'une porte logique sont $0v$ et V_{dd}
- 2- Le courant disponible en sortie d'une porte n'est important que lorsque l'une des branches est bloquée.
- 3- Pendant la grande majorité de la charge de la capacité de sortie, la branche qui conduit est saturée.
- 4- A partir de ce moment, la tension d'entrée ne varie plus beaucoup, et on peut considérer que le courant de sortie est constant
- 5- On peut donc assimiler une porte à un générateur de courant I_{sat} déclenché lorsque la tension d'entrée passe un seuil

Calcul des paramètres du modèle



- 1- Calculer les capacités de sortie C_{out}
- 2- Calculer les capacités C_{in} des portes en aval et C_{conn} des connexions
- 3- Calculer le W/L équivalent du réseau P
- 4- Calculer le W/L équivalent du réseau N

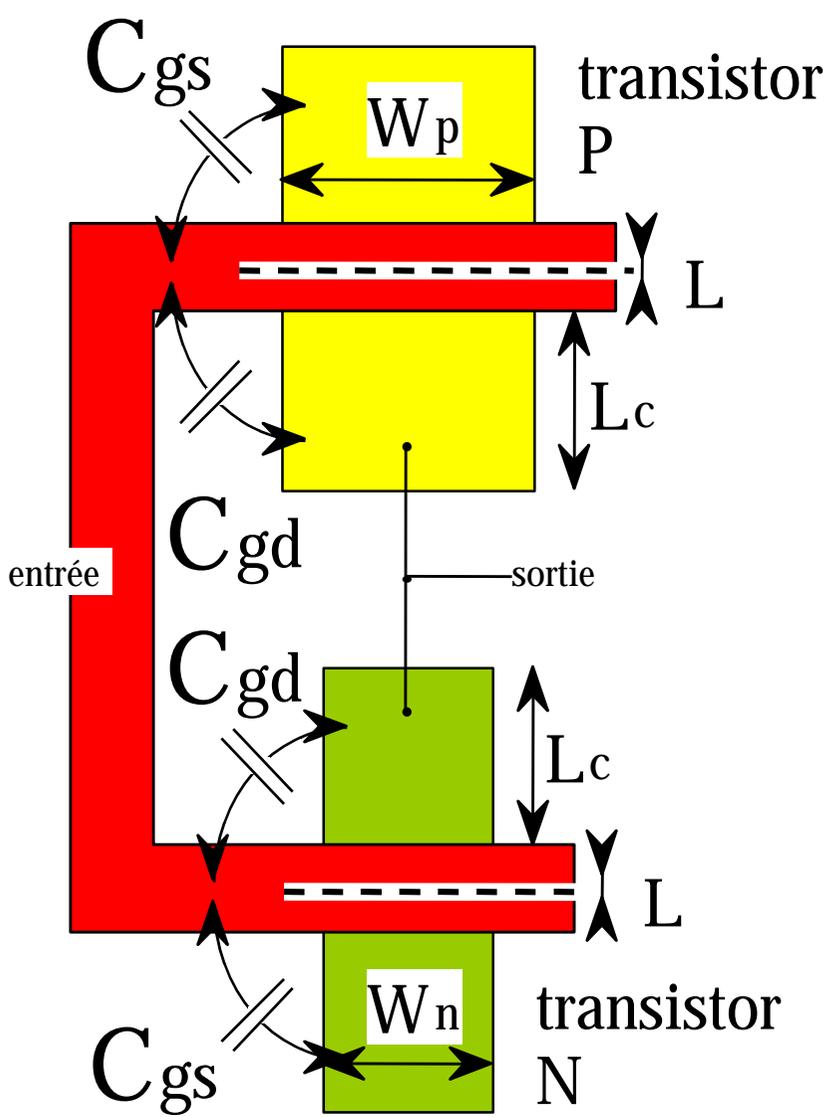
Capacités parasites de l'inverseur (1)



Les capacités de drain C_{gd} comptent pour entrée et sortie.
 $C_{oxyde} = w W_n$

La capacité des diffusions C_{diff} est $q W_n$
 w et q sont des constantes dépendant du style de dessin et de la technologie

Capacités parasites de l'inverseur (2)



pour le P $C_{gs} = C_{gd} = W_p \frac{L}{2} C_{ox}$

pour le N $C_{gs} = C_{gd} = W_n \frac{L}{2} C_{ox}$

Capacités d'entrée:

$C_{gs} + C_{gd}$ du transistor P +

$C_{gs} + C_{gd}$ du transistor N

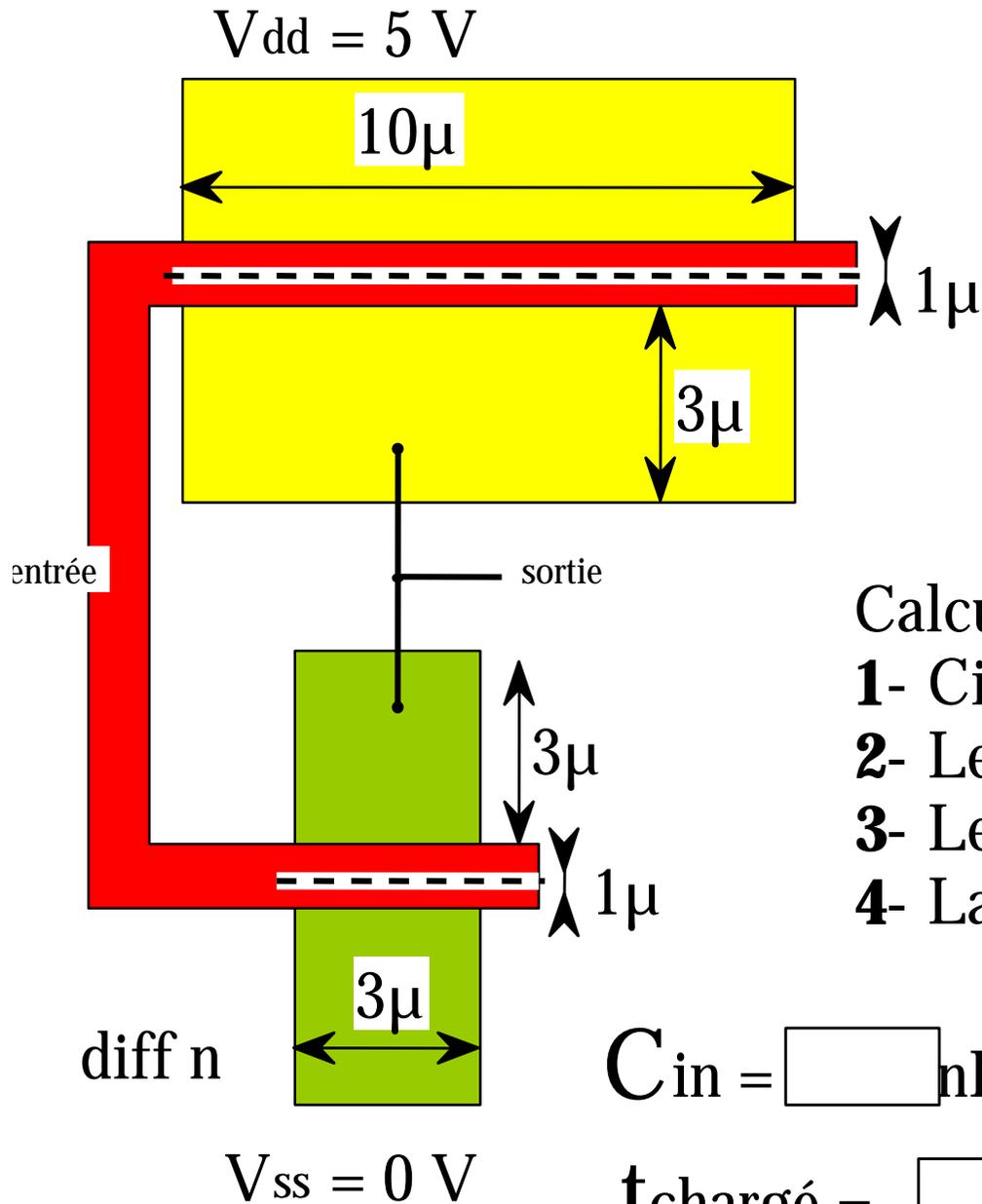
Capacités de sortie:

C_{gd} du transistor P +

C_{gd} du transistor N +

capacités de diffusion

Application cunutesque (3)



$I_{sat p} = 200 \mu\text{A}$
 $I_{sat n} = 640 \mu\text{A}$
 $C_{ox} = 170 \text{ nF cm}^{-2}$
 $C_j = 30 \text{ nF cm}^{-2}$

Calculer

- 1- C_{in} et C_{out}
- 2- Le délai de l'inverseur non chargé
- 3- Le délai avec une sortance de n
- 4- La puissance dissipée à 50 Mhz

$C_{in} = \text{[] nF}$ $C_{out} = \text{[] nF}$ $t_{lim} = \text{[] ps}$

$t_{chargé} = \text{[] s}$ $P_{dyn} = \text{[] W}$

Corrections & Conclusions (1)

1- Calcul de C_{in} et C_{out}

$$C_{in} = (3\mu + 10\mu) * 1\mu * 170\text{ nF} * 10^{-8} \approx 2^2 200\text{ nF} 10^{-8}$$

$$C_{out} = 1/2 * C_{in} + (3\mu + 10\mu) * 3\mu * 30\text{ nF} * 10^{-8} \approx 2^2 200\text{ nF} 10^{-8}$$

Conclusion: Pour l'inverseur les capacités C_{in} & C_{out} sont équivalentes

2- Calculer le délai d'un inverseur non chargé

$$T_{\uparrow} = V_c \frac{C_{out}}{I_{sat p}} = \frac{V_{dd}}{2} \frac{C_{out}}{10 * 200 * 10^{-6}} \approx 30\text{ ps}$$

$$T_{\downarrow} = V_c \frac{C_{out}}{I_{sat n}} = \frac{V_{dd}}{2} \frac{C_{out}}{3 * 640 * 10^{-6}} \approx 30\text{ ps}$$

Conclusion: Par construction les temps de montée et descente de l'inverseur équilibré ($I_{sat p} = I_{sat n}$) sont les mêmes

Un inverseur non chargé a un délai indépendant de sa taille \Rightarrow
vitesse limite de la technologie

Corrections & Conclusions (2)

3- Calcul du délai avec une charge équivalente à n inverseurs

$$T_{\uparrow\downarrow} = \frac{V_{dd}}{2} \frac{C_{out} + n \cdot C_{in}}{I_{sat}} \approx 30 * (n + 1) \text{ ps}$$

Conclusion: Le délai est la somme d'un délai interne et d'un délai de charge

4- Calcul de la puissance dissipée à 50 MHz par un inverseur chargé

$$\text{Energie stockée dans la capacité parasite} = \frac{C V^2}{2}$$

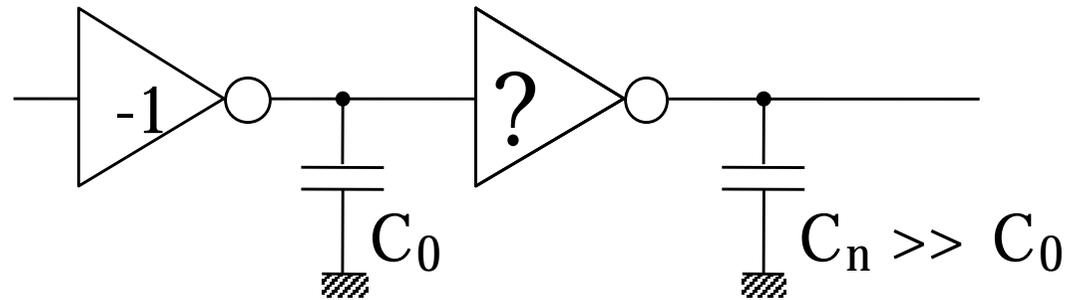
Cette énergie est dissipée une fois par cycle d'horloge.

$$P = 1/2 * 50 \cdot 10^6 * V_{dd}^2 * (C_{in} + C_{out})$$

$$P = 1/2 * 50 \cdot 10^6 * 5^2 * (2 \cdot 200 + 2 \cdot 200) \cdot 10^{-8} \approx 27 \cdot 500 \text{ nW} \approx 27 \cdot 10^{-6} \text{ W}$$

Conclusion: Le taux d'activité des portes est faible

Sortance importante (1)

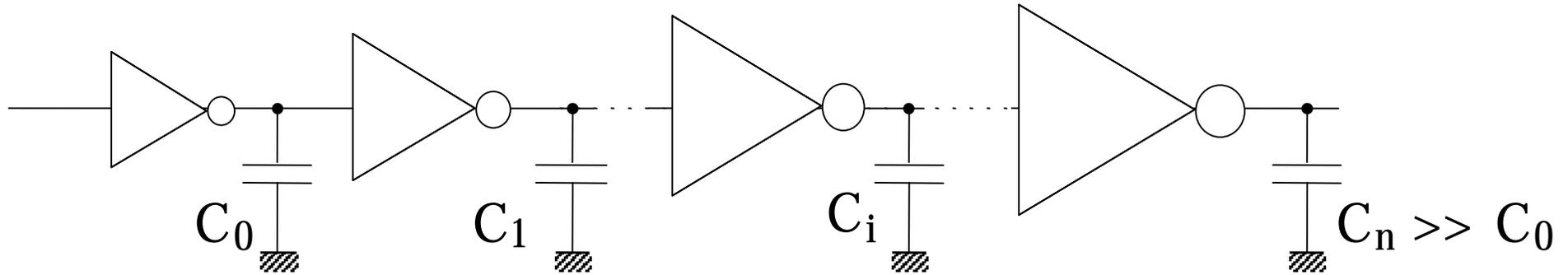


On veut réaliser l'adaptation entre une porte (petite) et une charge capacitive élevée avec un délai T de la porte d'adaptation aussi court que possible

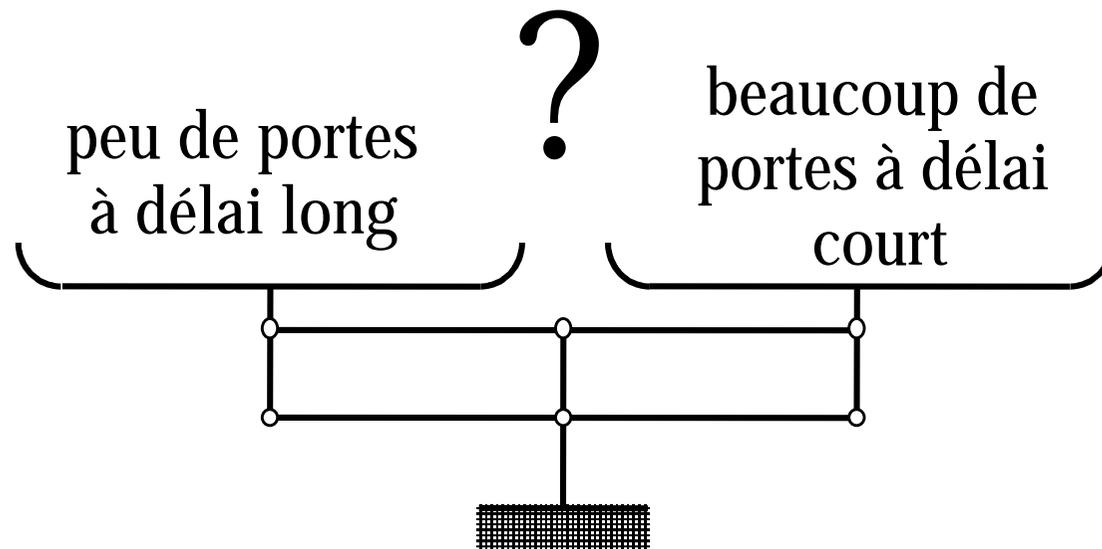
Augmenter la taille des transistors de la porte d'adaptation augmente le délai de la porte précédente.

\Rightarrow Il faut des étages d'adaptation

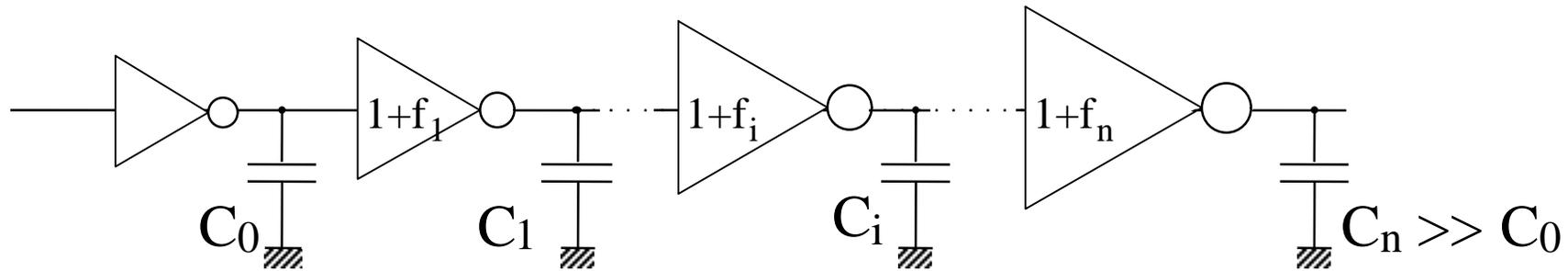
Adaptation des charges (2)



Quel est l'optimum



Adaptation des charges (3)



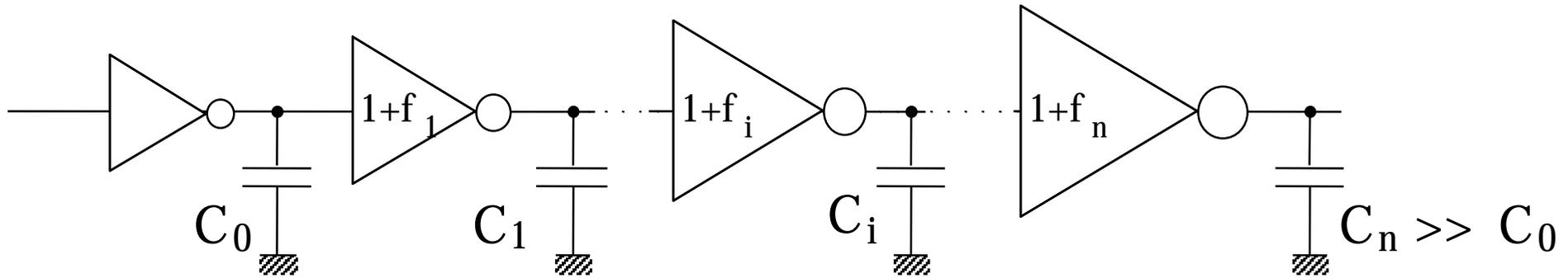
Soit $f_i = \frac{C_{i+1}}{C_i}$. Le délai du $i^{\text{ème}}$ inverseur est $T_i \downarrow \uparrow = (1 + f_i) T_{\text{lim}}$

On a : $\prod_{i=1}^n f_i = \frac{C_n}{C_0}$; On veut minimiser $\sum_{i=1}^n T_i \downarrow \uparrow$ proportionnel à $\sum_{i=1}^n (1 + f_i)$

Le minimum est obtenu pour $f_i = \sqrt[n]{\frac{C_n}{C_0}}$ soit $n = \frac{\ln\left(\frac{C_n}{C_0}\right)}{\ln(f_i)}$

ce qui revient à minimiser $n(f_i + 1) \approx \frac{f_i + 1}{\ln(f_i)}$ obtenu pour $1 + \frac{1}{f_i} - \ln(f_i) = 0$

Adaptation des charges (4)

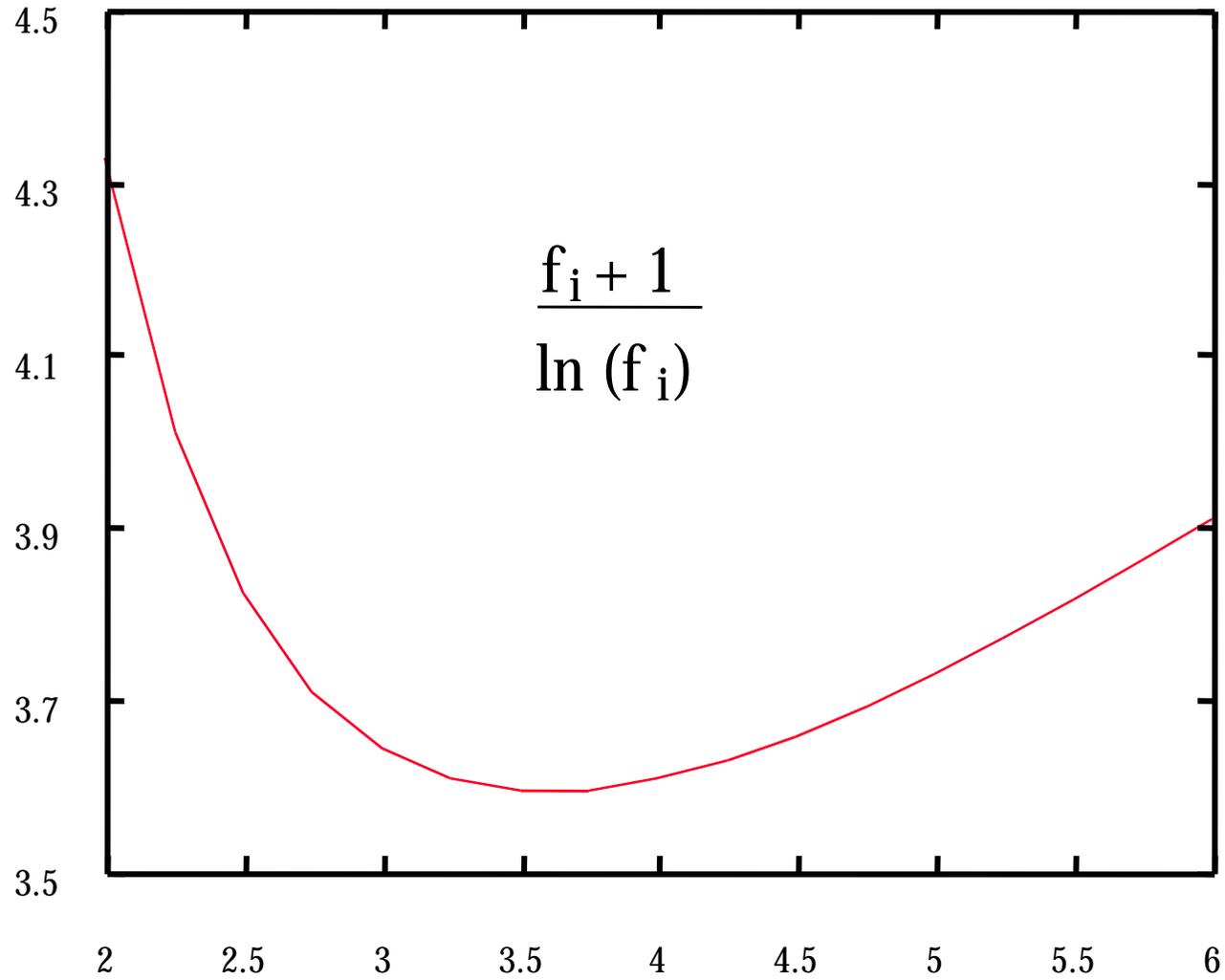


$$1 + \frac{1}{f_i} \ln(f_i) = 0 \quad \text{donne } f_i \approx 3,5 \quad \text{et } \ln(f_i) \approx 1,3$$

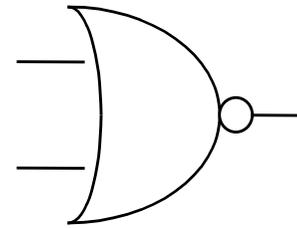
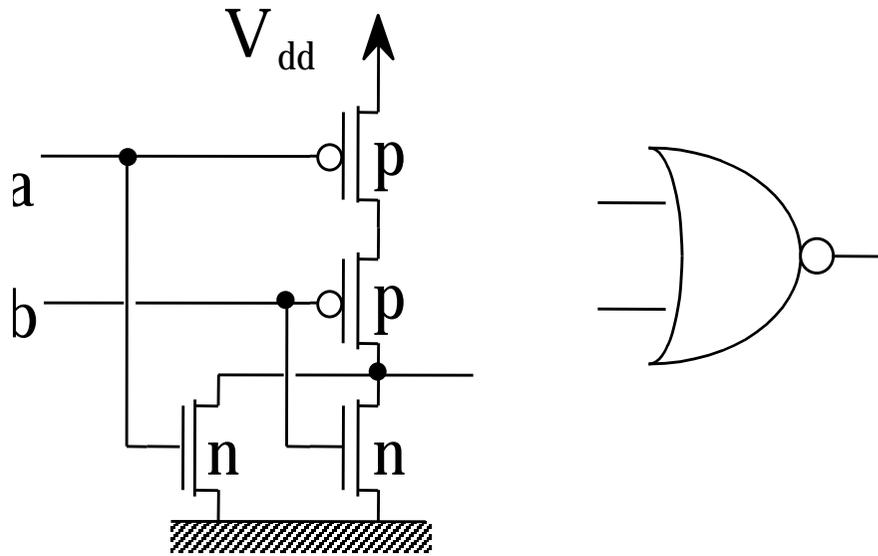
On observe de plus que $\frac{f_i + 1}{\ln(f_i)}$ varie de moins de 10% entre 3 et 5

$$\text{Donc } n = \left\lceil \frac{1}{1,3} \ln \left(\frac{C_n}{C_0} \right) \right\rceil$$

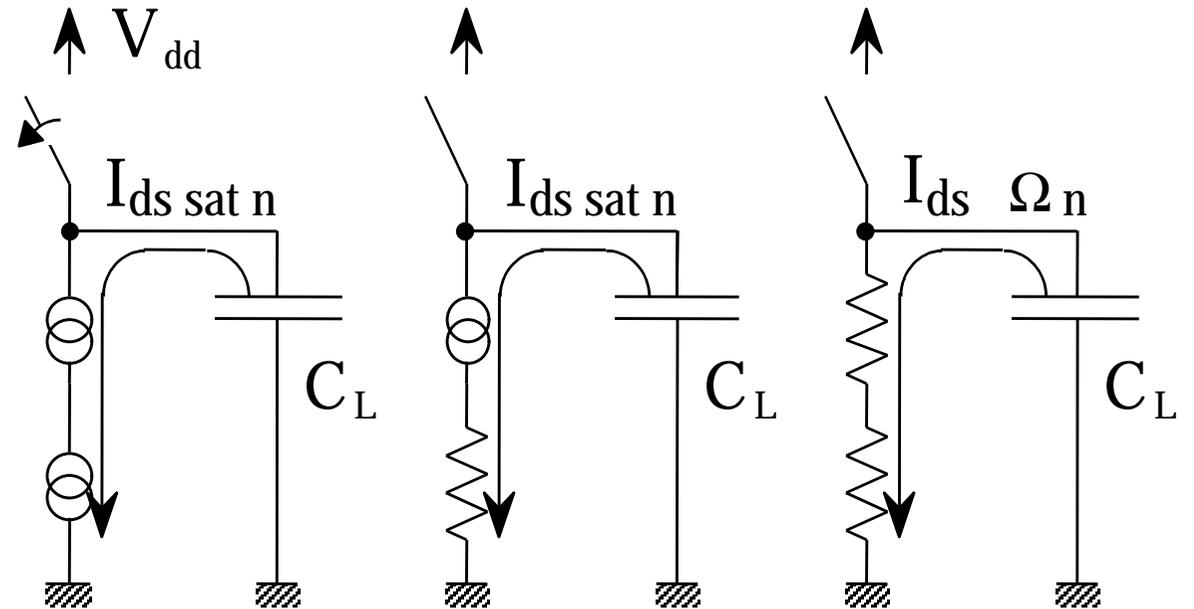
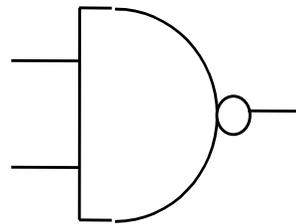
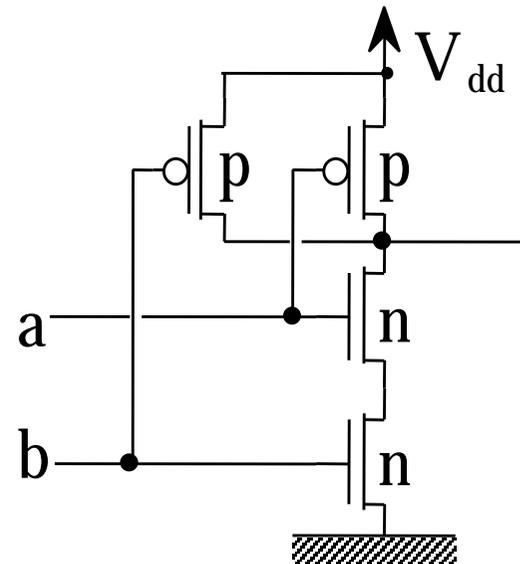
Visualisation du minimum (tableur)



Conservation du seuil logique



Pour conserver le $\frac{W}{L}$ équivalent
si on met 2 transistors en série,
il faut doubler le W

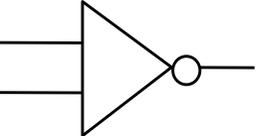
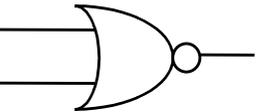
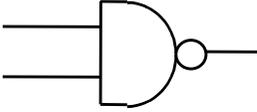
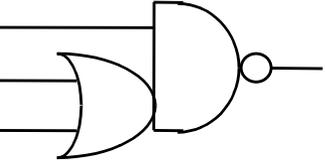


début de
décharge

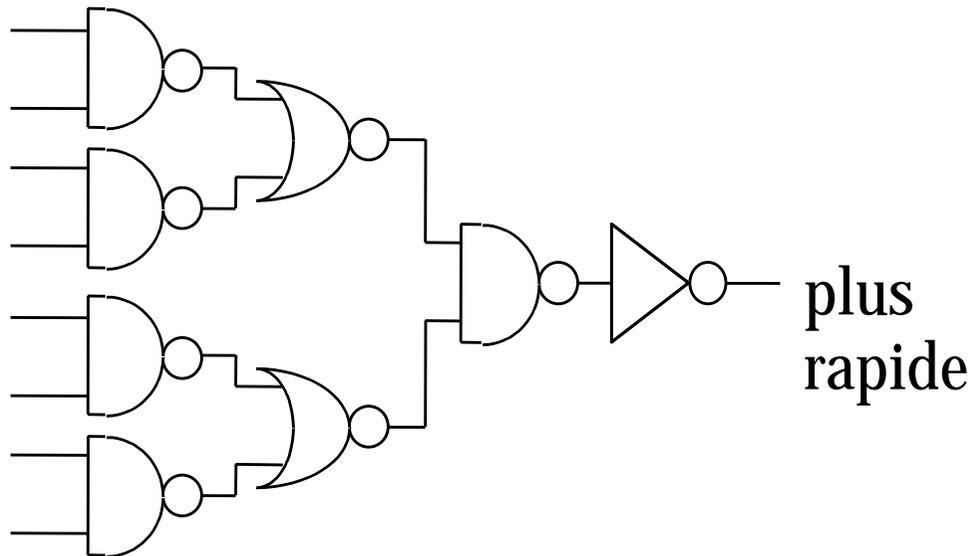
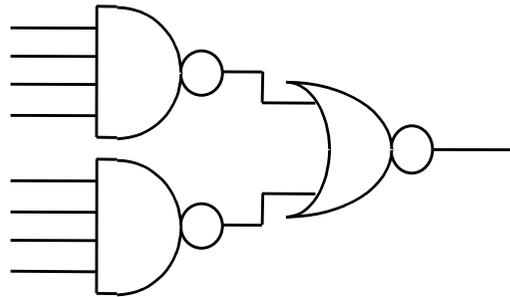
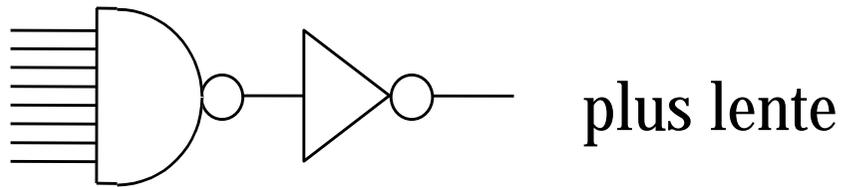
fin de
décharge
électrique 145

Application cunutesque (4)

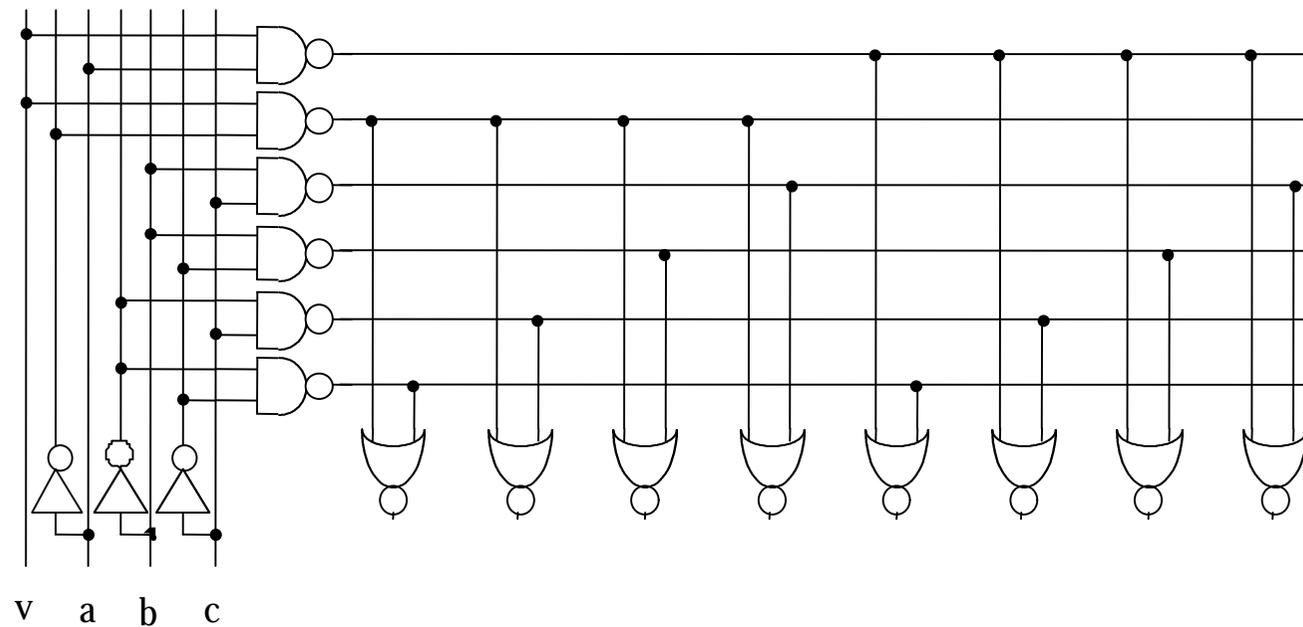
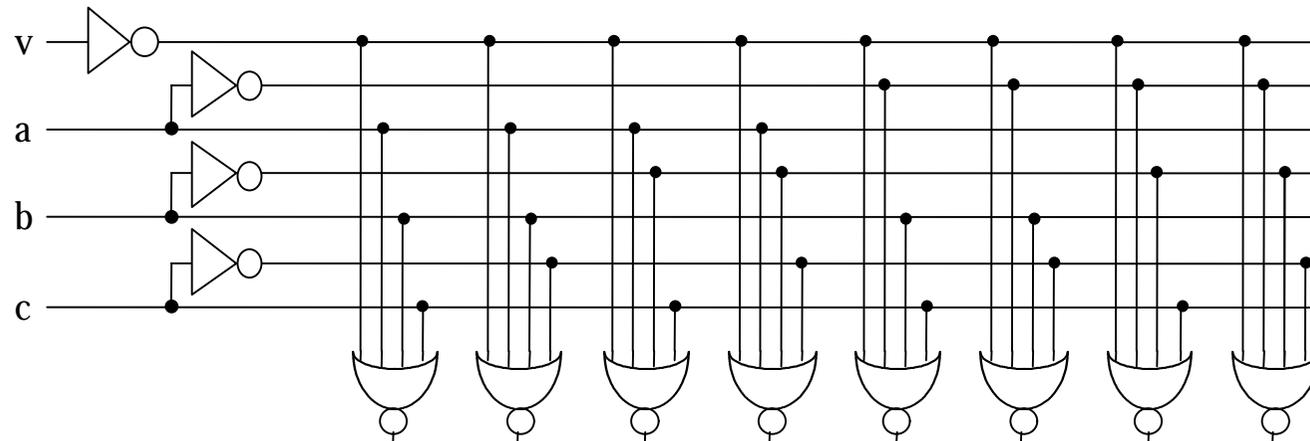
Pour le même seuil V_c et le même courant que l'inverseur, calculer les capacités C_{in} et C_{out} des portes ci-dessous

type de porte	C_{in}	C_{out}
	$22 \cdot 10^{-8} \text{ nF}$	$22 \cdot 10^{-8} \text{ nF}$
		
		
		

Entrance importante

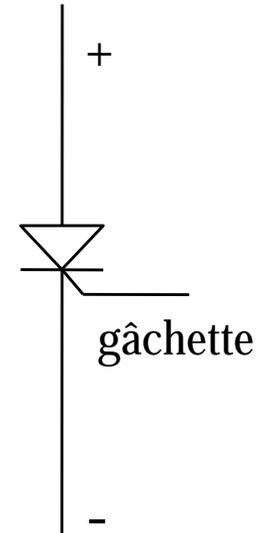
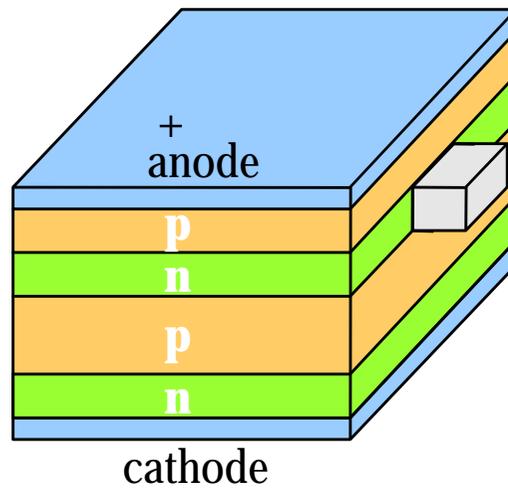


Quel est le circuit le plus rapide ?

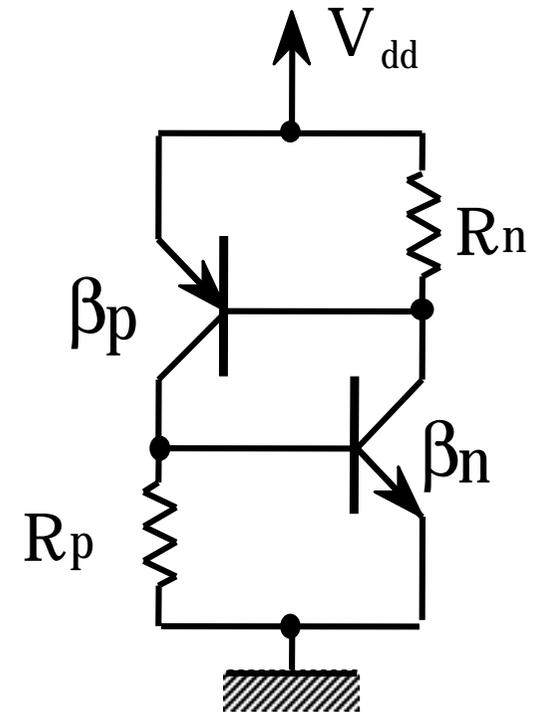
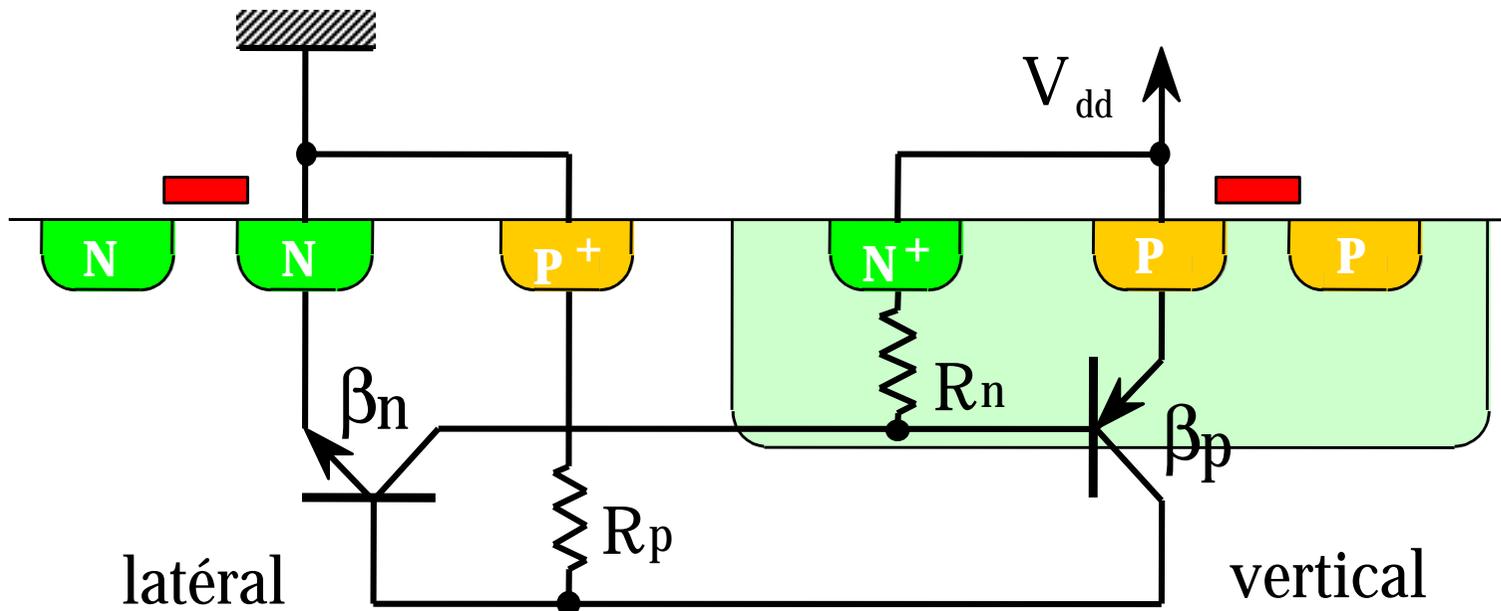


Latch up (1)

Thyristor



Latch up (2)



Réduire $\beta_n * \beta_p$

Réduire $R_n + R_p$

Mettre un prise substrat tout les 40μ au maximum

Epitaxie sur P+, isolation par tranchées remplies d'oxyde, ...