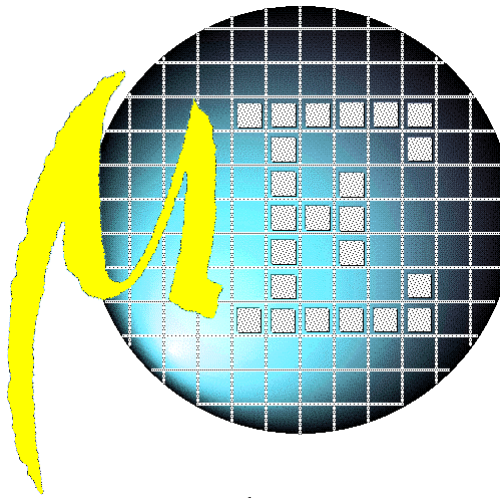


Éléments de mémorisation dynamiques



DEA MICROÉLECTRONIQUE

Alain GUYOT

TIMA



☎ (33) 04 76 57 46 16

💻 Alain.Guyot@imag.fr

<http://tima-cmp.imag.fr/~guyot>

Techniques de l'Informatique et de la Microélectronique
pour l'Architecture. Unité associée au C.N.R.S. n° B0706

mémoire dynamique 199

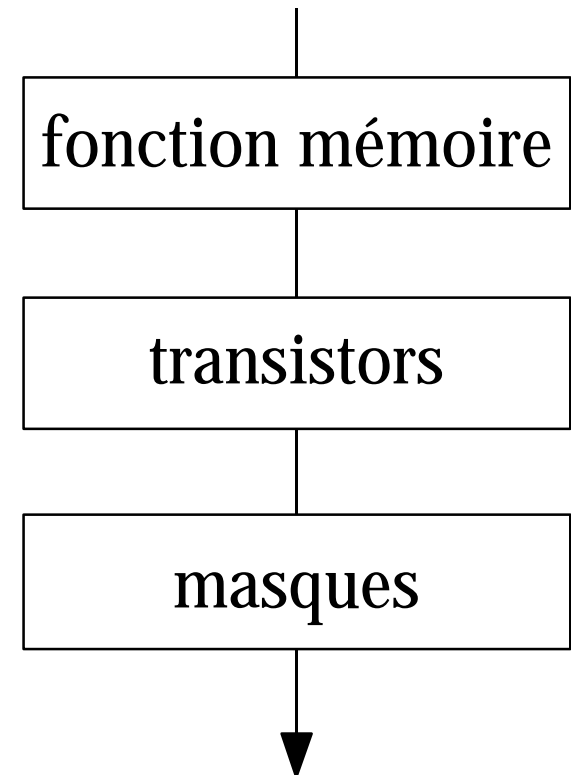
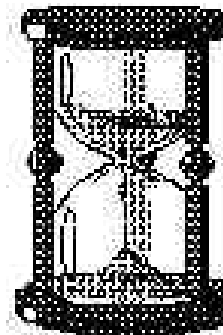
But

Réaliser un circuit qui conserve une valeur logique pendant un temps nécessairement court

Optimiser la surface et/ou la vitesse

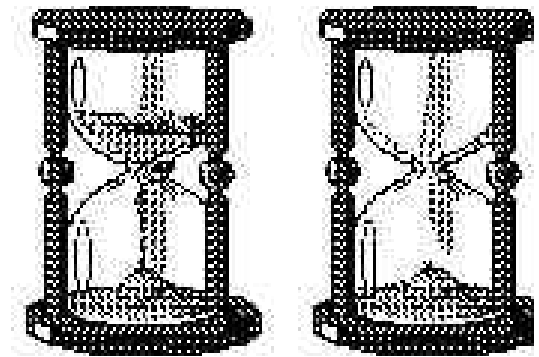
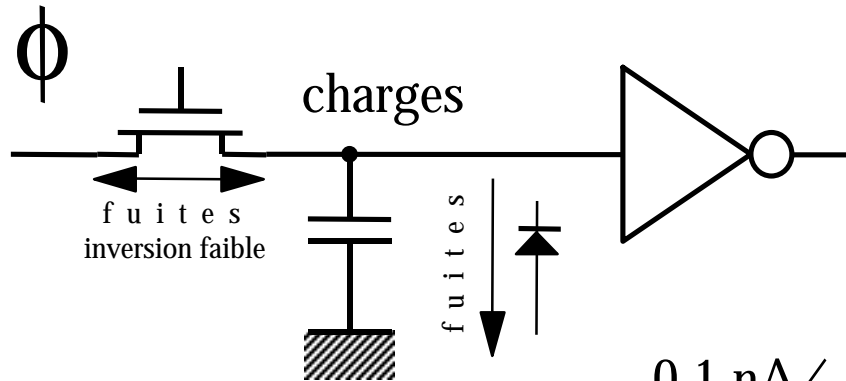
Problèmes

- lecture
- écriture
- rétention/entretien
- temps de 'hold', 'set-up'
- initialisation



Le temps est discrètement rythmé par une horloge Φ

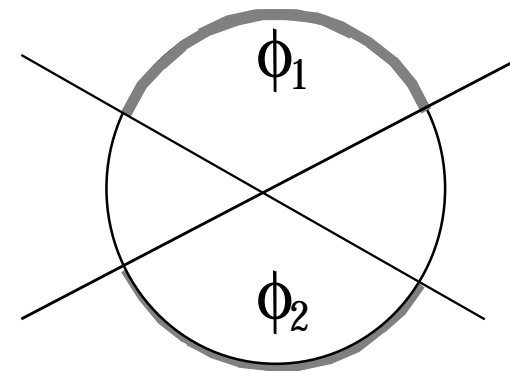
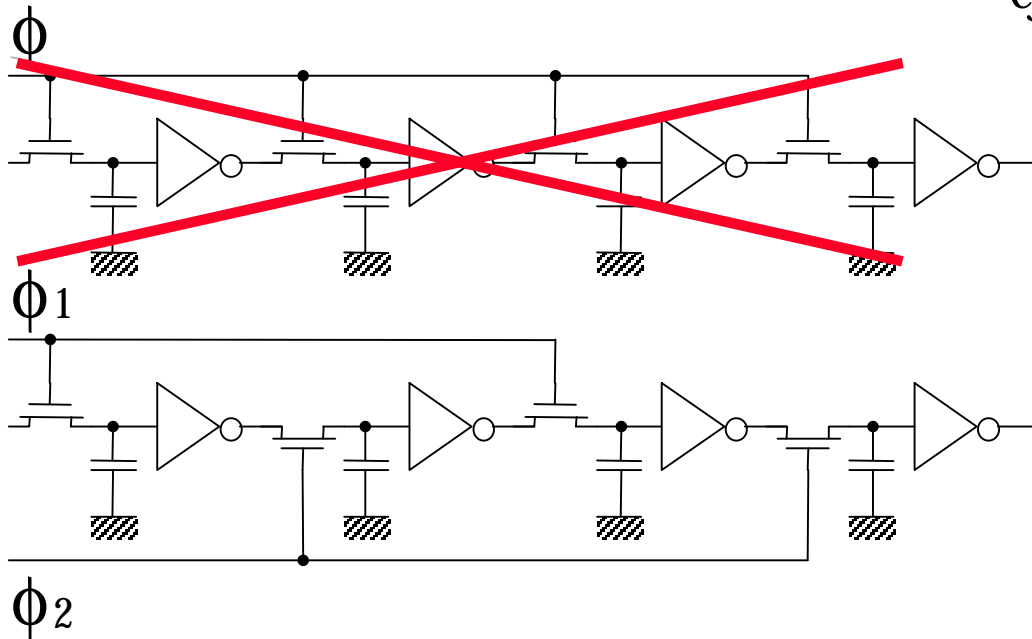
Mémorisation dynamique



$$0,1 \text{ nA}/\mu\text{m}^2$$

$$c_j = 0,3 \text{ fF}/\mu\text{m}^2$$

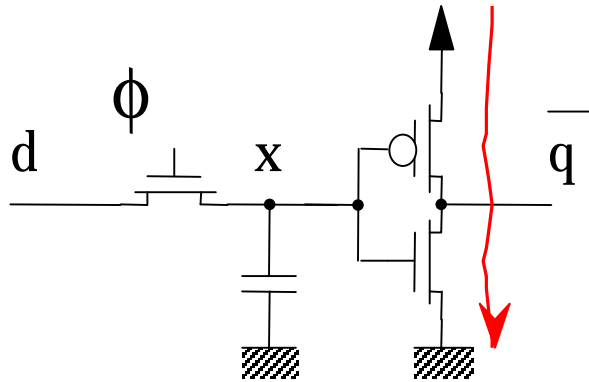
Comment faire un maître-esclave ?



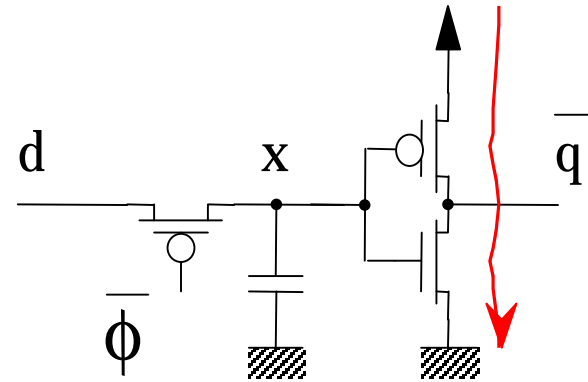
$$\phi_1 \wedge \phi_2 = 0$$

Les phases ϕ_1 et ϕ_2 ne se recouvrent pas

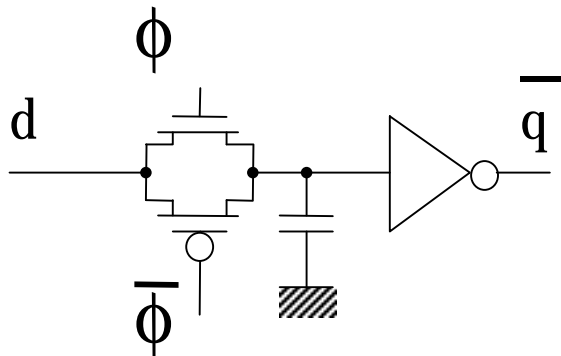
Mémorisation dynamique



$X \leq V_{dd} - V_{tn}$
 \Rightarrow P non bloqué



$X \geq V_{tp}$
 \Rightarrow N non bloqué

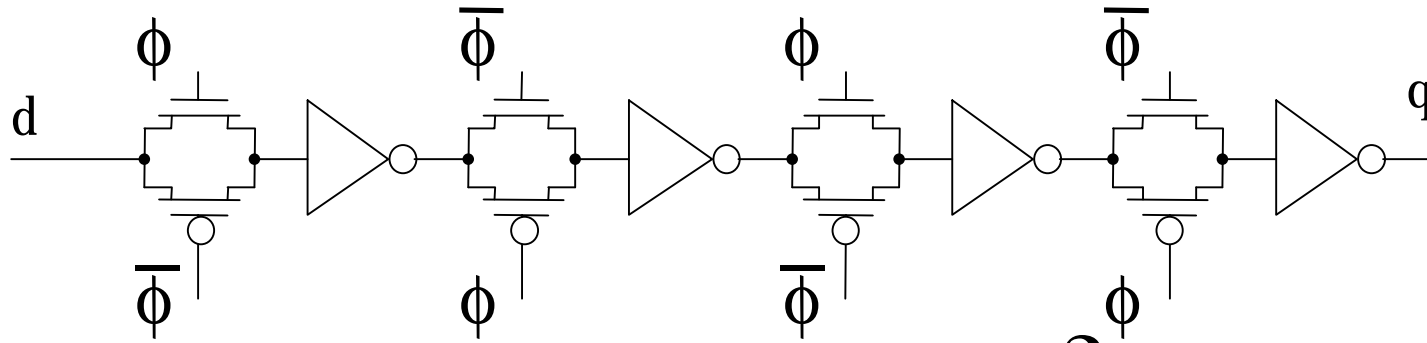


Porte de transmission avec un transistor N et un transistor P

Avantage: pas de perte de seuil

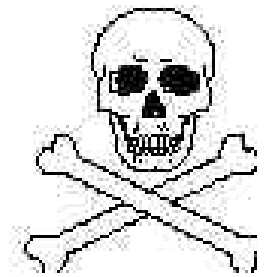
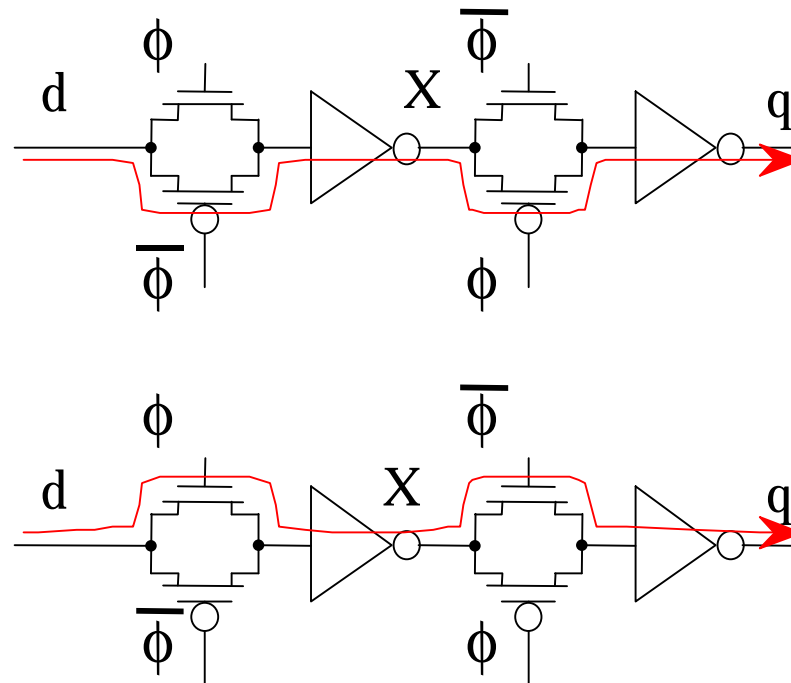
Inconvénient: 2 commandes Φ et $\bar{\Phi}$

Registre à décalage dynamique

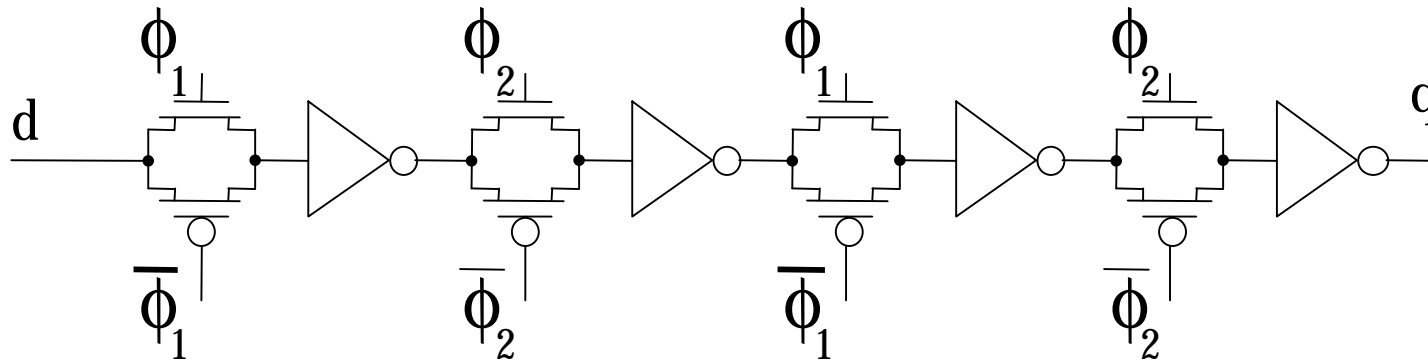


Peut on profiter des deux phases ϕ et $\bar{\phi}$?

ϕ	$\bar{\phi}$	
0	0	passage par les P
0	1	$q := x$
1	0	$x := d$

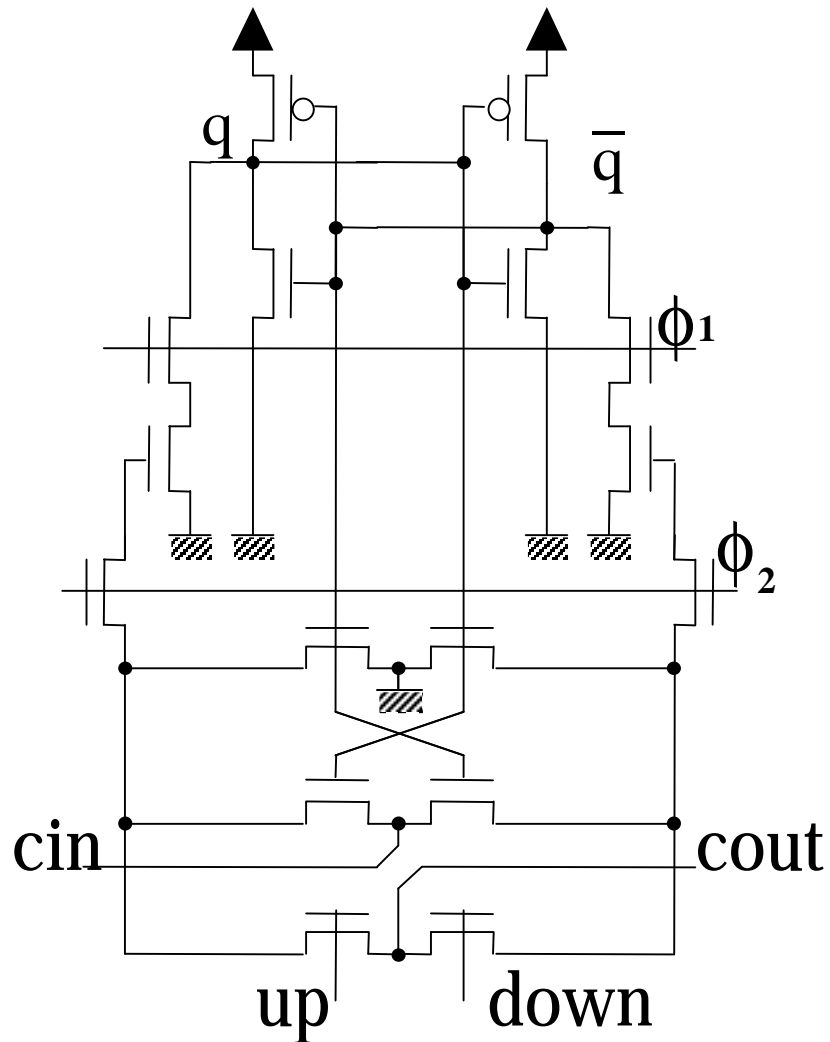


Deux phases complémentées



avantage: circuit très sur
inconvénient: 4 fils d'horloge ϕ_1 $\bar{\phi}_1$ ϕ_2 $\bar{\phi}_2$

Exercice: analyser le fonctionnement

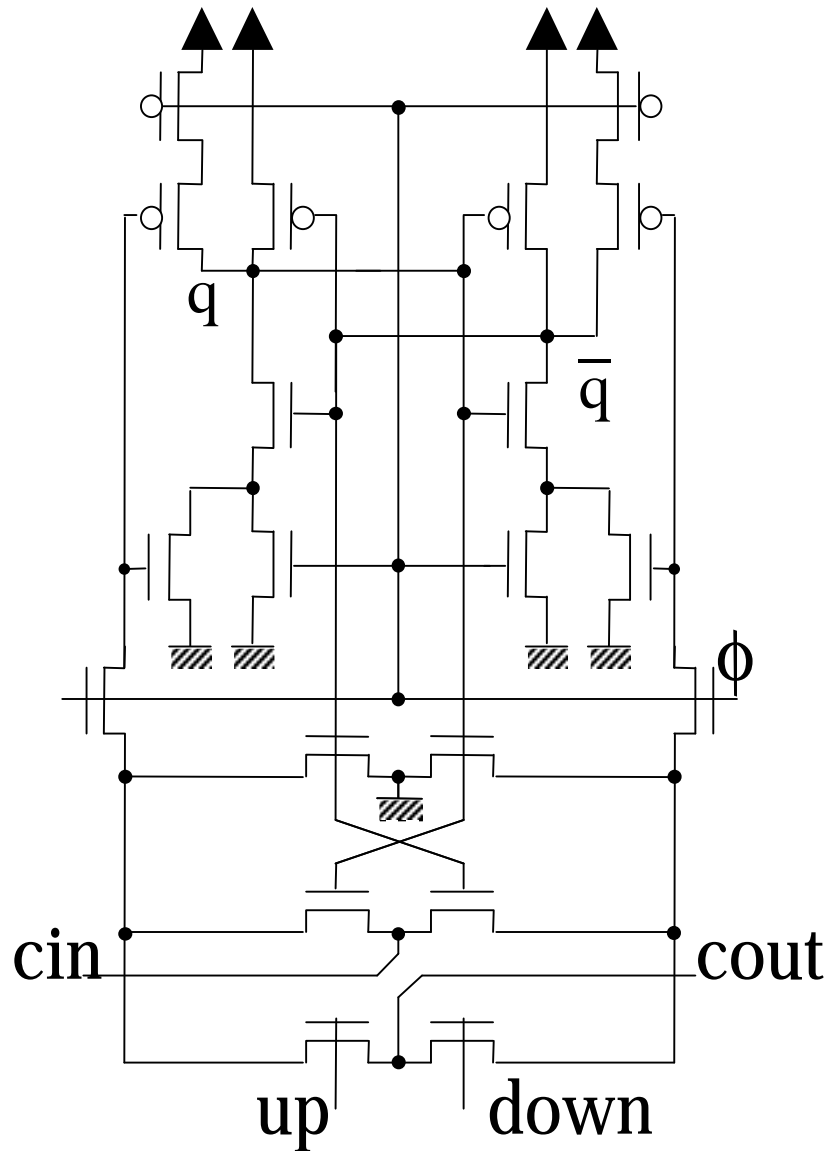


Les phases ϕ_1 et ϕ_2 sont non recouvrantes.

Les commandes up et down sont exclusives

Cycle t		Cycle t+1	
q	cin	q	cout
0	0		
0	0		
1	1		
1	1		

Exercice: analyser le fonctionnement



Les commandes up et down sont exclusives

Temps t		Temps t+1	
q	cin	q	cout
0	0		
0	0		
1	1		
1	1		

"Clocked CMOS" (C² MOS)

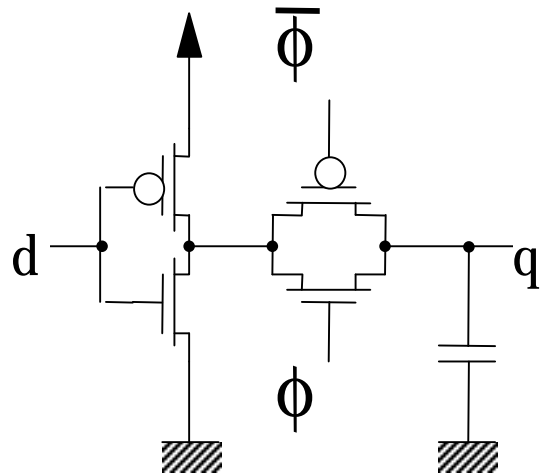


Figure 1

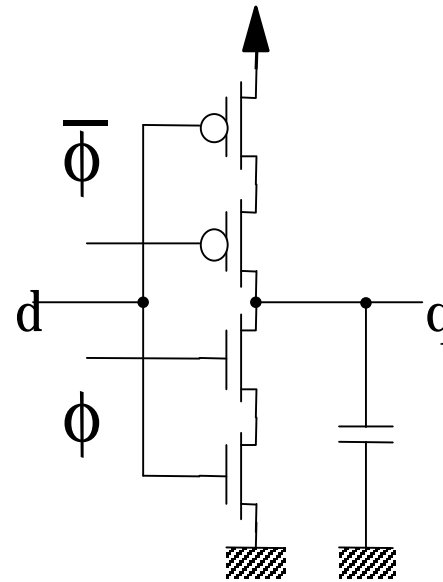


Figure 2

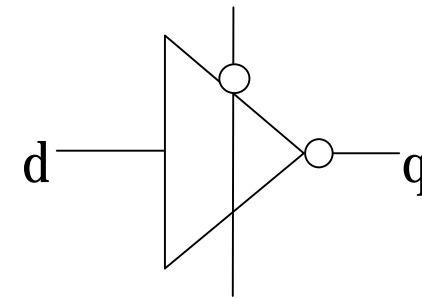


Figure 3

La porte Figure 2 est un peu plus simple et un peu plus lente que la porte Figure 1.
Ces deux variantes ont la même fonction.

La figure 3 est l'icône logique.

Portes logiques en "Clocked CMOS" (C² MOS)

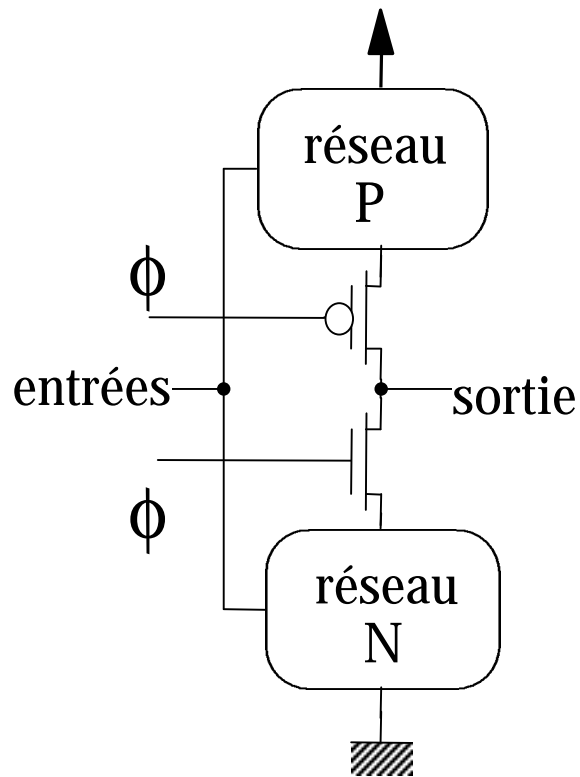


Figure 1

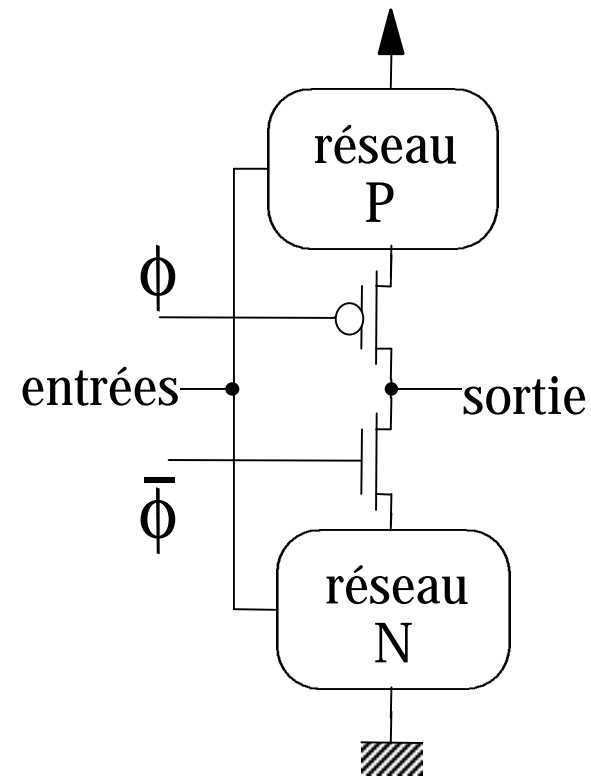
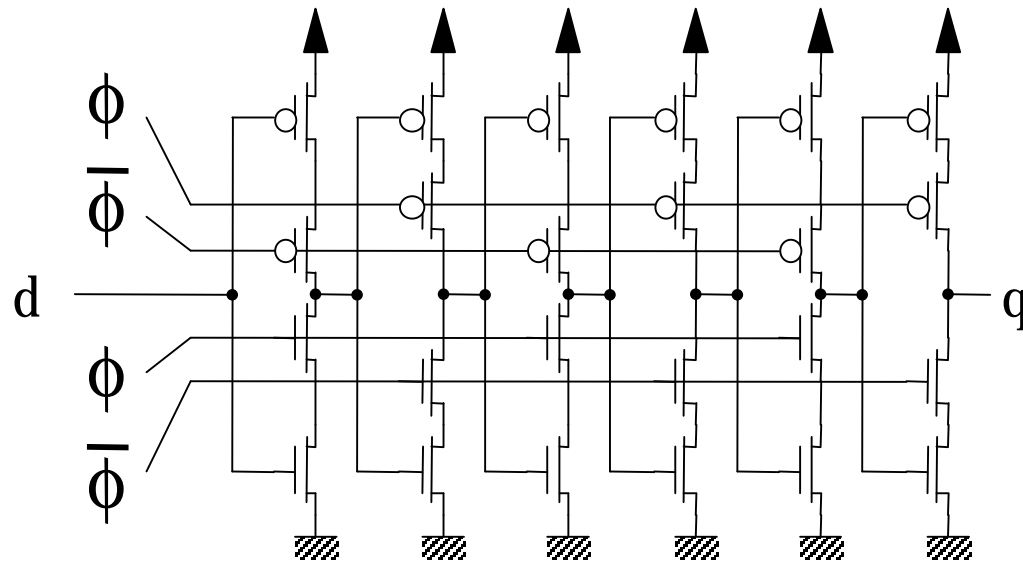


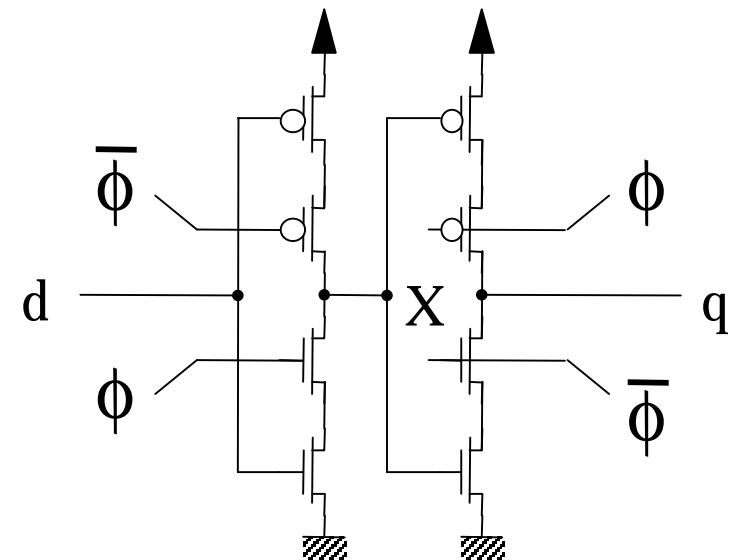
Figure 2

Sensibilité du C² MOS à la phase



Peut on profiter des deux phases ϕ et $\bar{\phi}$?

ϕ	$\bar{\phi}$	
0	0	$d = 1 \Rightarrow x$ isolé, $d = 0 \Rightarrow x := 1 \Rightarrow q$ isolé
0	1	x isolé, $q := X$
1	0	$x := d$, q isolé
1	1	$d = 1 \Rightarrow x := 0 \Rightarrow q$ isolé, $d = 0 \Rightarrow x$ isolé



Sensibilité du C² MOS aux fronts d'horloge

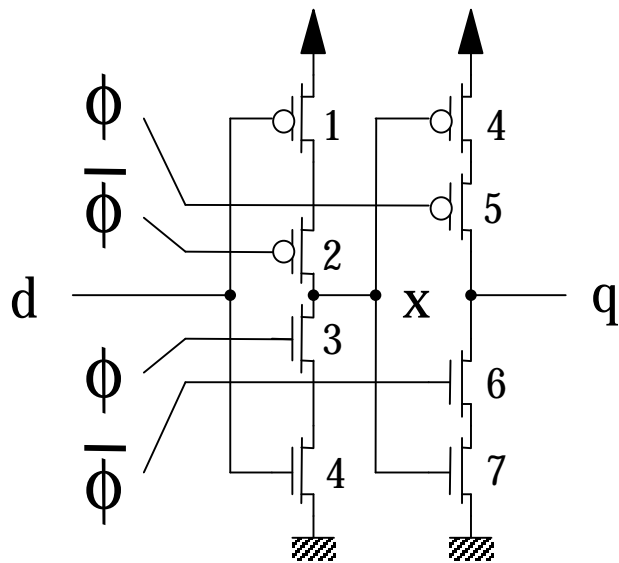


Figure 1

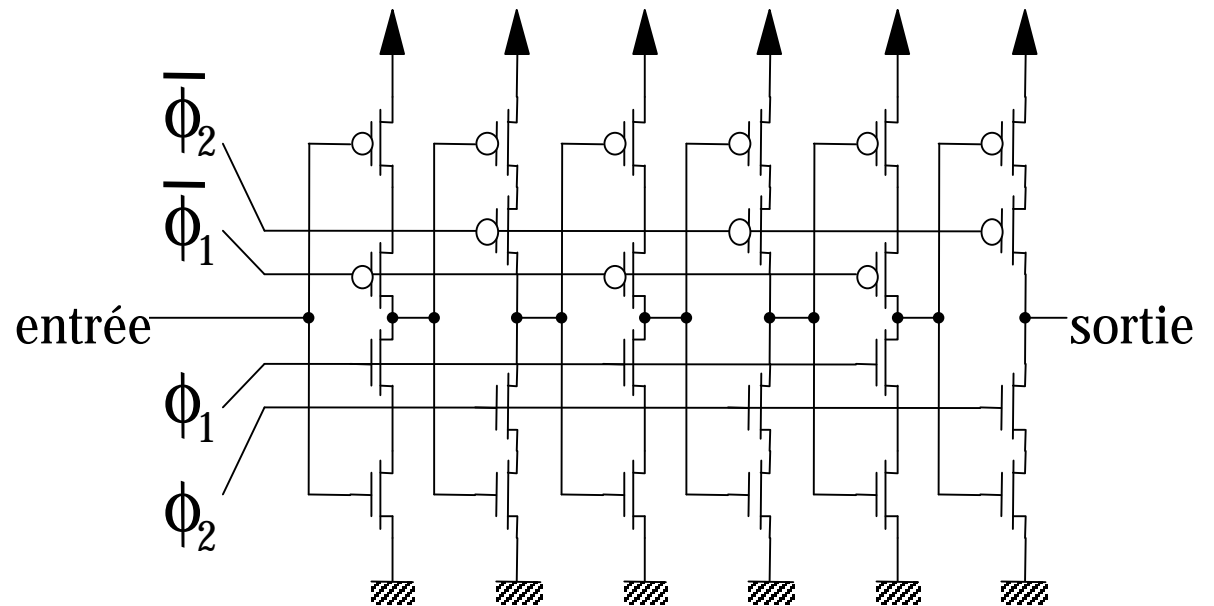


Figure 2

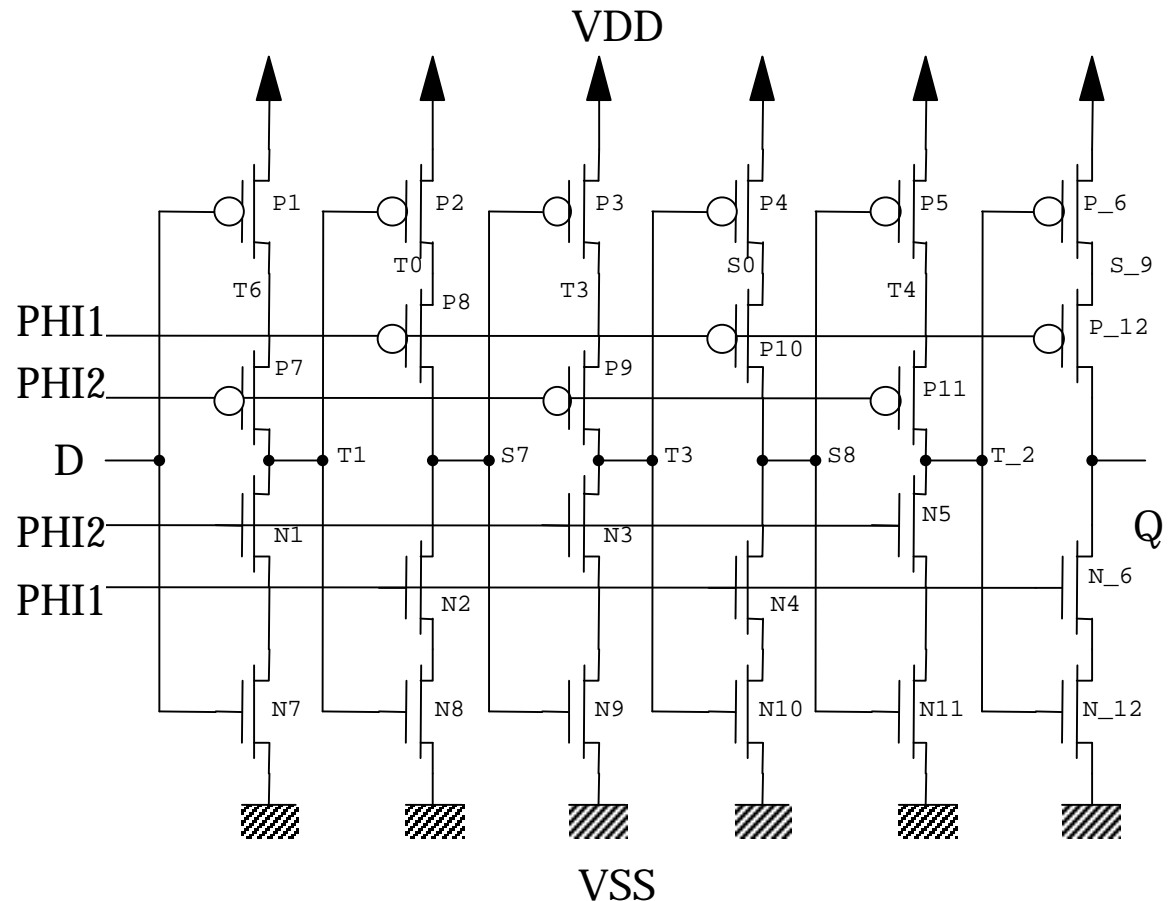
Pendant la transition de l'horloge ϕ ($V_{tn} < \phi < 5 - V_{tp}$) les transistors 3 et 5 (figure 1) conduisent donc $\bar{\phi} = 0 \Rightarrow 2, 3$ et 5 conduisent ; $\bar{\phi} = 1 \Rightarrow 3, 5$ et 6 conduisent $\Rightarrow d = 1 \Rightarrow q := 1$.

Pendant la transition de l'horloge $\bar{\phi}$ ($V_{tn} < \bar{\phi} < 5 - V_{tp}$) les transistors 2 et 6 (figure 1) conduisent donc $\phi = 0 \Rightarrow 2, 5$ et 6 conduisent ; $\phi = 1 \Rightarrow 2, 3$ et 6 conduisent $\Rightarrow d = 0 \Rightarrow q := 0$.

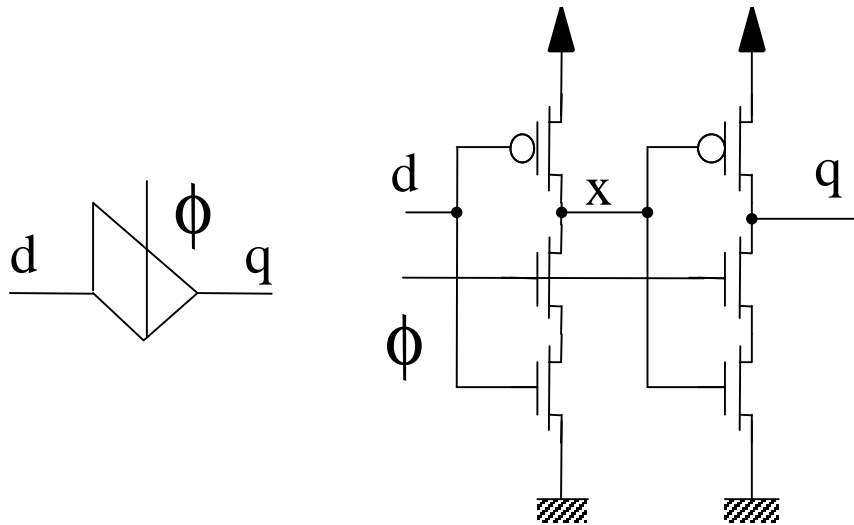
Utiliser soit une horloge à fronts raides soit 4 fils d'horloge (Figure 2)

Description VHDL

```
entity C2MOS is
  Port ( D, PHI1, PHI2, VDD, VSS : in  STD_LOGIC;
        Q
        : out STD_LOGIC );
end C2MOS;
architecture STRUCTURAL of C2MOS is
  signal S0, S1, S2, S3, S4, S5,
        S6, S7, S8, S9 : STD_LOGIC;
  signal T0, T1, T2, T3, T4, T5, T6: STD_LOGIC;
begin
  P1 : PMOS port map ( D, VDD, T6 );
  P2 : PMOS port map ( T1, VDD, T0 );
  P3 : PMOS port map ( S7, VDD, T5 );
  P4 : PMOS port map ( T3, VDD, S0 );
  P5 : PMOS port map ( S8, VDD, T4 );
  P6 : PMOS port map ( T2, VDD, S9 );
  P7 : PMOS port map ( PHI2, T6, T1 );
  P8 : PMOS port map ( PHI1, T0, S7 );
  P9 : PMOS port map ( PHI2, T5, T3 );
  P10: PMOS port map ( PHI1, S0, S8 );
  P11: PMOS port map ( PHI2, T4, T2 );
  P12: PMOS port map ( PHI1, S9, Q );
  N1 : NMOS port map ( PHI1, S3, T1 );
  N2 : NMOS port map ( PHI2, S4, S7 );
  N3 : NMOS port map ( PHI1, S5, T3 );
  N4 : NMOS port map ( PHI2, S6, S8 );
  N5 : NMOS port map ( PHI1, S2, T2 );
  N6 : NMOS port map ( PHI2, S1, Q );
  N7 : NMOS port map ( D, VSS, S3 );
  N8 : NMOS port map ( T1, VSS, S4 );
  N9 : NMOS port map ( S7, VSS, S5 );
  N10: NMOS port map ( T3, VSS, S6 );
  N11: NMOS port map ( S8, VSS, S2 );
  N12: NMOS port map ( T2, VSS, S1 );
end STRUCTURAL;
configuration CFG_C2MOS_STRUCTURAL of C2MOS is
  for STRUCTURAL
    for all: PMOS use CONFIGURATION IEEE.CFG_PXFERGATE_A; end for;
    for all: NMOS use CONFIGURATION IEEE.CFG_NXFERGATE_A; end for;
  end for;
end CFG_C2MOS_STRUCTURAL;
```

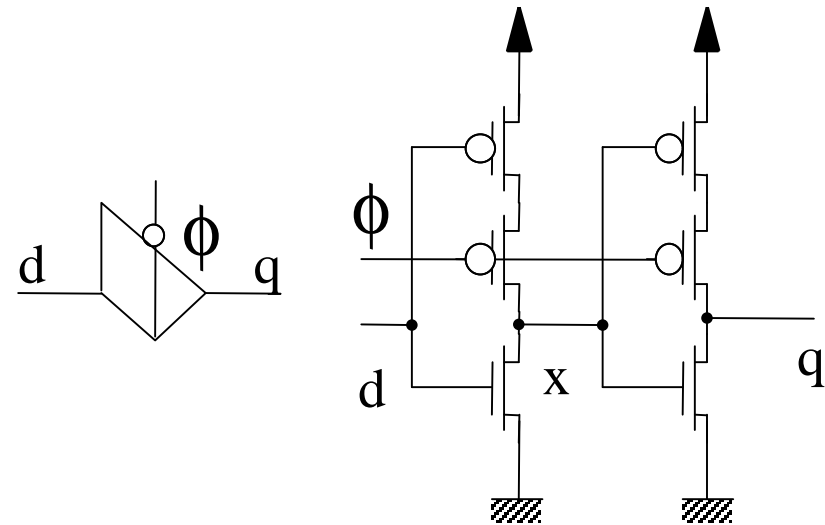
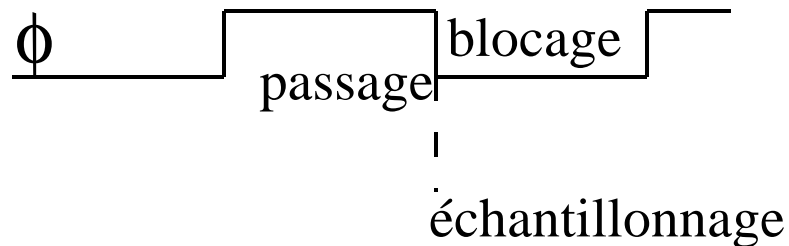


Barrière monophasée (TSPC)



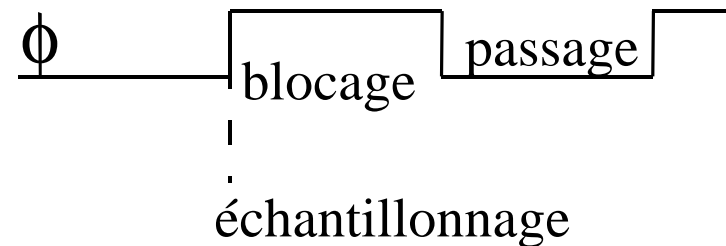
$\phi = 0$ et $d = 0 \Rightarrow x = 1$ et q isolé

$\phi = 0$ et $d = 1 \Rightarrow x$ isolé et $q = \bar{x}$

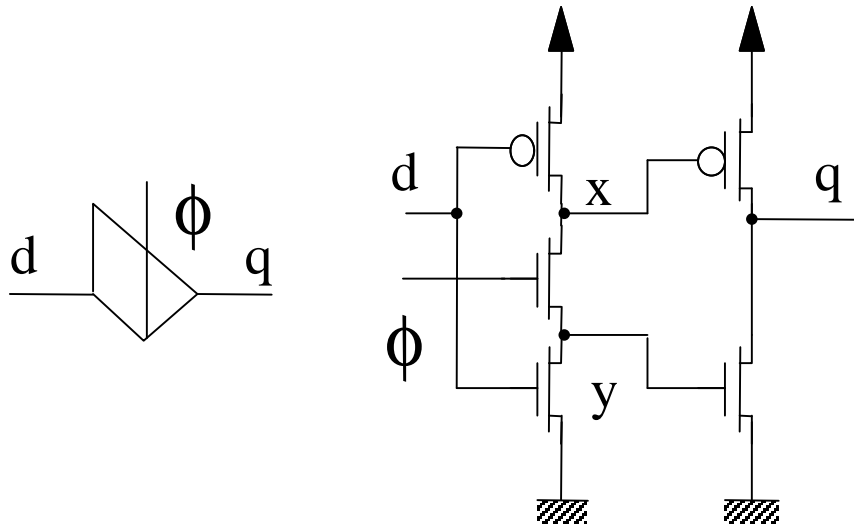


$\phi = 1$ et $d = 0 \Rightarrow x$ isolé et $q = \bar{x}$

$\phi = 1$ et $d = 1 \Rightarrow x = 0$ et q isolé



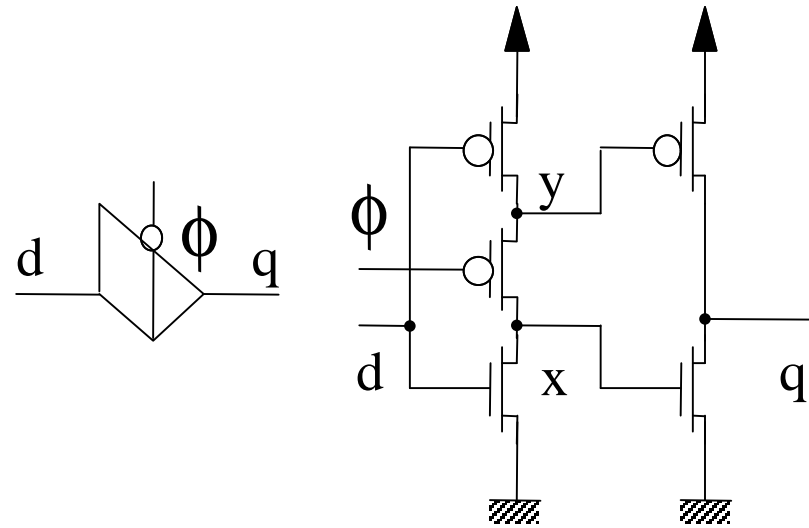
Barrière monophasée (variante à 5 t.)



$\Phi = 0$ et $d = 0 \Rightarrow x = 1$ et y isolé

$\Phi = 0$ et $d = 1 \Rightarrow x$ isolé et $y = 0$

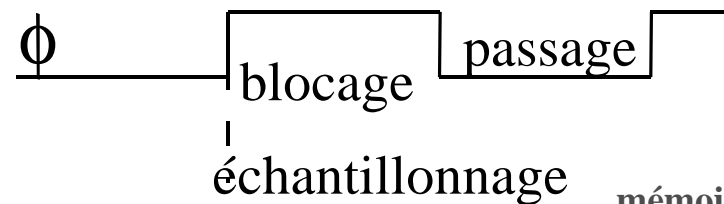
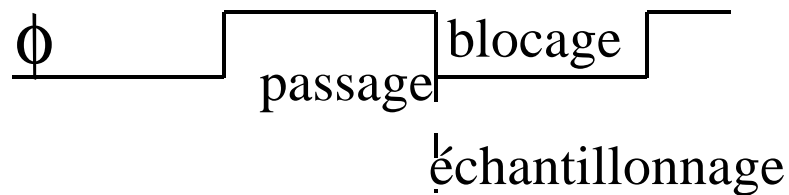
$\Phi = 0$ et d change $\Rightarrow q$ isolé



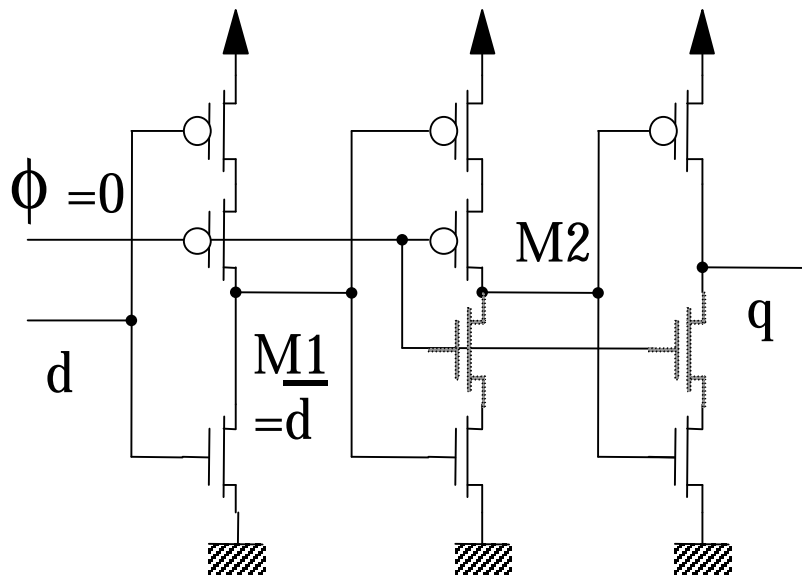
$\Phi = 1$ et $d = 0 \Rightarrow x$ isolé et $y = 1$

$\Phi = 1$ et $d = 1 \Rightarrow x = 0$ et y isolé

$\Phi = 1$ et d change $\Rightarrow q$ isolé

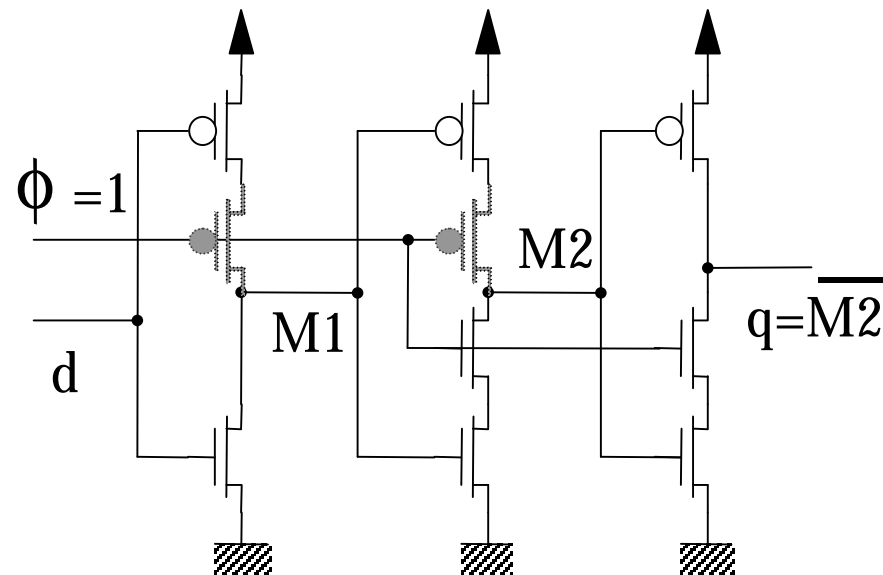


Maître-esclave monophasée



$M1=1 \Rightarrow M2$ mémorise
 $M1=0 \Rightarrow M2=1$, q mémorise

Figure 1



$d=0 \Rightarrow M1$ mémorise
 $d=1 \Rightarrow M1=0$, $M2$ mémorise

Figure 2

Maître-esclave monophasée (variante)

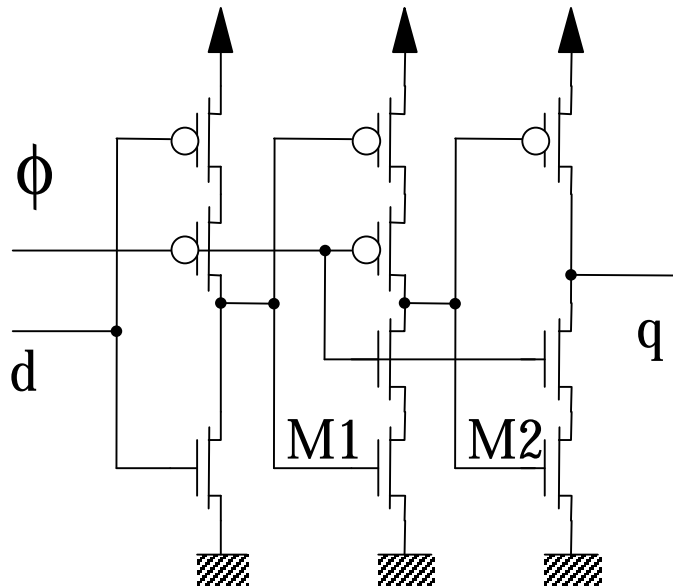


Figure 1

Φ	d	M1	M2	q	
0	0	1			M2 mémorise
0	1	0	1		q mémorise
1	0				M1 mémorise
1	1	0			M2 mémorise

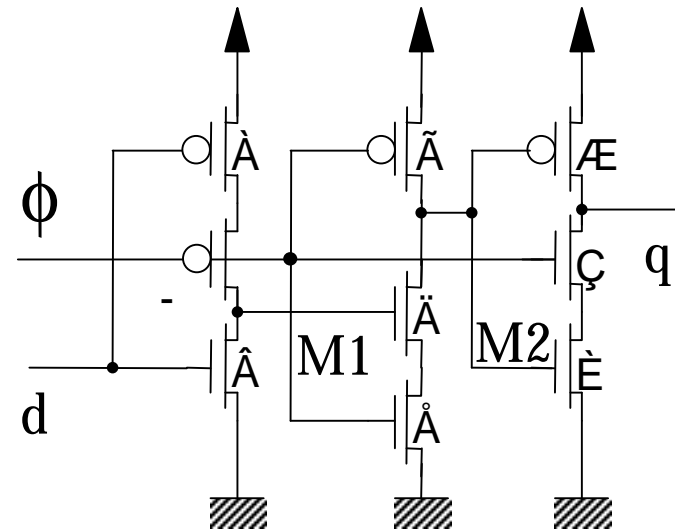
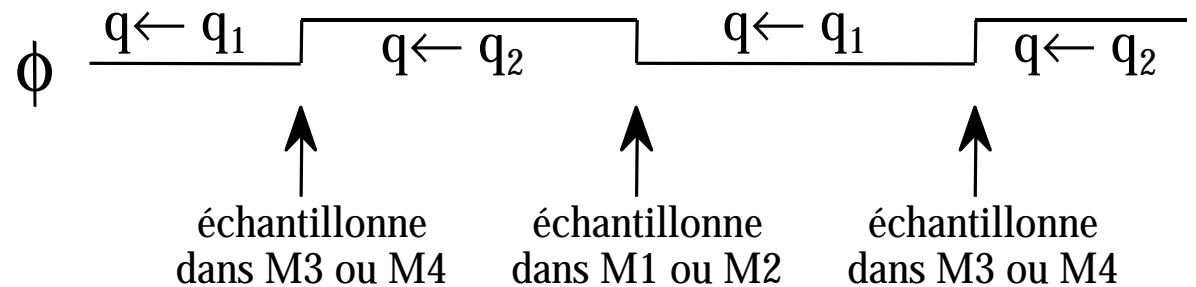
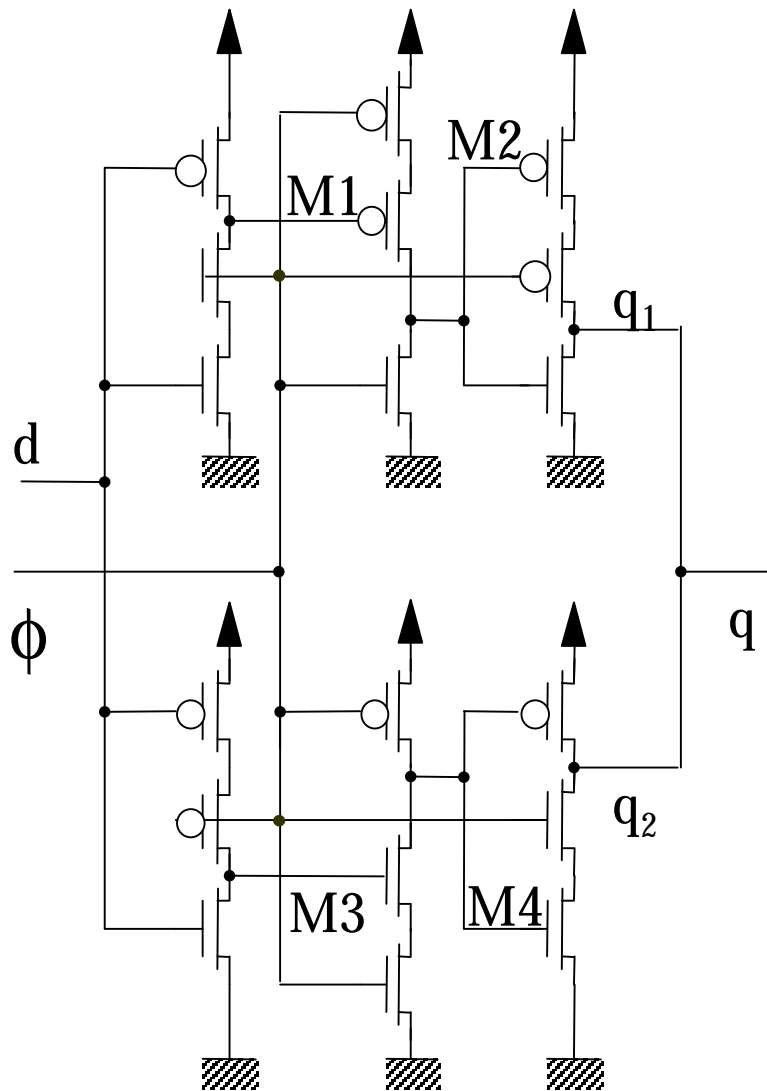


Figure 2

Φ	d	M1	M2	q	
0	0	1	1		q mémorise
0	1	0	1		q mémorise
1	0				M1 mémorise
1	1	0			M2 mémorise

Maître-esclave double front

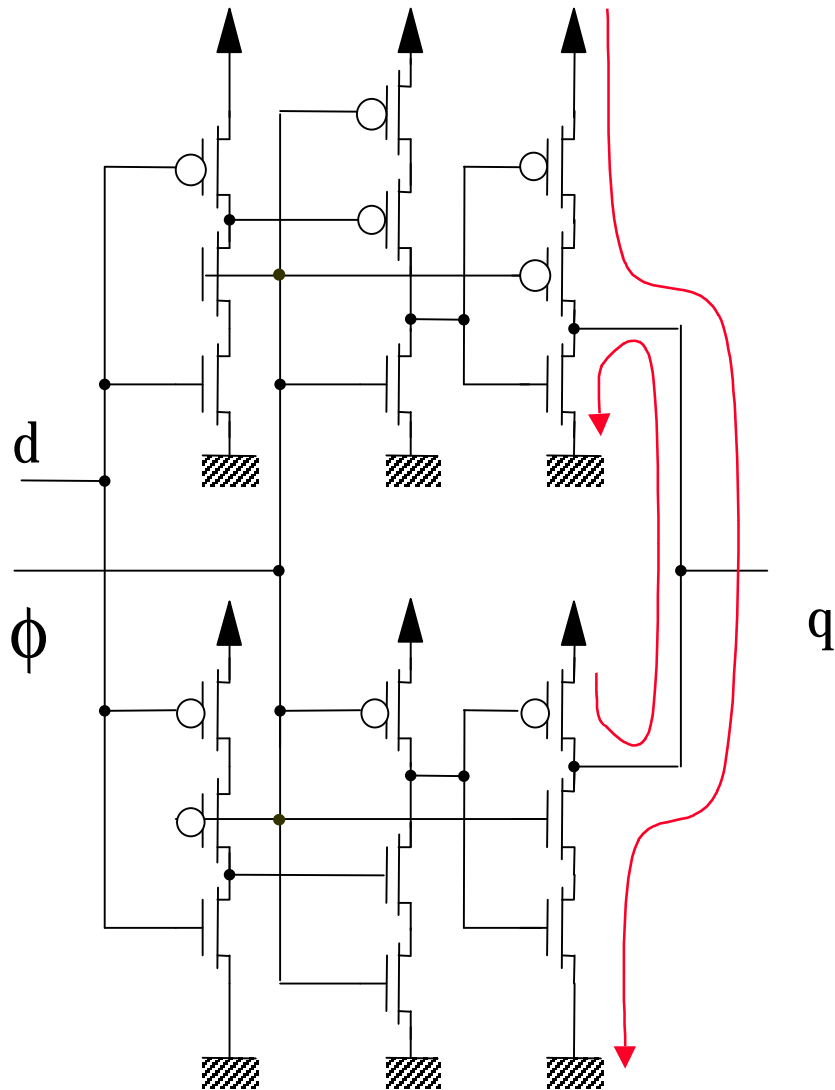
(DETDFD Double Edge-Triggered D-FlipFlop)



ϕ	d	M1	M2	M3	M4	q	
0	0			1	1	q_2	M1 mémorise
0	1	0		0	1	q_2	M2 mémorise
1	0	1	1			q_1	M3 mémorise
1	1	0	1	0		q_1	M4 mémorise

Maître-esclave double front

(multiplexage de la sortie q)



Il n'y a pas de court-circuit de la sortie q

Porte logique statique avec barrière monophasée (TSPC)

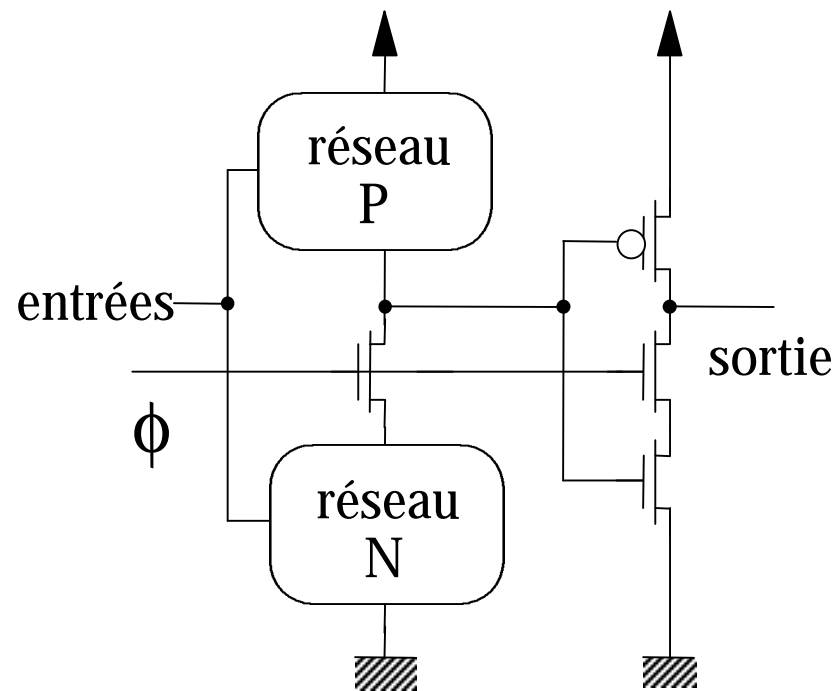


Figure 1

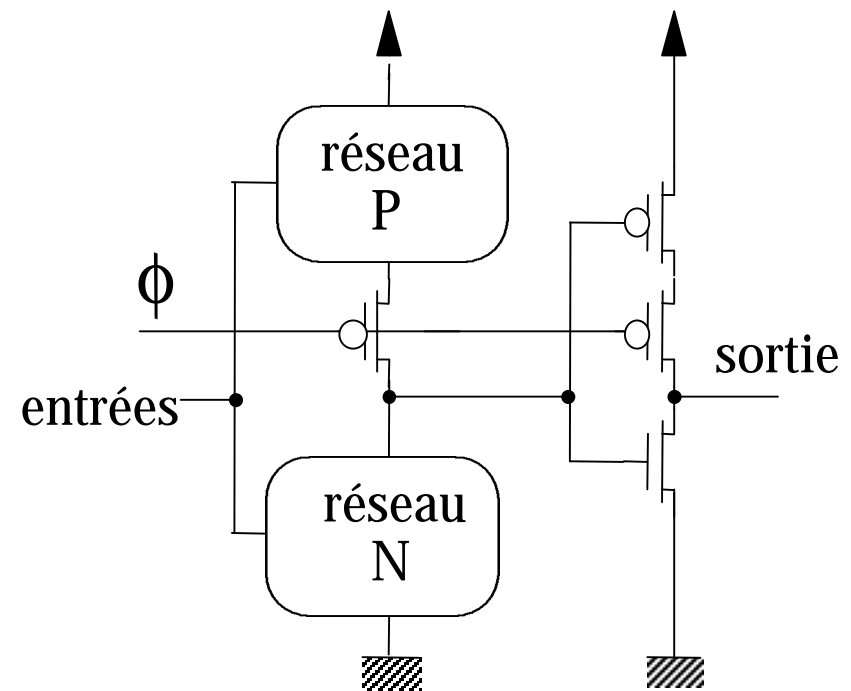


Figure 2

Porte logique dynamique avec barrière monophasée (TSPC)

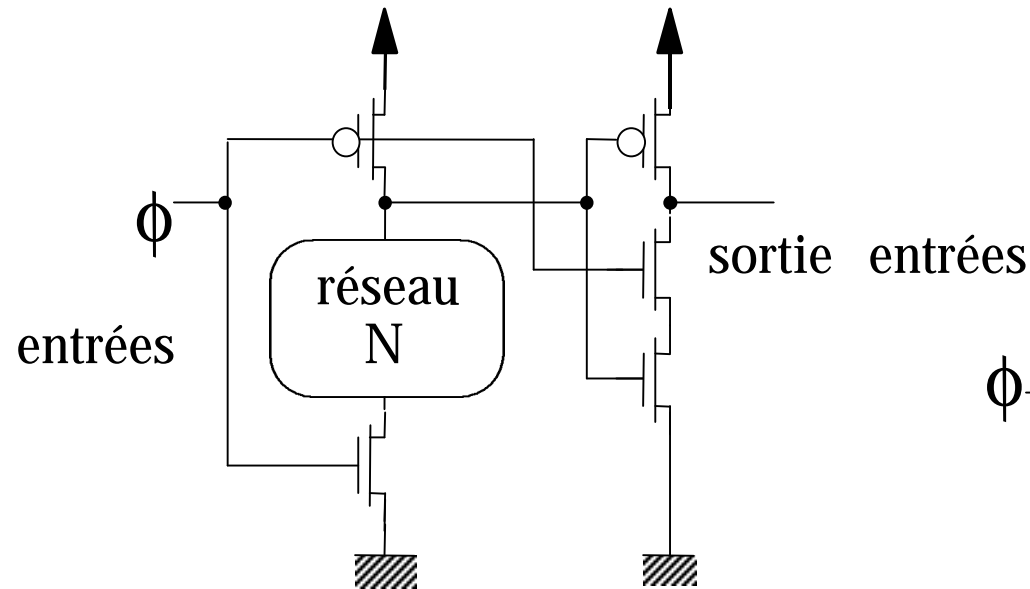


Figure 1

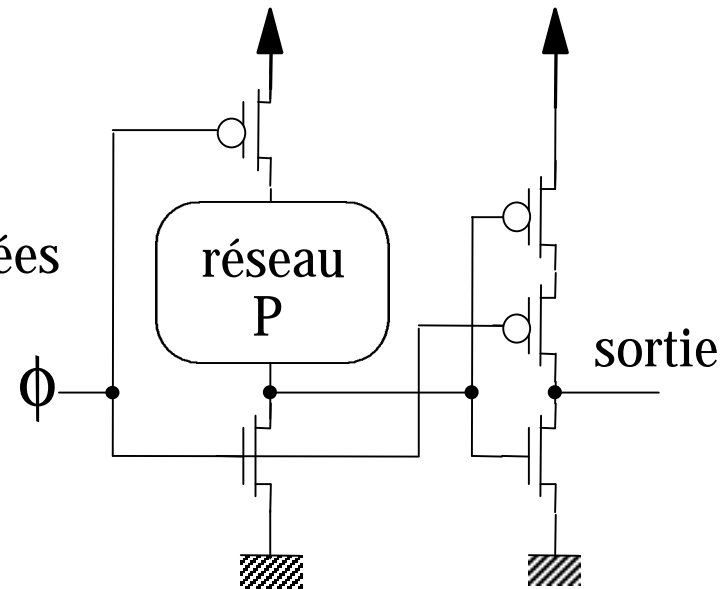
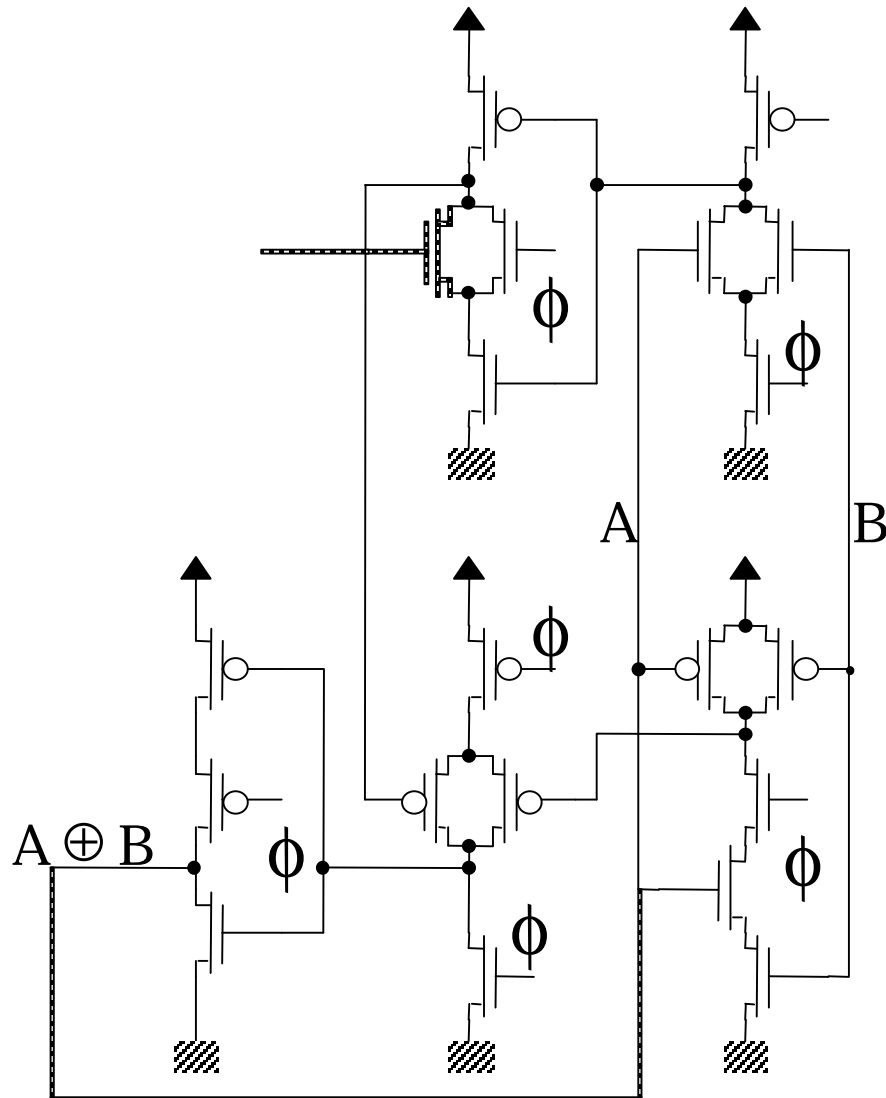
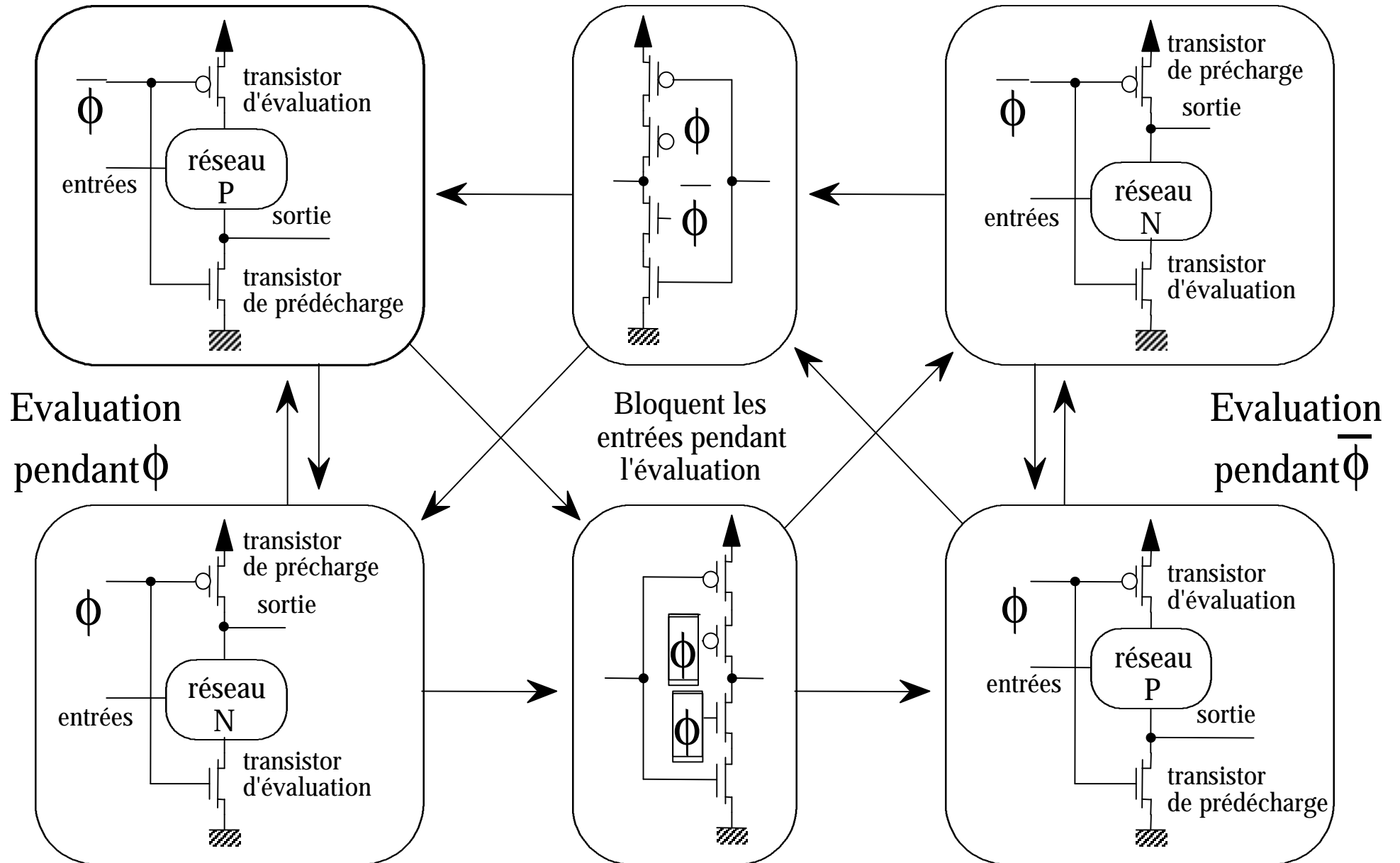


Figure 2

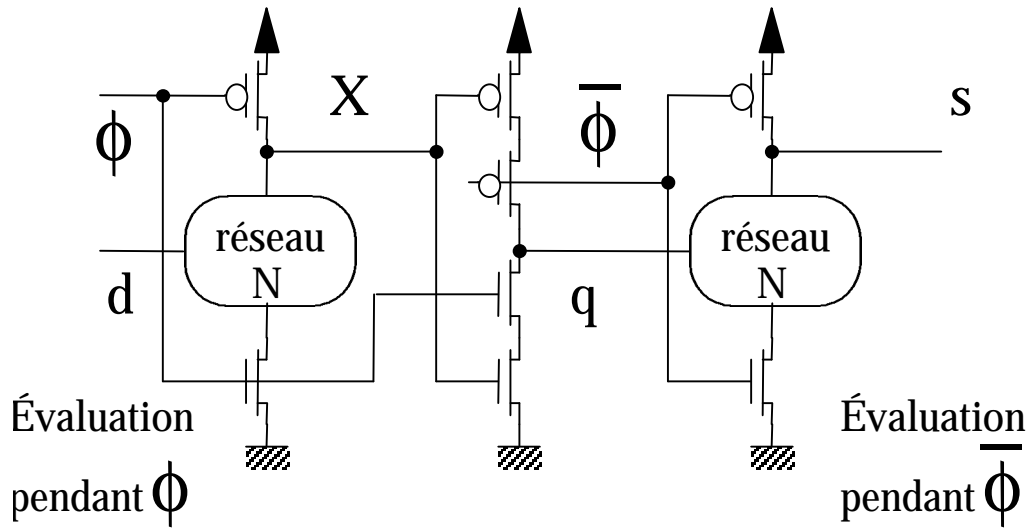
Disjonction et maître-esclave TSPC



"Pipe-Line" de logique dynamique (NORA)



"Pipe-Line" de logique dynamique (NORA)



q peut être entrée d'un réseau N

Pendant le recouvrement d'horloge $\phi = \bar{\phi} = 1$, x et s sont ensemble en phase d'évaluation.

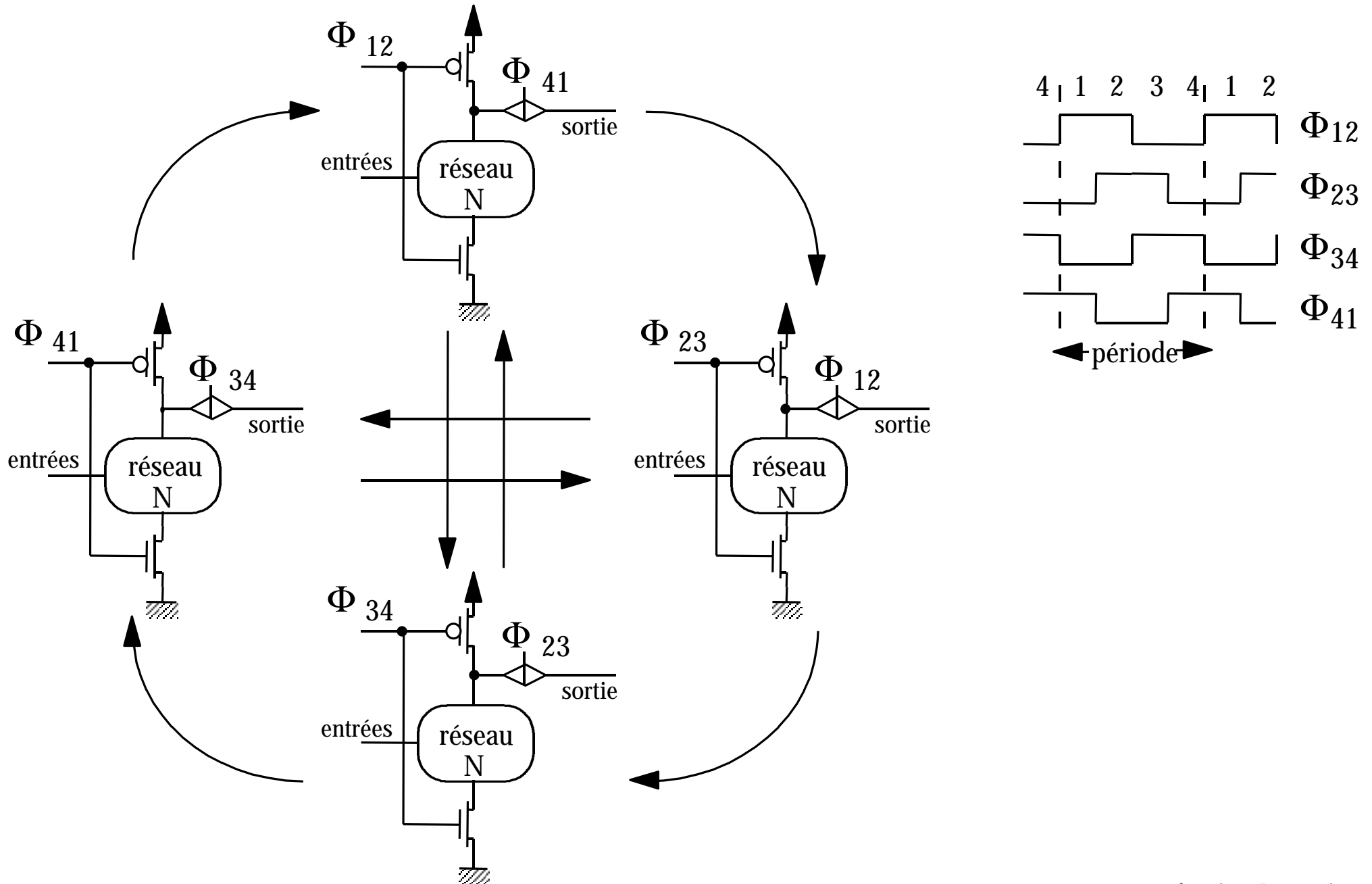
L'état précédente était

soit $\phi = 0$, $\bar{\phi} = 1$ et s est déjà évalué

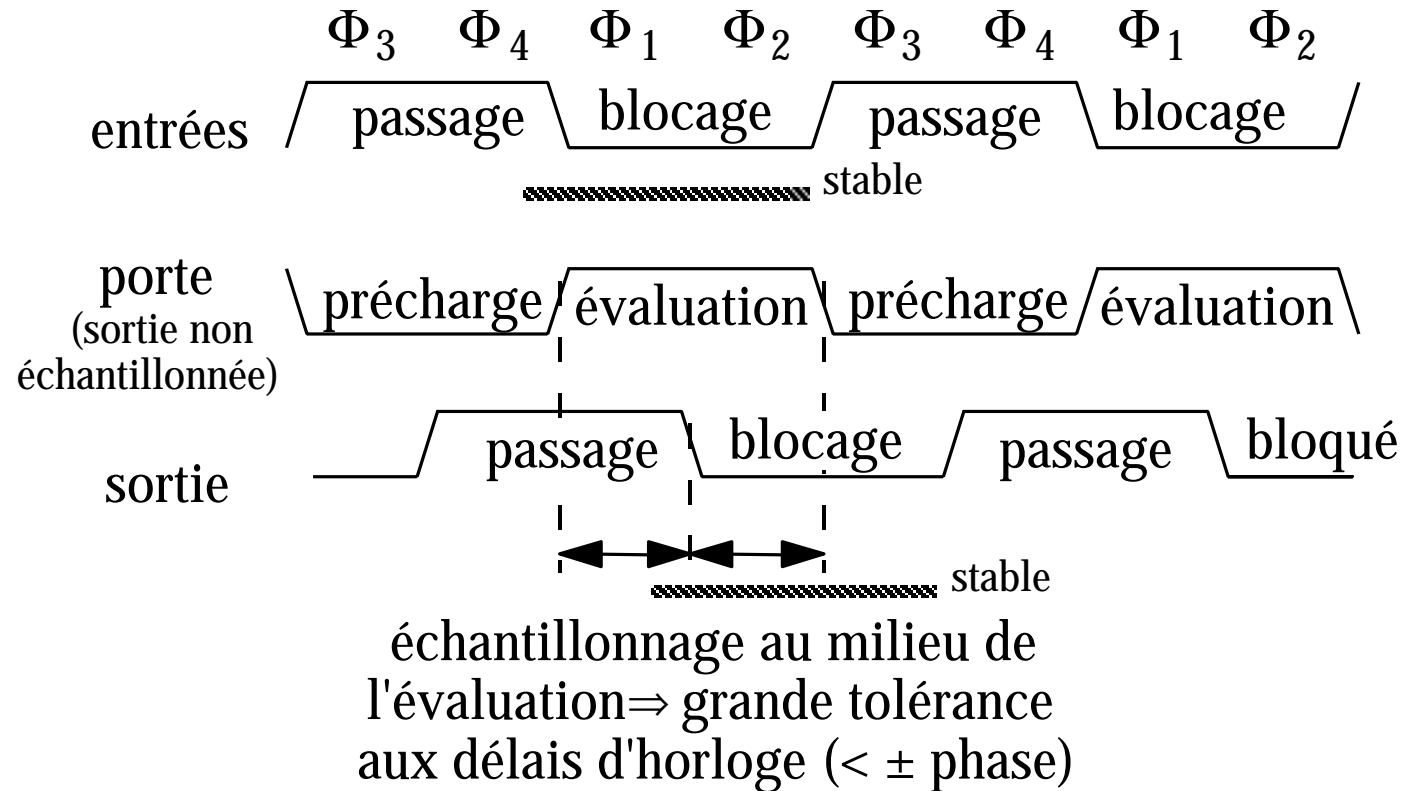
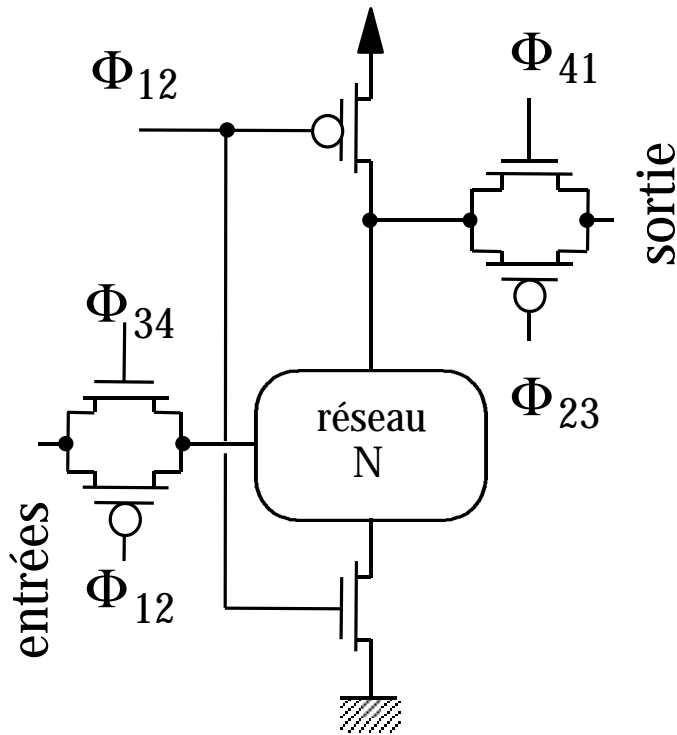
soit $\phi = 1$, $\bar{\phi} = 0$ et s est déjà évalué

ϕ	$\bar{\phi}$	
0	1	Précharge $\Rightarrow x = 1 \Rightarrow q$ isolé , évaluation de s
0	0	Précharge $\Rightarrow x = 1$, précharge $\Rightarrow s = 1$
1	0	Évaluation de x , précharge $\Rightarrow s = 1$
1	1	Évaluation: de x , évaluation de s $\Rightarrow q$ ne doit pas passer de 1 à 0 q passe de 1 à 0 $\Rightarrow x$ passe de 0 à 1 $\Rightarrow \phi = 0$ ce qui est impossible

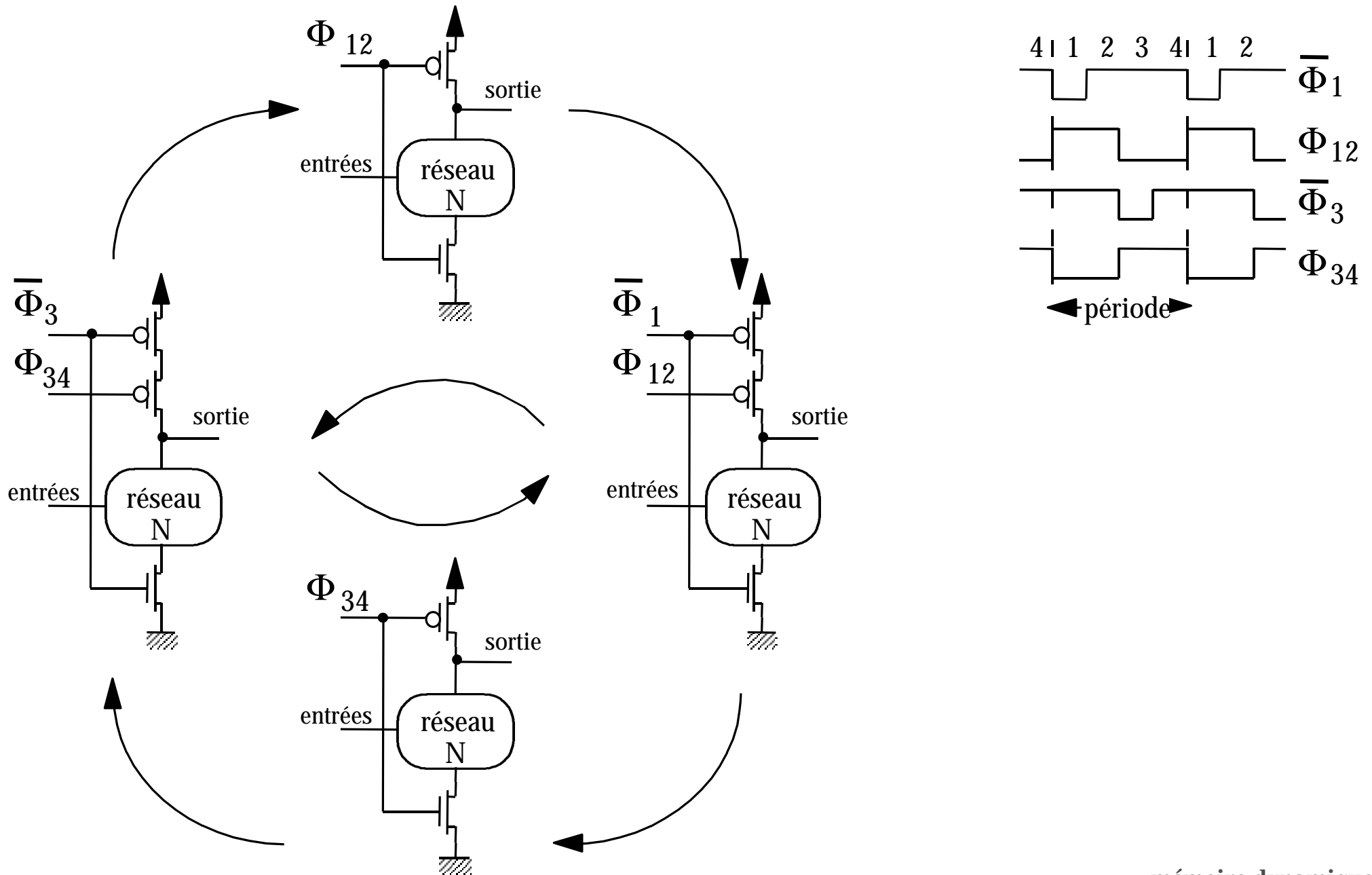
"Pipe-Line" de logique dynamique 4 phases



"Pipe-Line" de logique dynamique 4 phases



"Pipe-Line" de logique dynamique 4 phases



Conclusion sur les mémoires dynamiques

Schéma	Horloge	Avantage	Inconvénient
C MOS	Φ_1 et Φ_2	Insensible à la qualité de l'horloge	non recouvrement
TSPC	une phase	Une seule phase	sensible à la qualité
DETDFE	une phase	Fréquence moitié	sensible à la qualité
pipe NORA	Φ et $\overline{\Phi}$	Insensible à la qualité de l'horloge	sensible au bruit
pipe 4 Phases	4 phases	Insensible à la qualité de l'horloge	sensible au bruit
Propagation			

