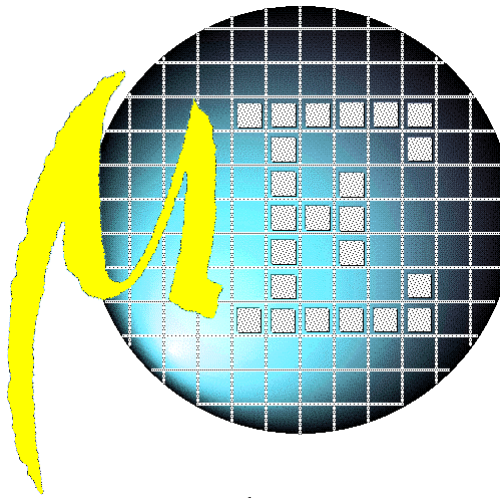


# Éléments de mémorisation statiques



*DEA MICROÉLECTRONIQUE*

Alain GUYOT

TIMA



☎ (33) 04 76 57 46 16

💻 Alain.Guyot@imag.fr

<http://tima-cmp.imag.fr/~guyot>

Techniques de l'Informatique et de la Microélectronique  
pour l'Architecture. Unité associée au C.N.R.S. n° B0706

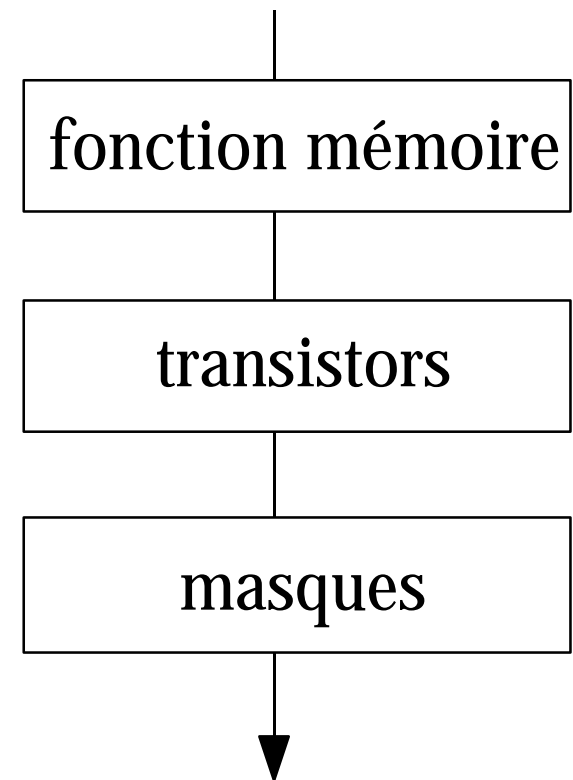
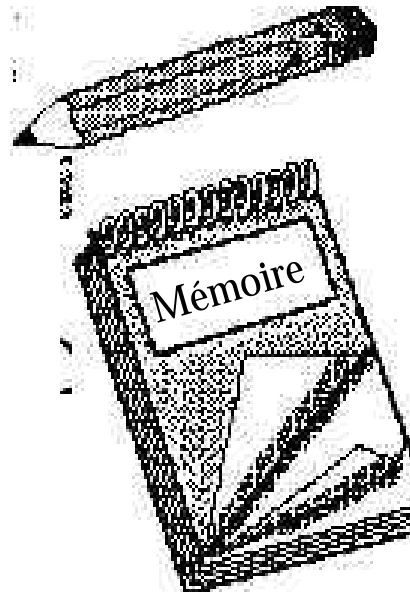
But

Réaliser un circuit qui conserve une valeur logique indéfiniment

Optimiser la surface et/ou la vitesse

Problèmes abordés

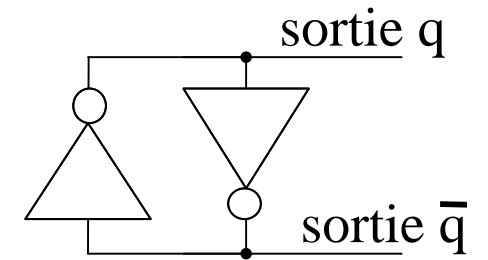
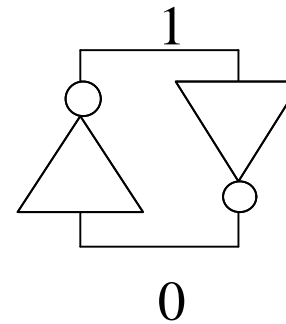
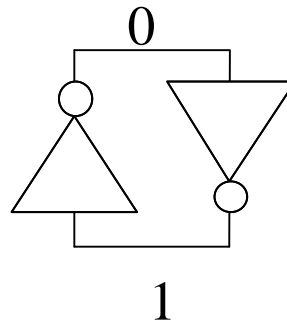
- lecture
- écriture
- rétention/entretien
- temps de 'hold', 'set-up'
- rétrobasculement
- métastabilité
- initialisation



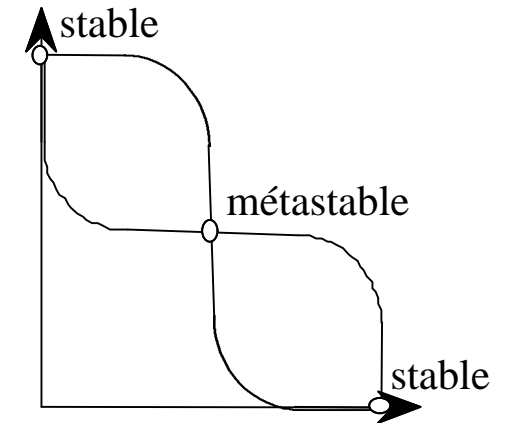
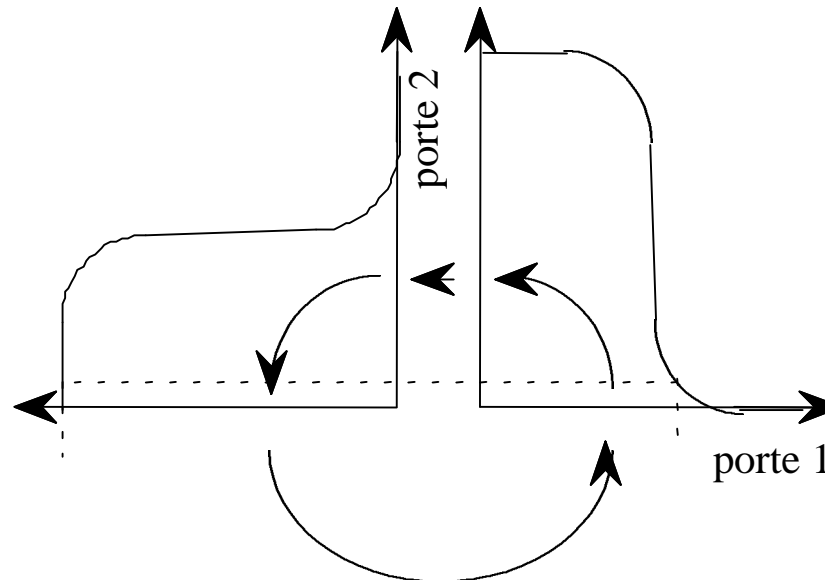
Le temps est rythmé par une horloge  $\Phi$

# Bascule statique

Une bascule statique est formée de 2 portes rebouclées



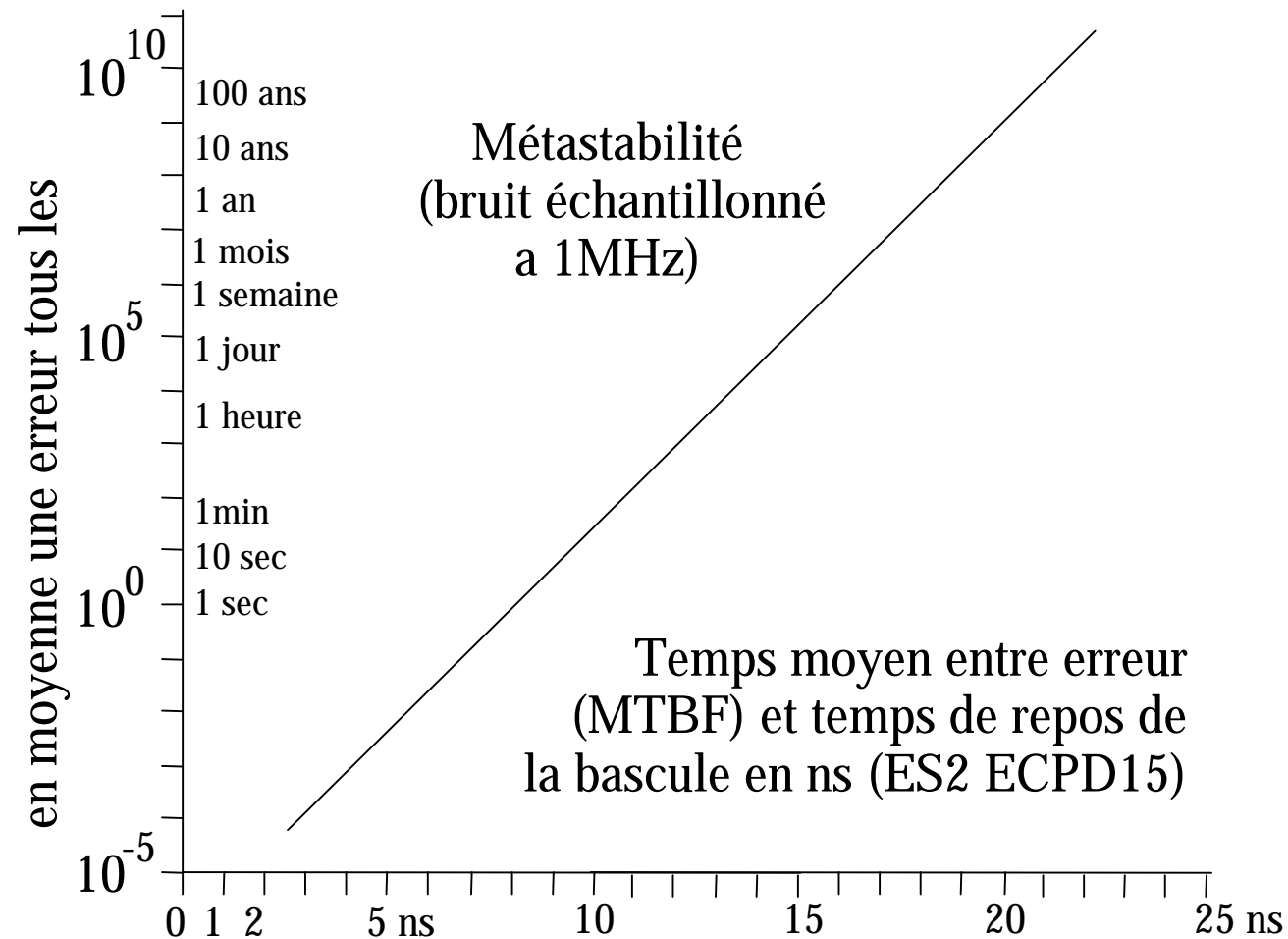
Il y a donc 3 états d'énergie minimum:  
 $V_{ss}$ ,  $V_{dd}$  et  $V_c$



# Métastabilité

Que se passe t'il si on échantillonne des signaux non logiques  $\notin \{0,1\}$  ?

La bascule va converger vers un état logique  $\in \{0,1\}$  en un temps non borné



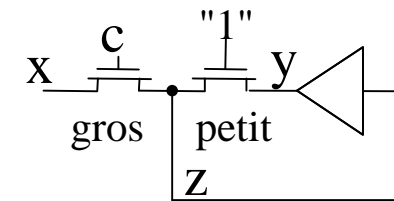
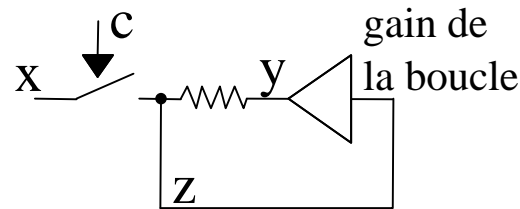
# Méthodes d'écriture d'une bascule

Les méthodes d'écriture dans les bascules sont très diverses

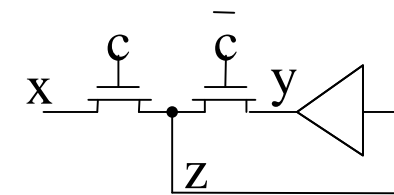
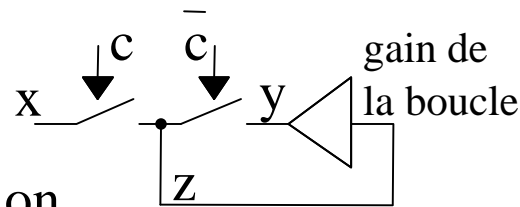
## Principe

## Exemple

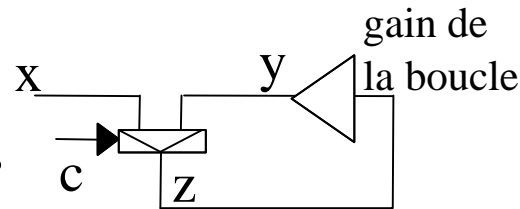
1- Sélecteur à conflit (ratio)



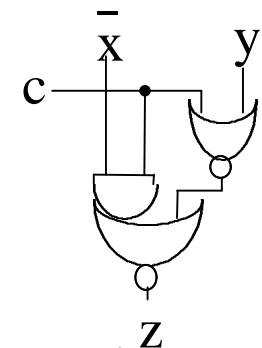
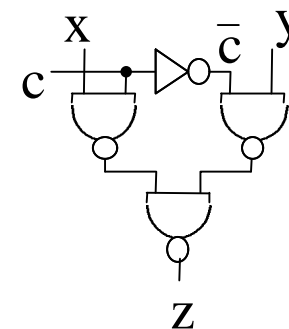
2- Sélecteur sans conflit  
à porte 3-états ou de transmission



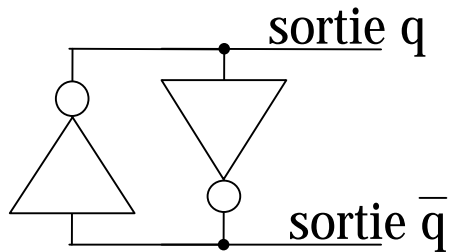
3- Sélecteur en portes logiques



le gain est donné par le sélecteur

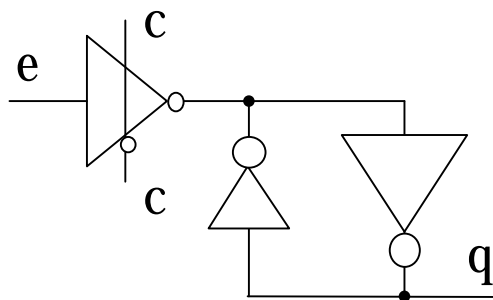


# Écriture à conflit

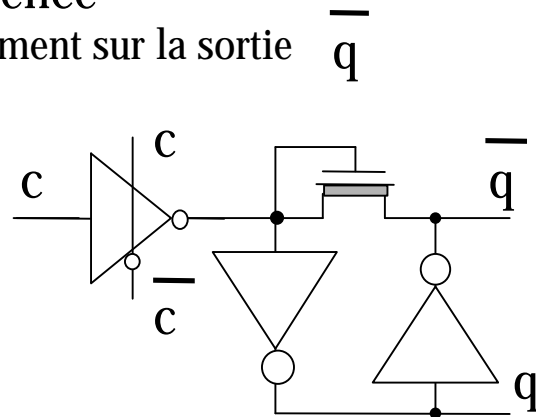


Une bascule résiste aux perturbations (bruits) de ses sorties.

Pour écrire on peut affaiblir la  
boucle en permanence  
risque de rétrobasculement sur la sortie  $\bar{q}$

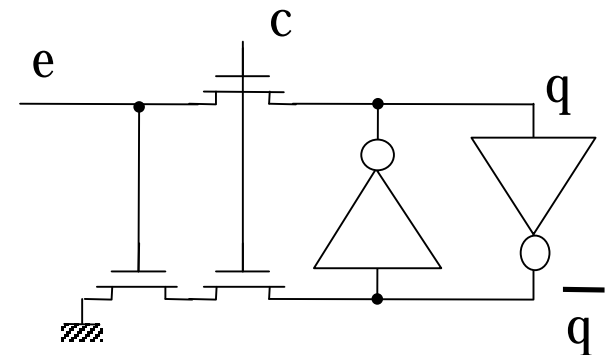


porte à  
transistors  
avec W/L faible

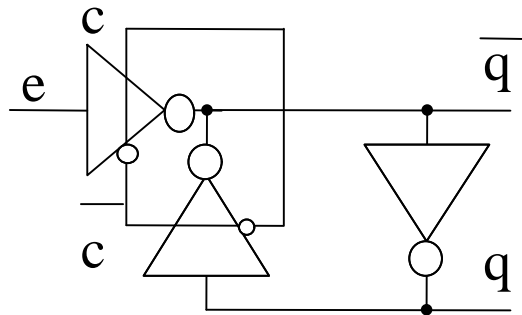


Transistor  
déplété dans  
la boucle

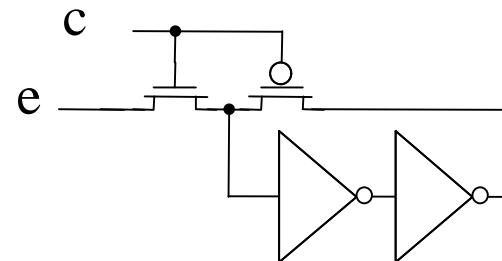
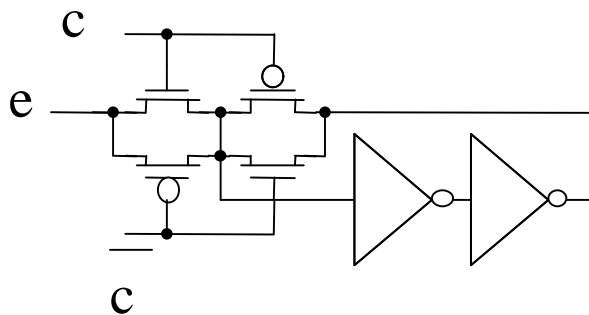
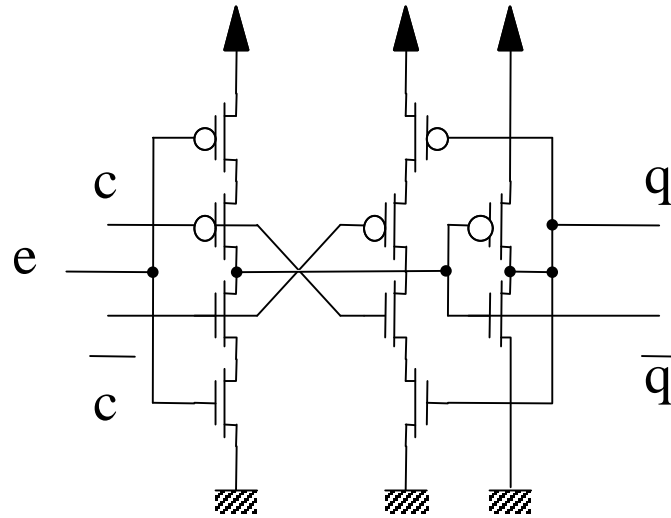
ou bien profiter de la  
faible mobilité des P



# Écriture sans conflit à porte 3-états ou porte de transmission



2 portes 3 états



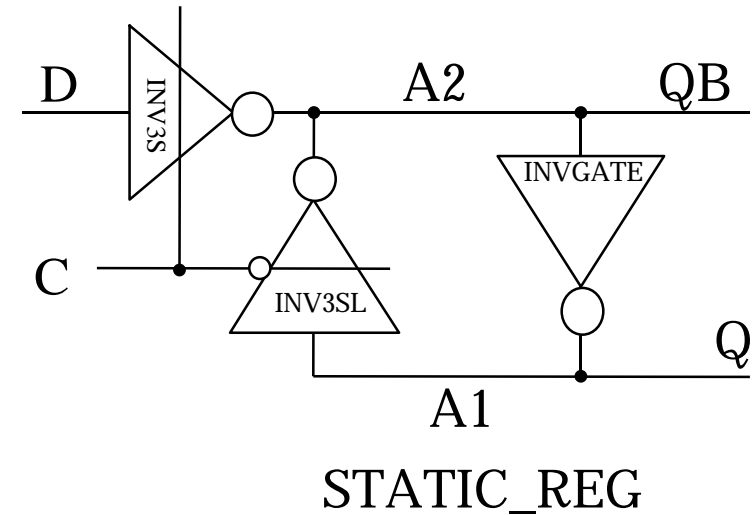
# Description VHDL d'une bascule statique

```
library IEEE; use IEEE.std_logic_1164.all,
               IEEE.std_logic_components.all;

entity STATIC_REG is
    Port (      C, D : in    std_logic;
           Q, QB : out   std_logic );
end STATIC_REG;

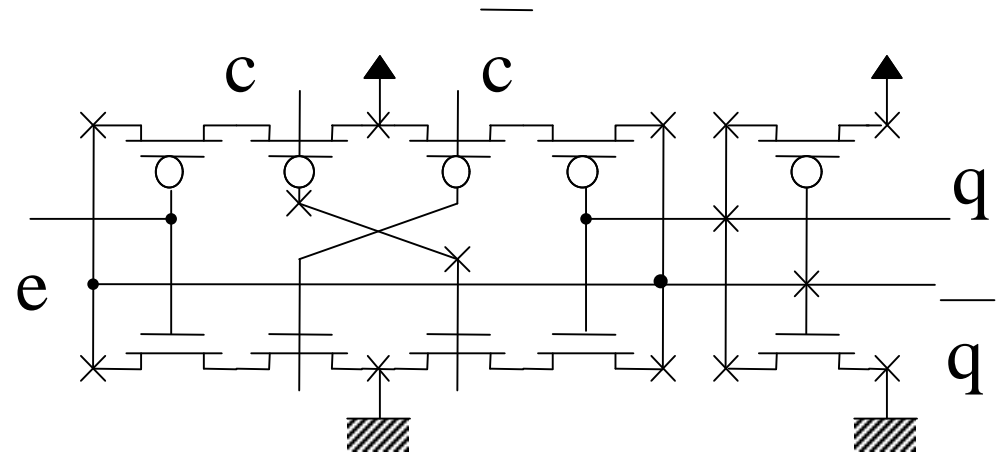
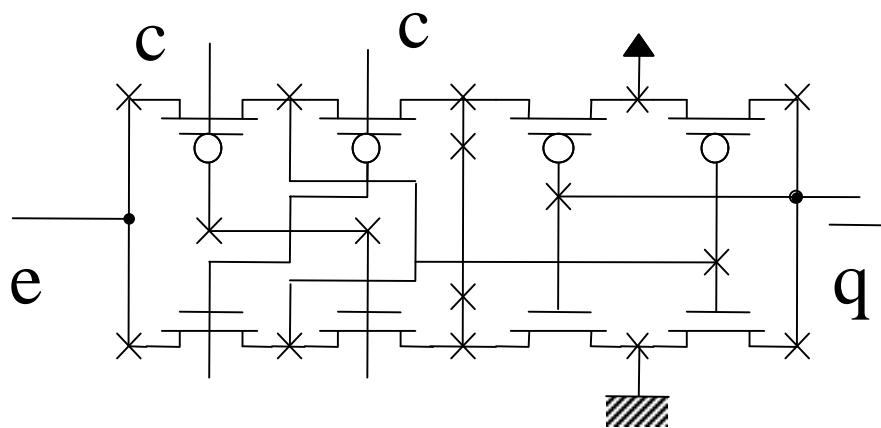
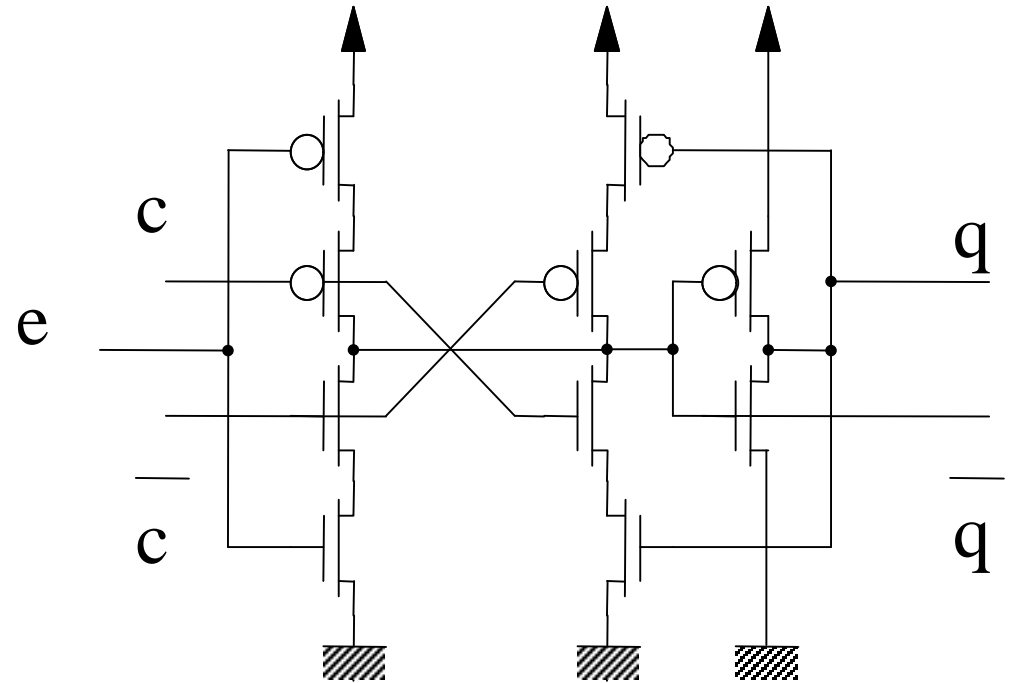
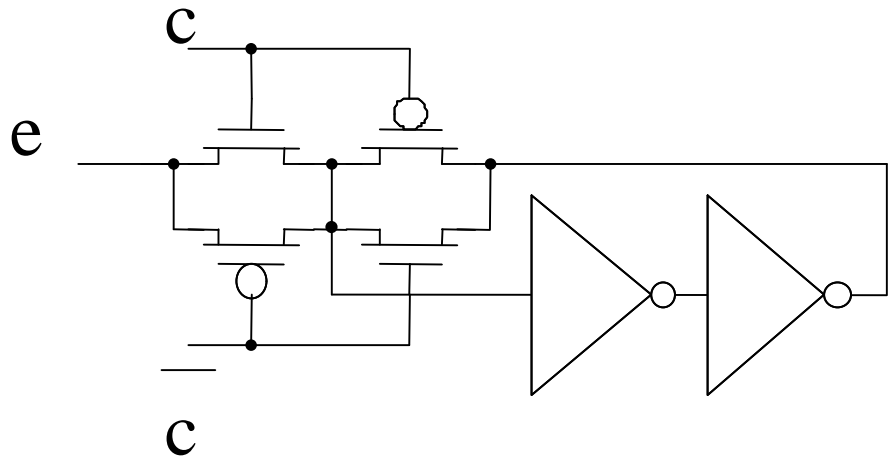
architecture STRUCTURAL of STATIC_REG is
    signal      A1, A2 : std_logic;
begin
    Q <= A1; QB <= A2;
    I_1 : INV3SL port map ( ENABLE=>C, INPUT=>A1, OUTPUT=>A2 );
    I_2 : INV3S  port map ( ENABLE=>C, INPUT=>D,  OUTPUT=>A2 );
    I_3 : INVGATE port map ( INPUT=>A2, OUTPUT=>A1 );
end STRUCTURAL;

configuration CFG_STATIC_REG_STRUCTURAL of STATIC_REG is
    for STRUCTURAL
        for I_1: INV3SL use configuration IEEE.CFG_INV3SL_BI; end for;
        for I_2: INV3S  use configuration IEEE.CFG_INV3S_BI;  end for;
        for I_3: INVGATE use configuration IEEE.CFG_INVGATE_BI;end for;
    end for;
end CFG_STATIC_REG_STRUCTURAL;
```

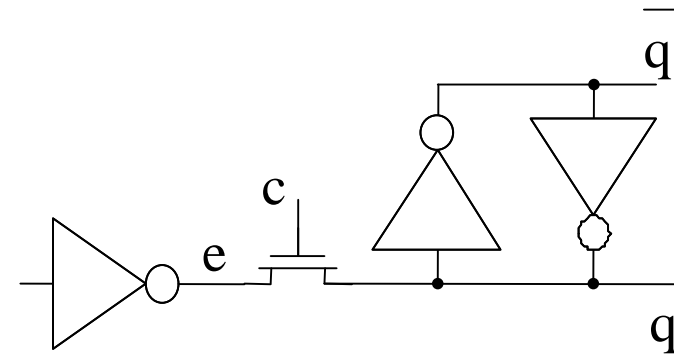
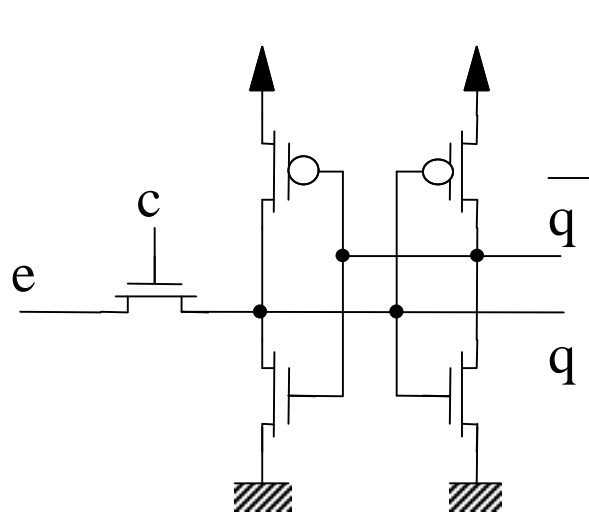




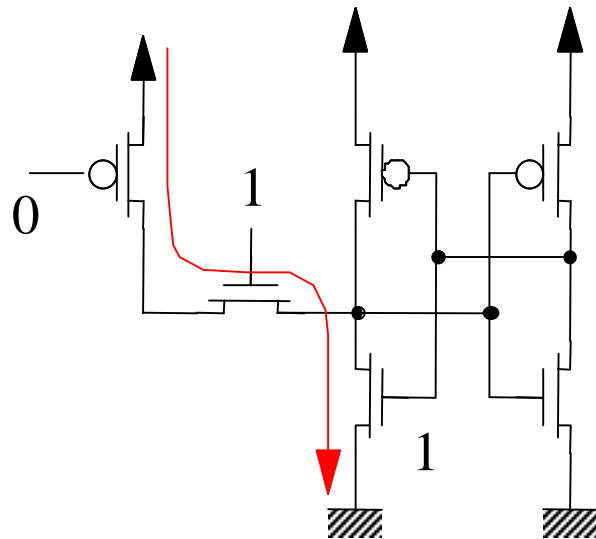
# Dessin en bande de bascule



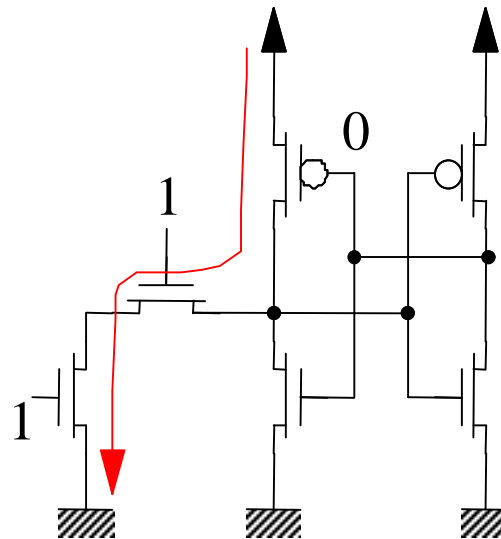
# Dimensionnement de bascule statique à conflit



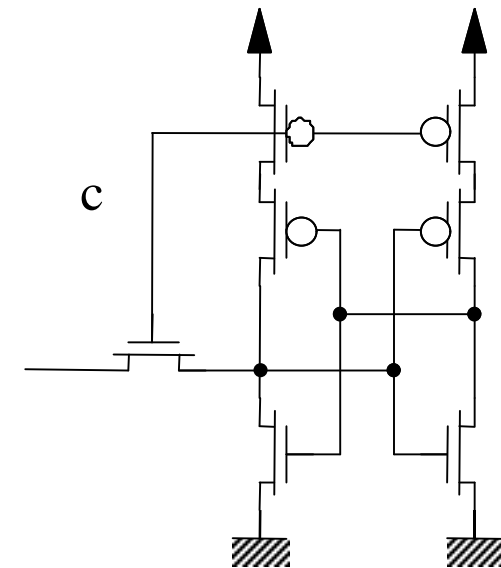
conflit si  $q = 1$  et  $e \neq q$



écriture d'un 1  
état précédent 0

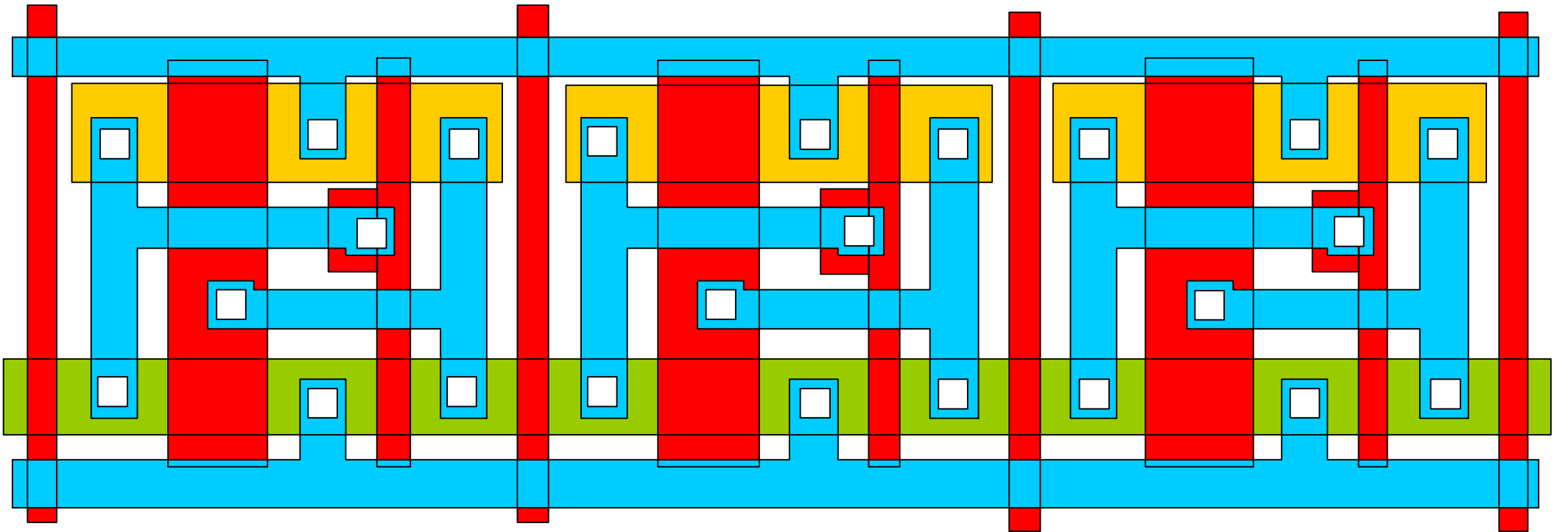
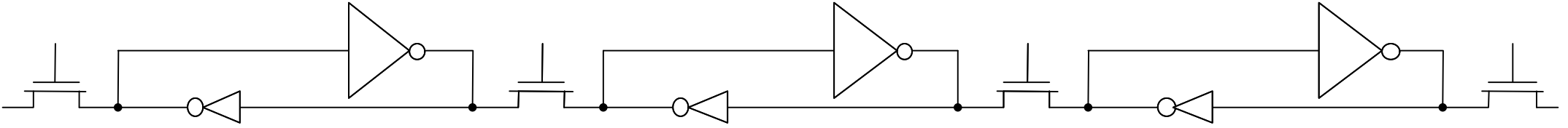






écriture d'un 0  
état précédent 1



circuit sans conflit  
à 7 transistors

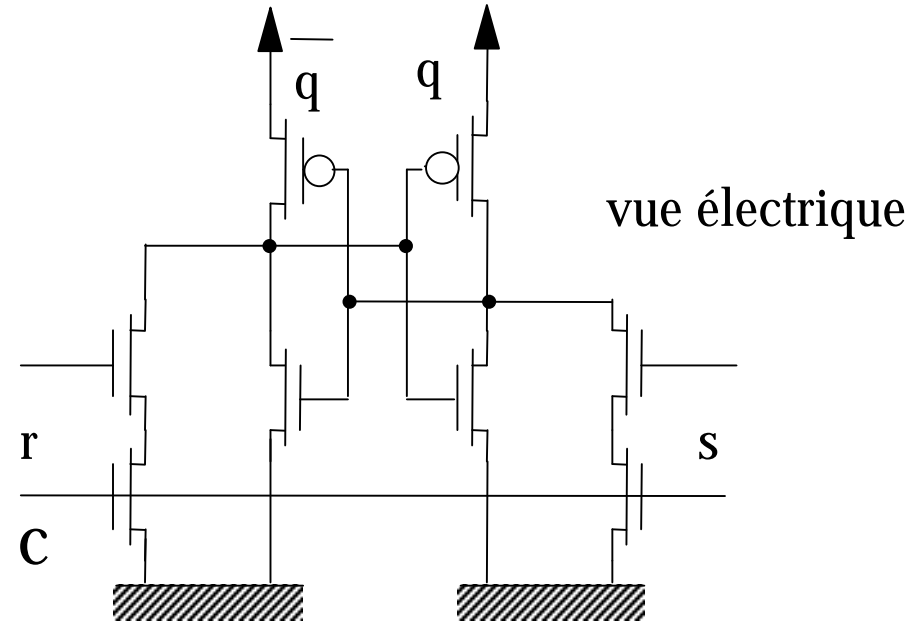
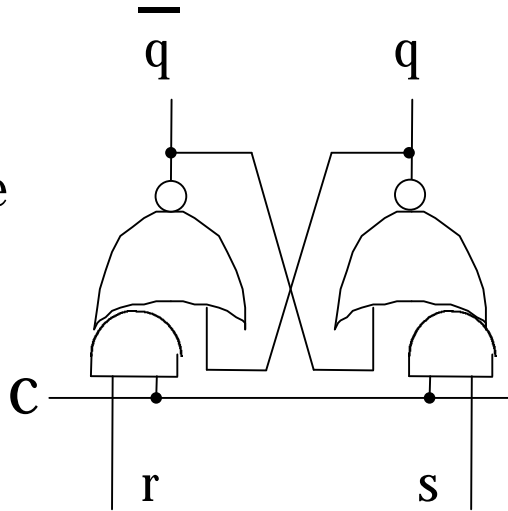
# Dessin d'un registre à décalage



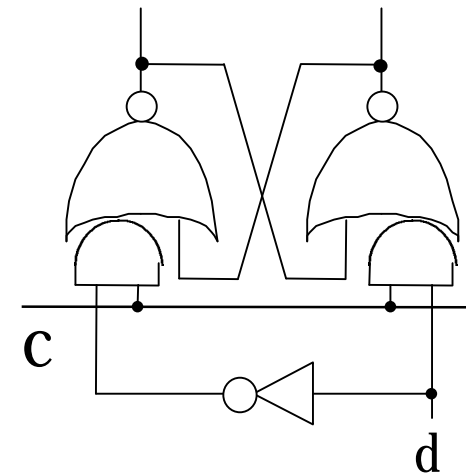
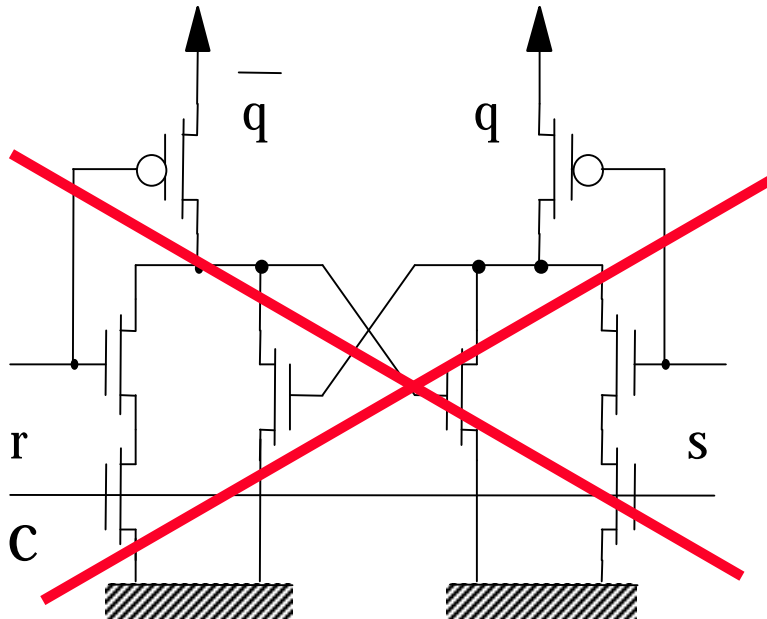
métal  poly  diffusion  

# Bascule à portes logiques

vue logique

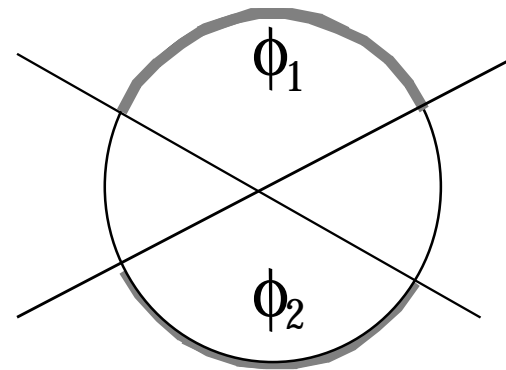
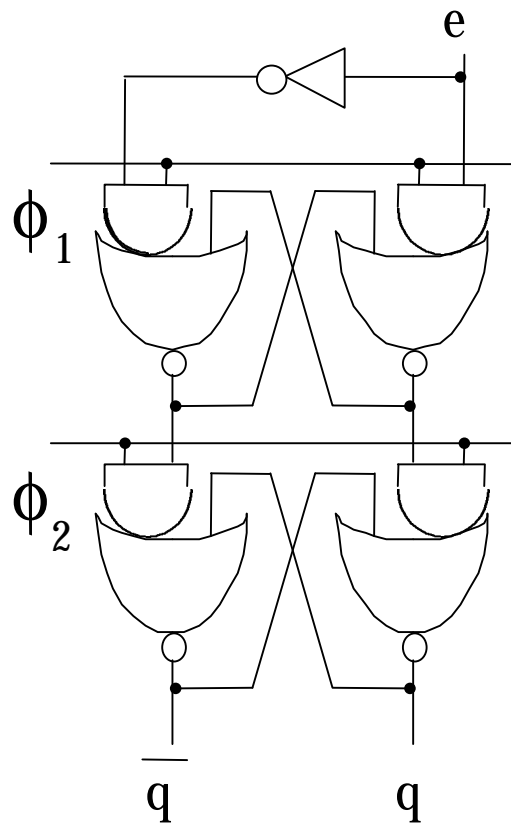


vue électrique



bascule D  
avec une RS

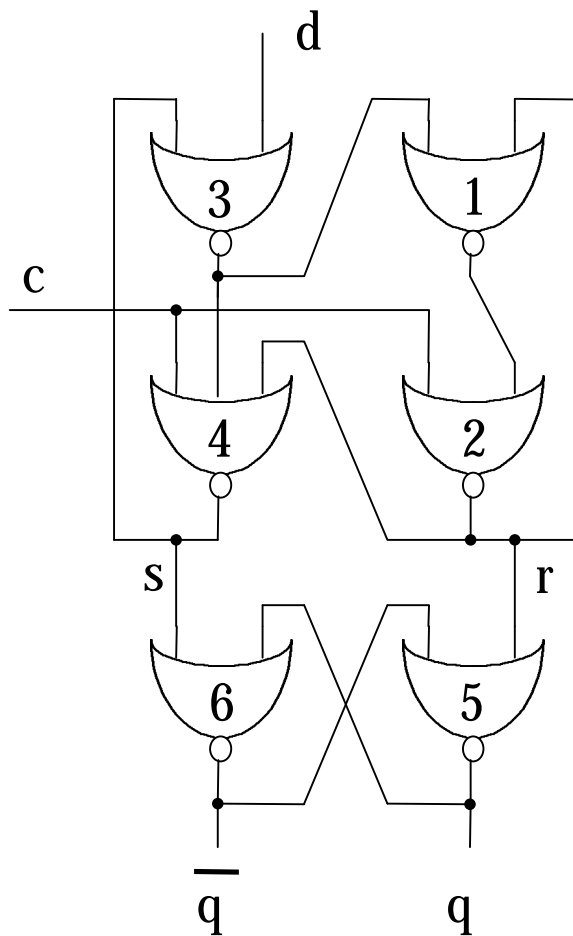
# Bascule RS Maître-esclave



$$\phi_1 \wedge \phi_2 = 0$$

Les phases  $\phi_1$  et  $\phi_2$  ne se recouvrent pas

# Bascule D maître-esclave à 1 phase



Cette bascule D comporte 3 bascules RS : (1,2), (3,4) et (5,6).

La sortie  $q$  ne dépend pas de l'entrée  $d$ , mais de  $d$  au cycle de  $c$  précédent

si  $c = 1$  alors  $r = s = 0$  et (5,6) ne change pas.

si  $d = 1$  alors (3,4) est instable

si  $d = 0$  alors (1,2) est instable.

Lorsque  $C \downarrow 0$  soit (3,4) soit (1,2) se stabilise et l'autre reste stable  
 $r$  ou  $s$  passe à 1 et l'autre reste à 0 ce qui entraîne éventuellement (5,6).

Cependant ni  $r$  ni  $s$  ne dépend de  $d$  car

si  $s = 1$  alors 3 est bloqué

si  $r = 1$  alors 4 et 1 sont bloqués.

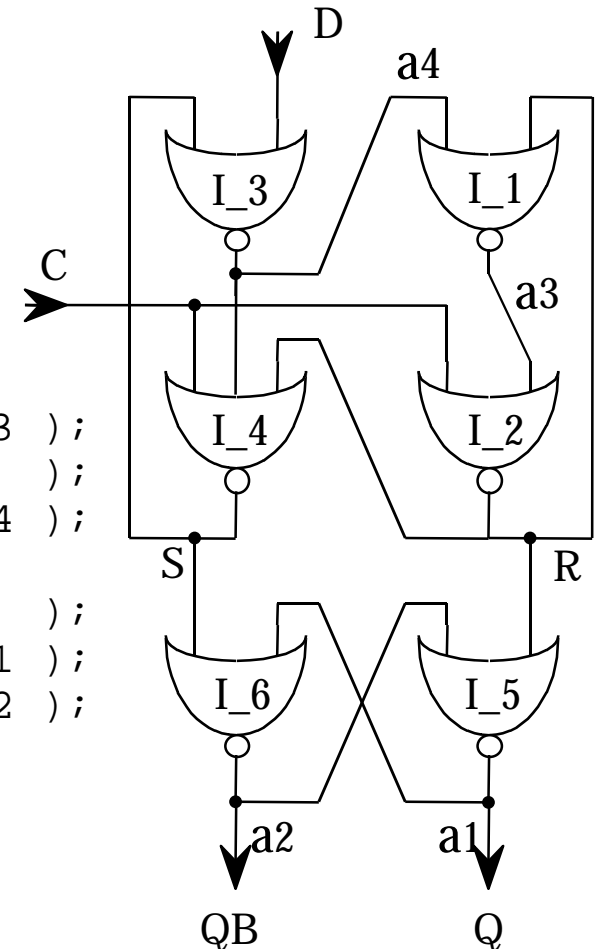
# Description VHDL d'une bascule maître-esclave

```
library IEEE; use IEEE.std_logic_1164.all, IEEE.std_logic_components.all;
```

```
entity MASTER_SLAVE is  
    port ( C, D : in std_logic; Q, QB : out std_logic );  
end MASTER_SLAVE;
```

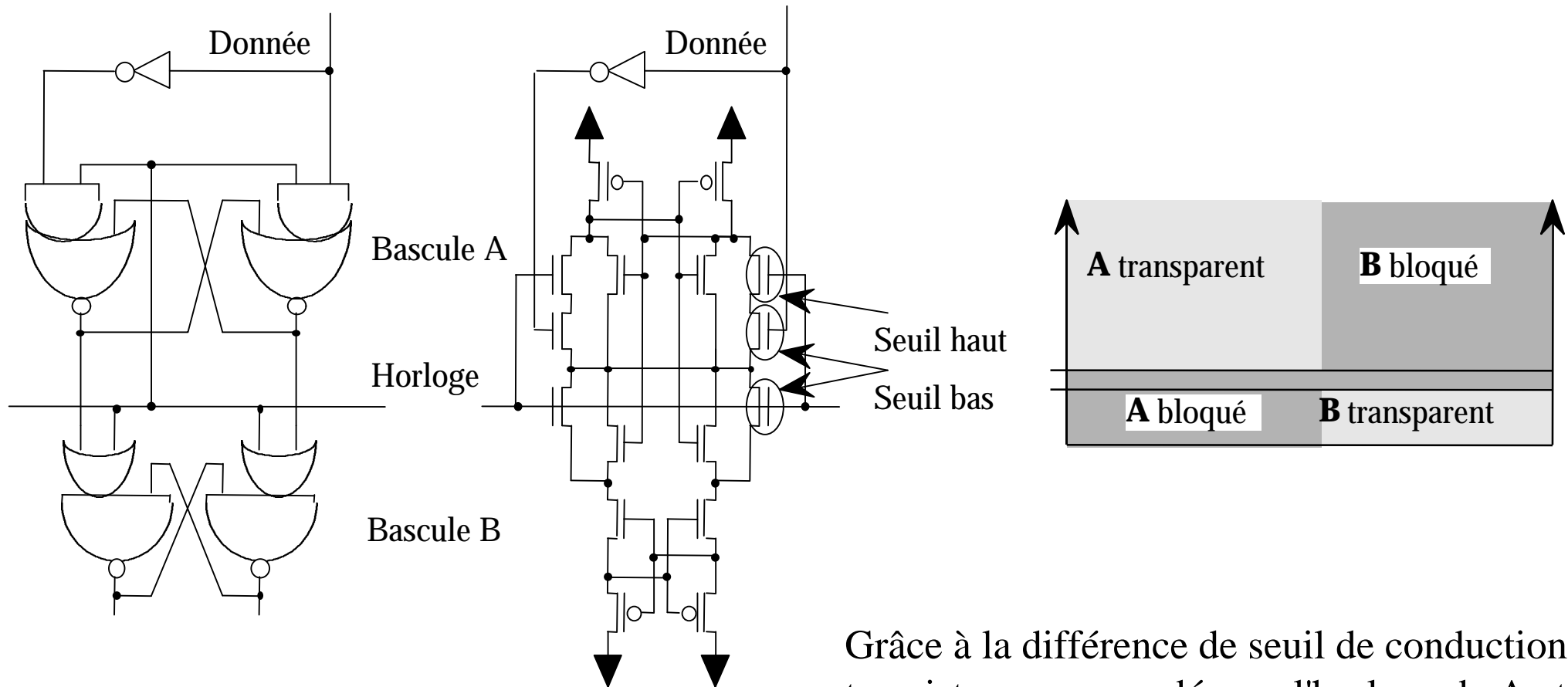
```
architecture STRUCTURAL of MASTER_SLAVE is  
    signal R, S, a1, a2, a3, a4 : std_logic;  
begin  
    Q <= a1; QB <= a2;  
    I_1: NORGATE port map ( INPUT(1)=>a4,INPUT(2)=>R, OUTPUT=>a3 );  
    I_2: NORGATE port map ( INPUT(1)=>C, INPUT(2)=>a3,OUTPUT=>R );  
    I_3: NORGATE port map ( INPUT(1)=>S, INPUT(2)=>D, OUTPUT=>a4 );  
    I_4: NORGATE generic map ( N => 3) port map  
        ( INPUT(1)=>R, INPUT(2)=>a4,INPUT(3)=>C, OUTPUT=>S );  
    I_5: NORGATE port map ( INPUT(1)=>a2,INPUT(2)=>R, OUTPUT=>a1 );  
    I_6: NORGATE port map ( INPUT(1)=>S, INPUT(2)=>a1,OUTPUT=>a2 );  
end STRUCTURAL;
```

```
configuration CFG_MASTER_SLAVE_STRUCTURAL of MASTER_SLAVE is  
    for STRUCTURAL  
        for all: NORGATE use CONFIGURATION IEEE.CFG_NORGATE_BI;  
        end for;  
    end for;  
end CFG_MASTER_SLAVE_STRUCTURAL;
```



# Bascule D maître-esclave à 1 phase

## insensible aux temps de commutation

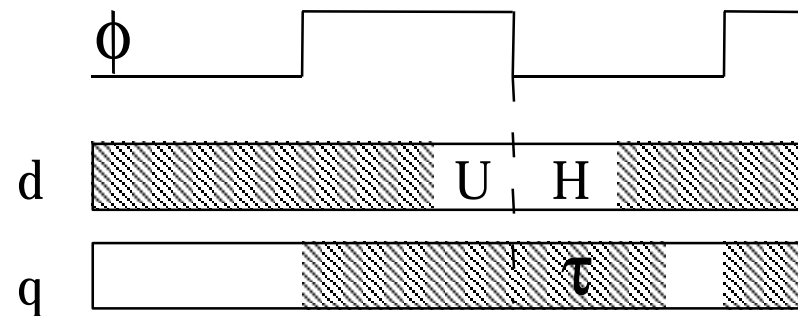
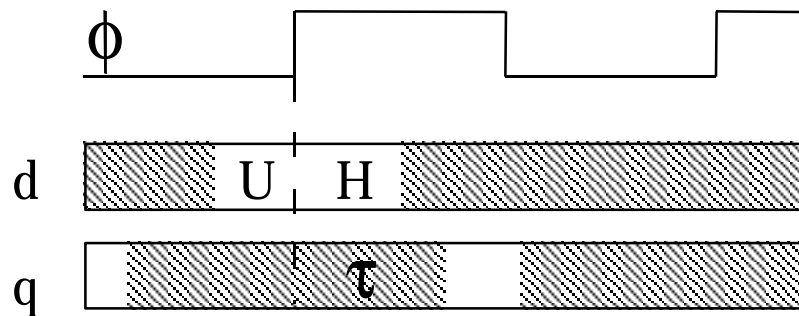
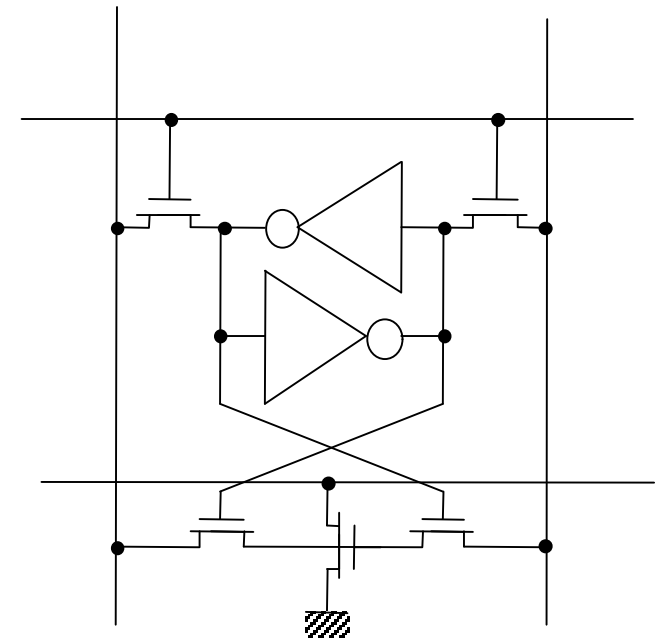
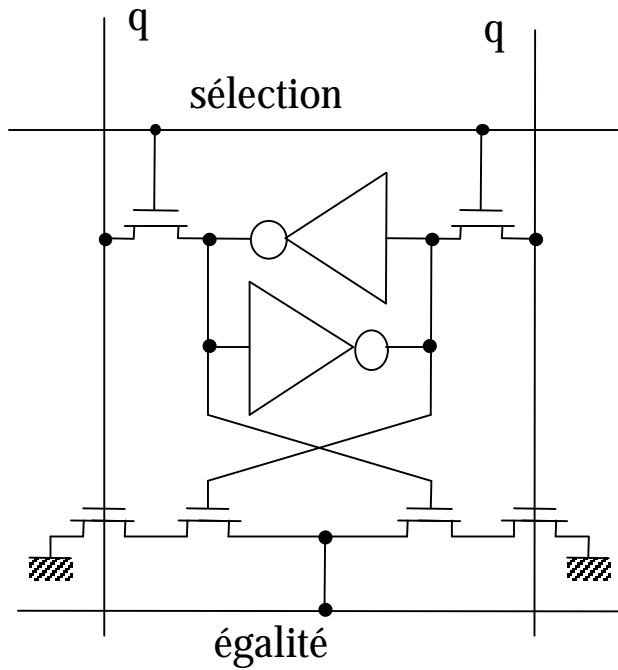
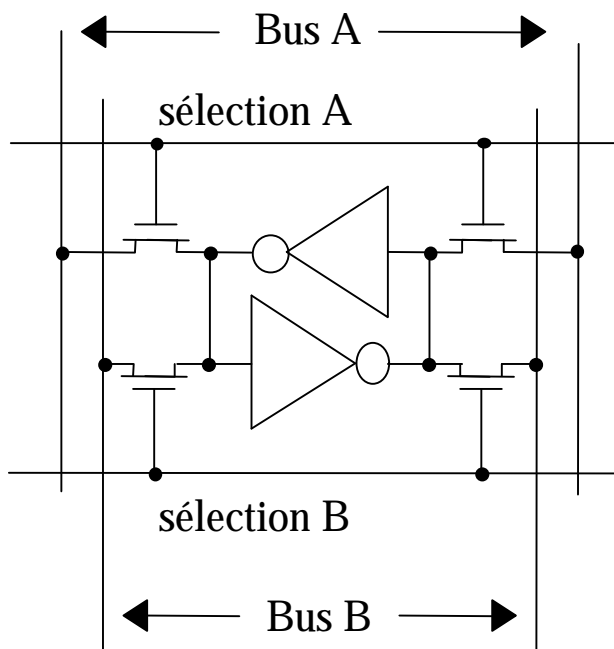


Remarque: ce schéma ne s'utilise jamais en vrai CMOS

Grâce à la différence de seuil de conduction des transistors commandés par l'horloge de A et de B, les bascules A et B ne sont jamais transparentes simultanément.



# Points de RAM statique



L'entrée d doit être stable pendant l'intervalle composé du 'set-up' U et du 'hold' H.  
 La sortie est stable  $\tau$  après  $\Phi$  (U, H et  $\tau$  sont exagérés sur les figures)