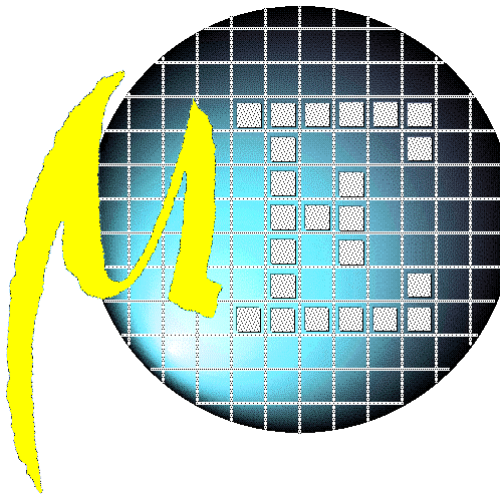


De la puce à l'algorithme



DEA MICROÉLECTRONIQUE

Alain GUYOT

TIMA



☎ (33) 04 76 57 46 16

💻 Alain.Guyot@imag.fr

<http://tima-cmp.imag.fr/~guyot>

Techniques de l'Informatique et de la Microélectronique
pour l'Architecture. Unité associée au C.N.R.S. n° B0706

pas à pas



- De la puce à l'algorithme
- Conception et fabrication
- Circuiterie des portes CMOS complémentaires
- Comportement électrique de la porte CMOS
- Circuiterie des portes CMOS non complémentaires
- Éléments de mémorisation statiques
- Éléments de mémorisation dynamique
- Structures régulières sur silicium
- Addition sur silicium
- Multiplication sur silicium

Numéro de page du poly = numéro diapo / 3

Buts de cette leçon



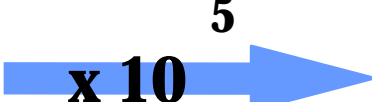

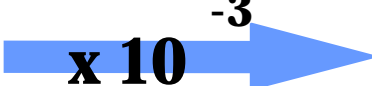

Montrer que

- 1- la technologie change rapidement
- 2- cette évolution est prévisible (technology roadmap)

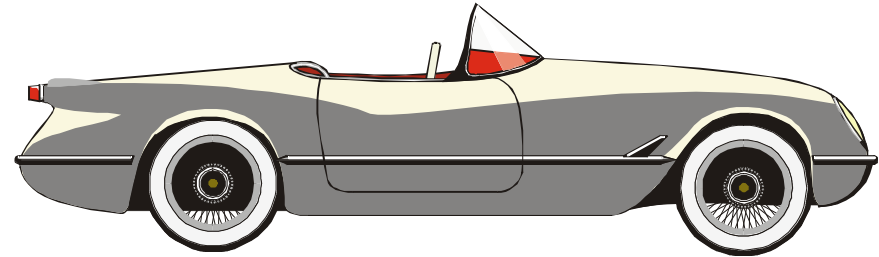
⇒ les méthodes de conception doivent suivre

Donner une idée grossière des méthodes de conception

Évolution de la technologie des ordinateurs

	1945: ENIAC		1990 : 68 040
Complexité	18 000 tubes	x 100 	1 200 000 transistors
Encombrement	200 m ³	x 10⁻⁸ 	2 cm ³
Vitesse	150 opér. / s	x 10⁵ 	20 10 ⁶ opér. / s
Consommation	10 kW	x 10⁻⁴ 	1 W
Coût	\$10 000 000	x 10⁻³ 	\$ 1000
Fiabilité	Heures	x 1000 	Années

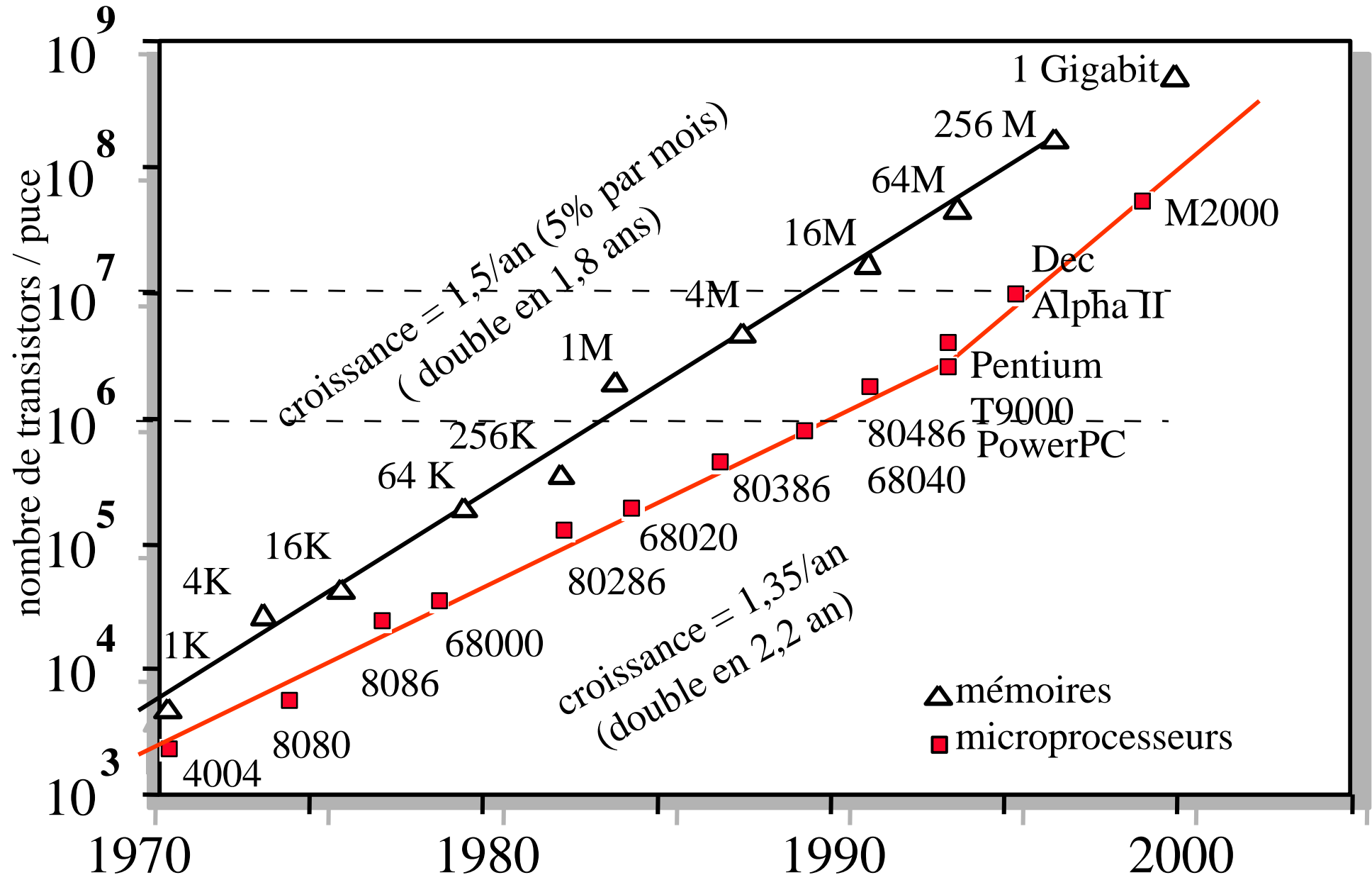
Et si les voitures



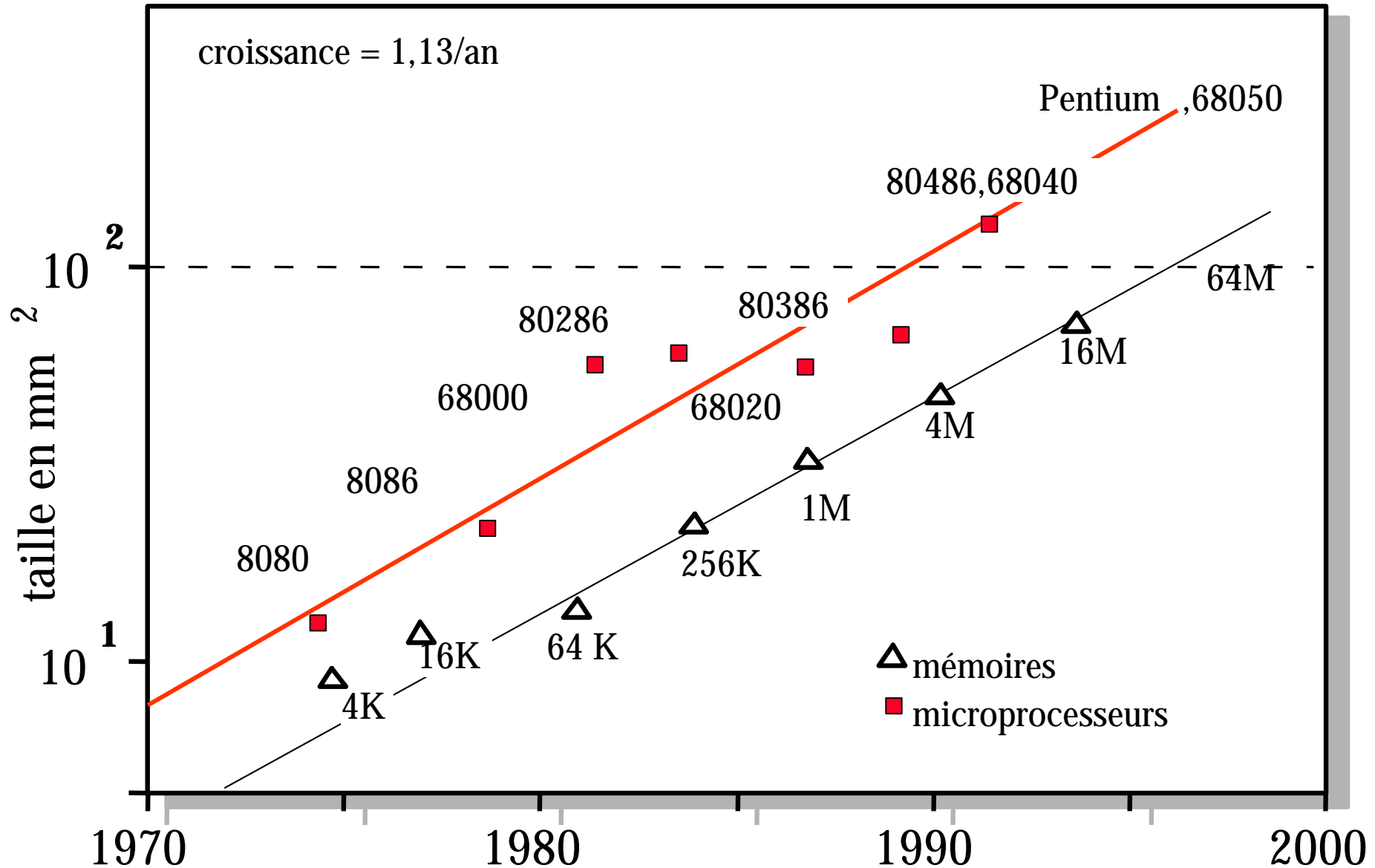
Vitesse	110 km / h	x 10⁵	3 000 km / s
Consommation	10 l / 100 km	x 10⁻⁴	1 l / 100 000 km
Coût	100 000 F	x 10⁻³	100 F
Fiabilité	Année	x 1000	1 000 ans
Poids	1 t	x 10⁻⁸	10 mg

Évolution de complexité

(densité x surface)

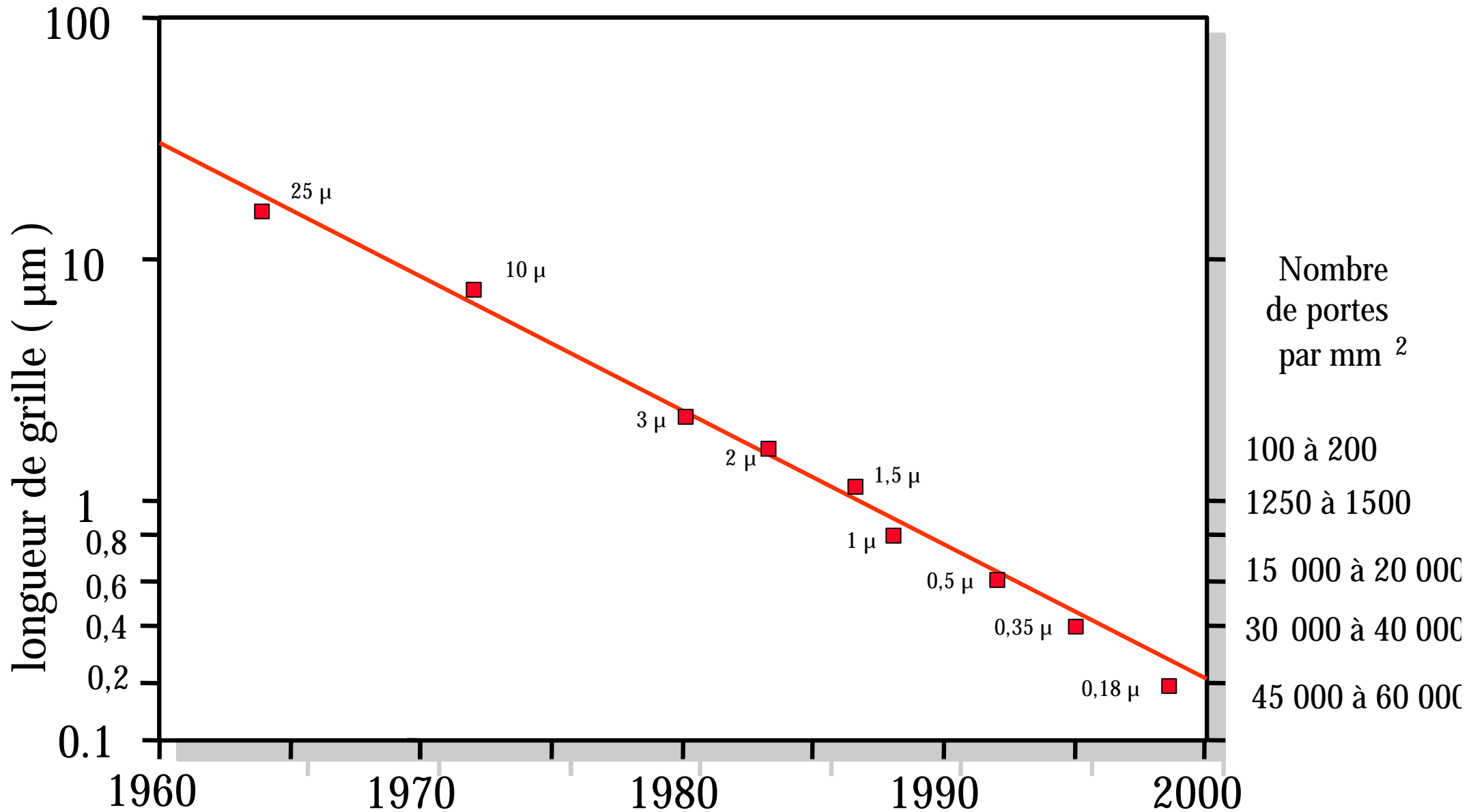


Évolution de surface de puce

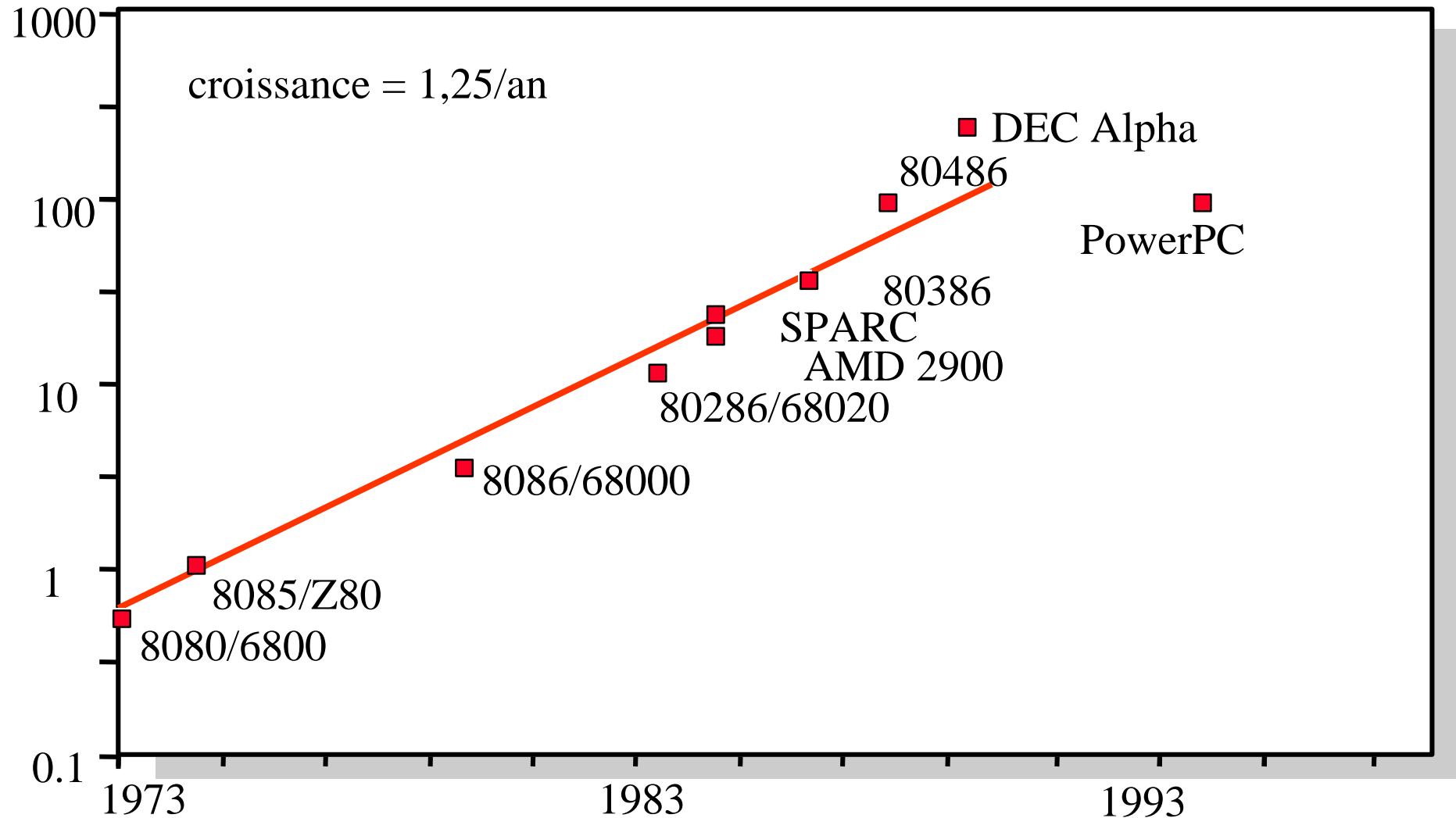


Le nombre de puce par tranche reste sensiblement constant

Évolution finesse de gravure et densité

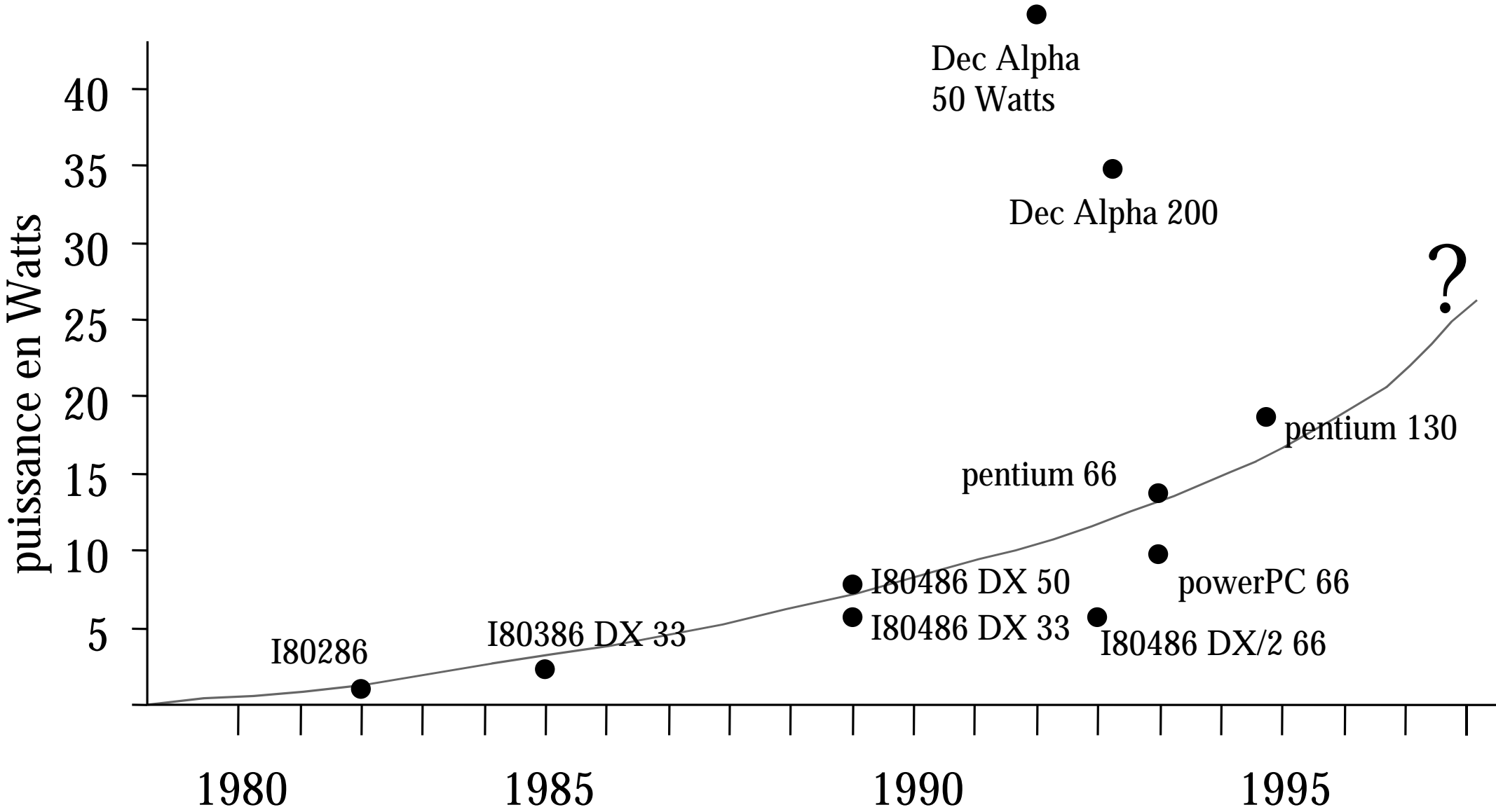


Évolution de la Fréquence d'horloge des microprocesseurs



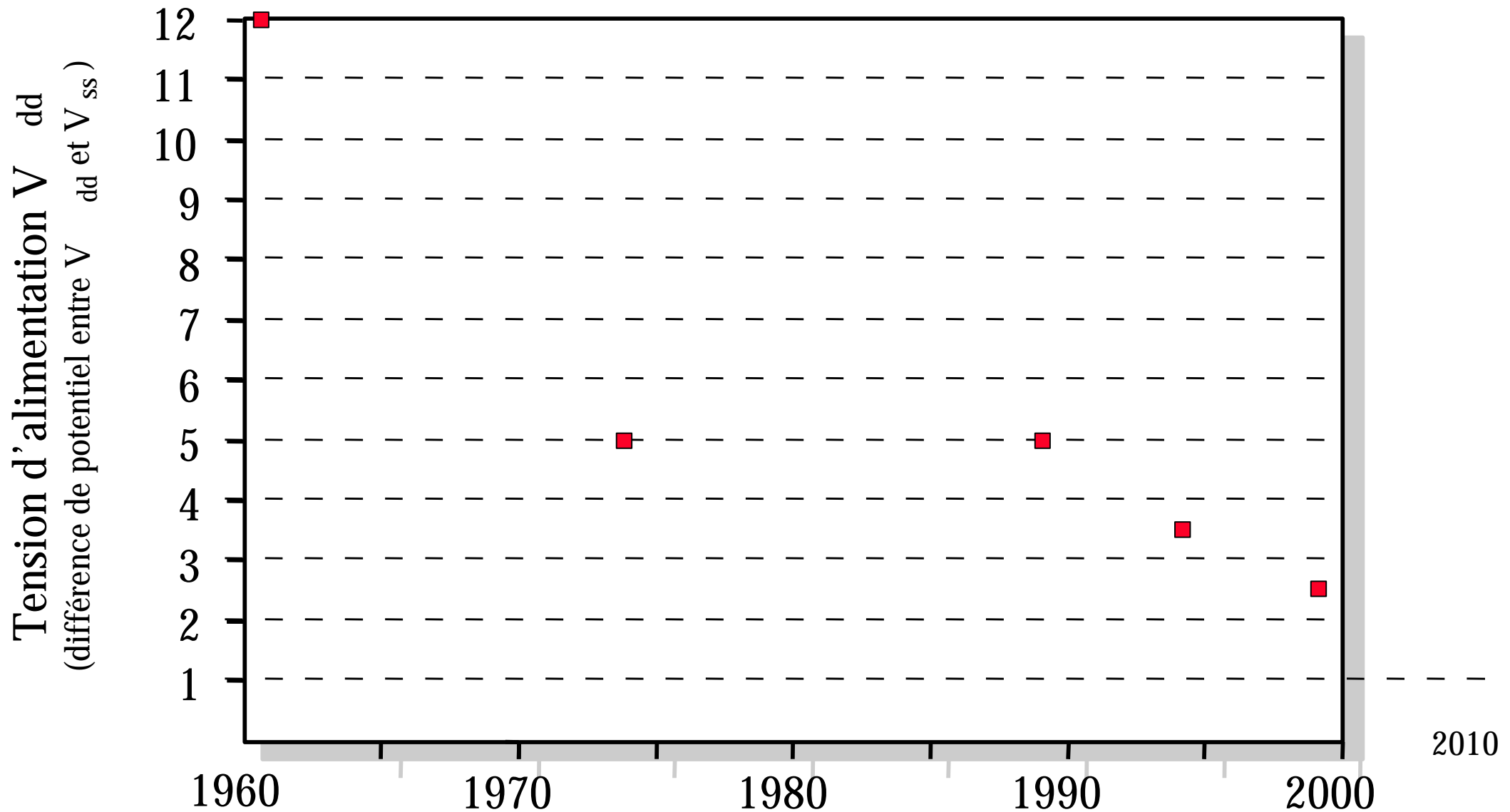
Le gigahertz sera atteint peu au delà de l'an 2000

Puissance dissipée par quelques microprocesseurs



La dissipation d'un boîtier plastique est ≈ 2 Watts

Évolution de la tension d'alimentation V_{dd}



Nous verrons dans le cours suivant comment taille de transistor, vitesse, puissance, champ électrique, tension d'alimentation V_{dd} , dissipation sont liés

Évolution de la puissance de calcul

fréquence x loi de Amdhal (complexité)

Puce	Intro	Vente/an 1992	Vente/an 1996	Complexité	Mips
286	1982	37	0,8	130 000	1
386	1985	49	39	275 000	5
486	1989	13	75	1 200 000	20
Pentium	1993		5,4	3 100 000	100

croissance = 1,5/an

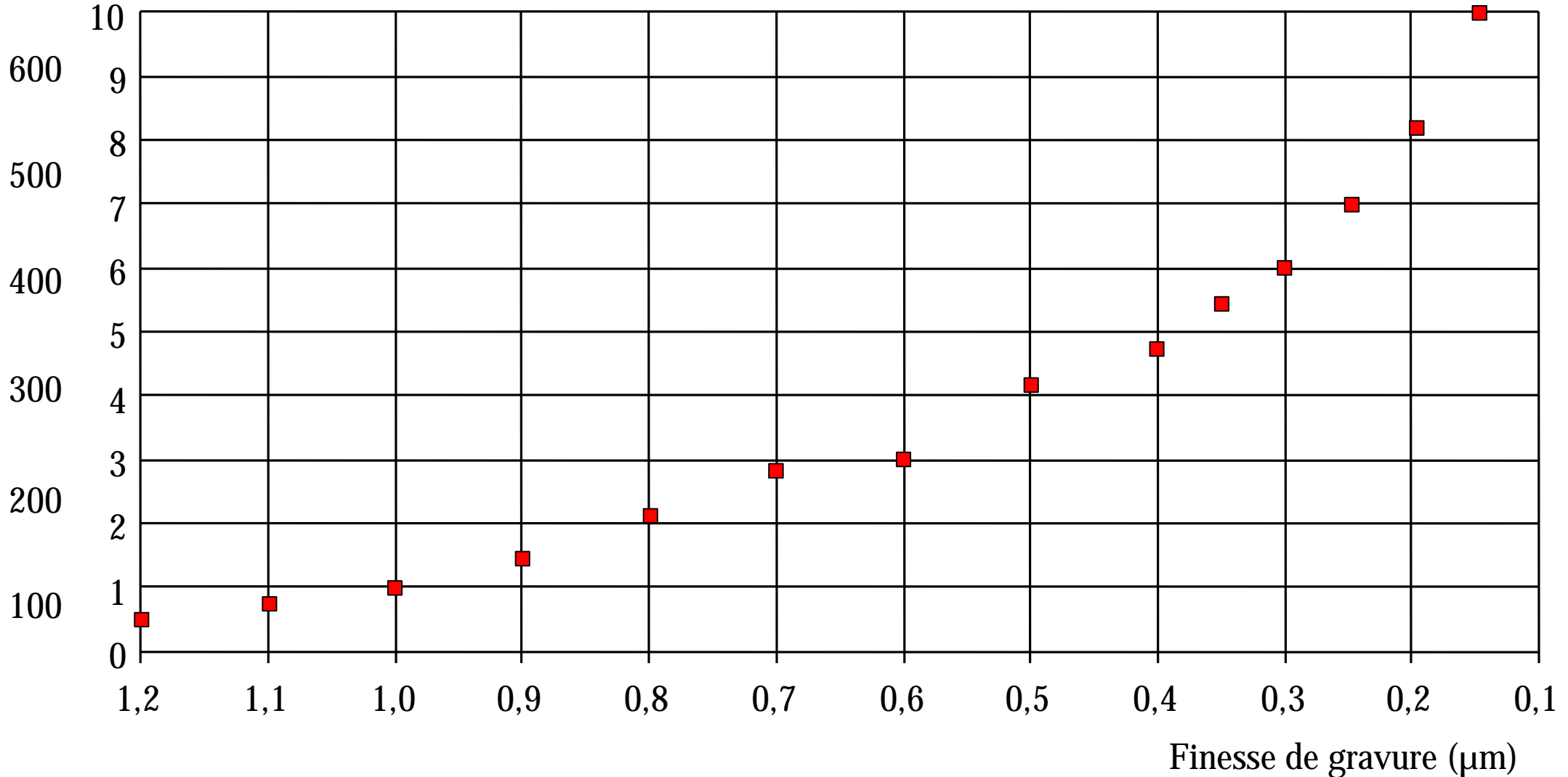
Remarque: l'évolution de la puissance de calcul suit l'évolution de la complexité (nombre de transistors) des circuits.

Évolution du coût de la Lithographie

Nombre d'étapes de fabrication

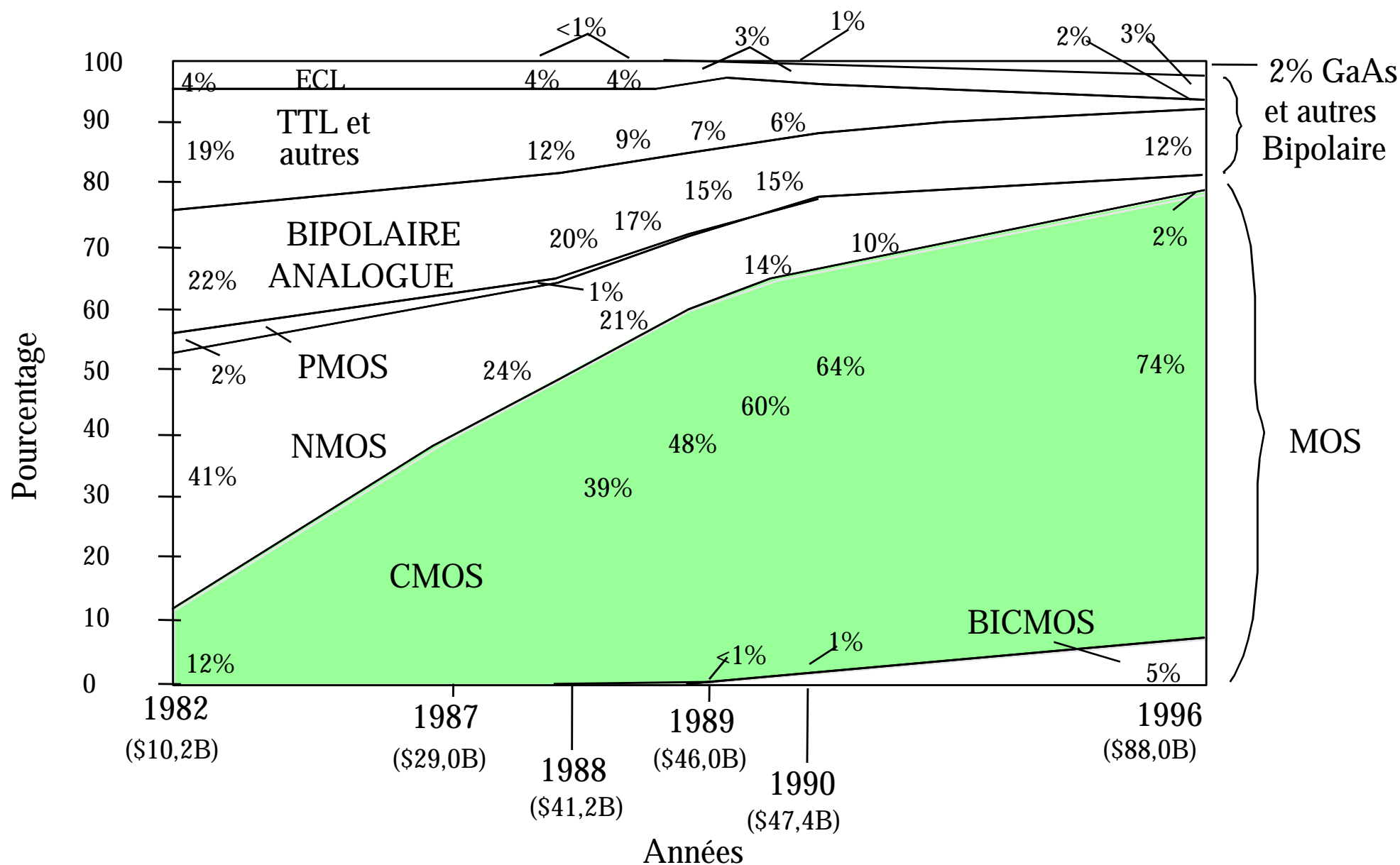
700

Coût relatif de la lithographie (par rapport à 1,0 μm)



Coût des équipements x nombre d'étapes de lithographie

Évolution des parts des technologies



Consommation de silicium: 1 057 kilomètres carrés en 1995

Quel est le but de la conception

Le but ultime de la conception est de produire les dessins des masques
l'un circuit qui est fonctionnellement équivalent à ses spécifications initiales.

Qu'est-ce que la conception descendante

La conception consiste à passer d'un niveau d'abstraction à un niveau plus bas

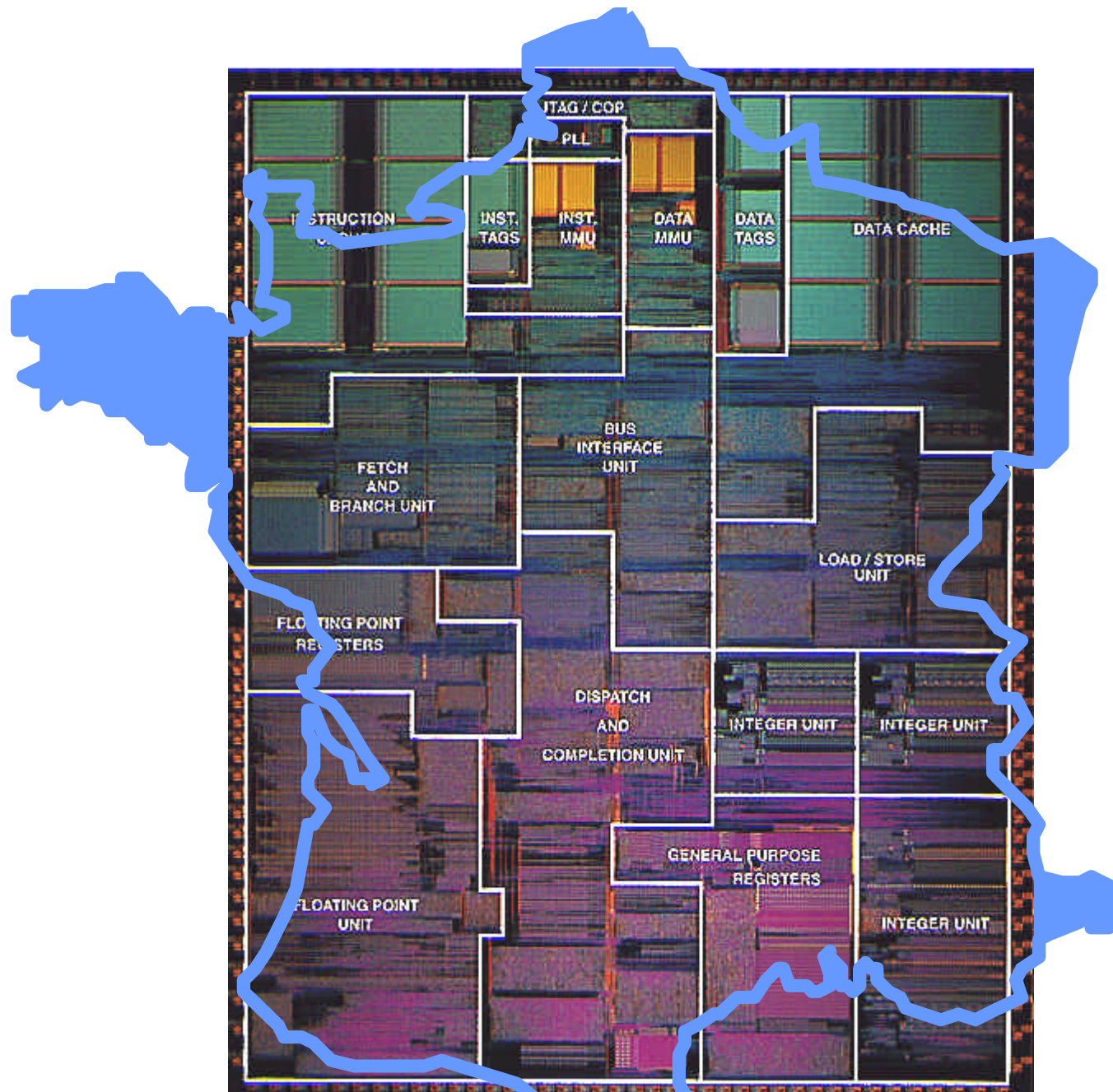
- en conservant la fonctionnalité
- en respectant certains objectifs décidés aux niveaux supérieurs:
surface, vitesse, consommation, testabilité, robustesse
- en respectant certaines contraintes physiques
- règles de dessin, délai, consommation, ... des composants

Dépasser la concurrence

Où rechercher la performance ?

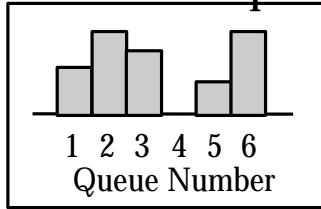
- Algorithmes** (réduire le nombre d'itérations)
- Logique** (réduire le chemin et/ou le nombre de portes)
- Schématique** (réduire le nombre de transistors)
- Electrique** (réduire le retard et la période d'horloge)
- Dessin** (réduire la surface, le nombre de vias et contacts)
- Technologie** (réduction des dimensions, BICMOS, GaAs, ...)

Complexité des interconnexions



Les niveaux d'abstraction et la conception descendante

Stochastique



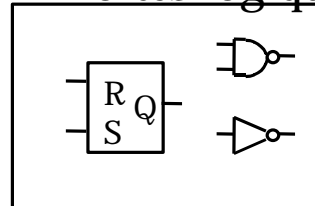
Fonctionnelle

```
for i=0 to 10
do
case input of
1: b := 5;
2 b := 10 ;
end;
```

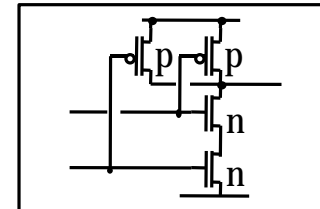
Transfert de registres

```
Begin
@ Posedge(clock)
->trig ;
if (trig=1) a=b&c ;
end
```

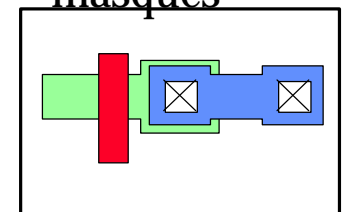
Portes logiques



transistors

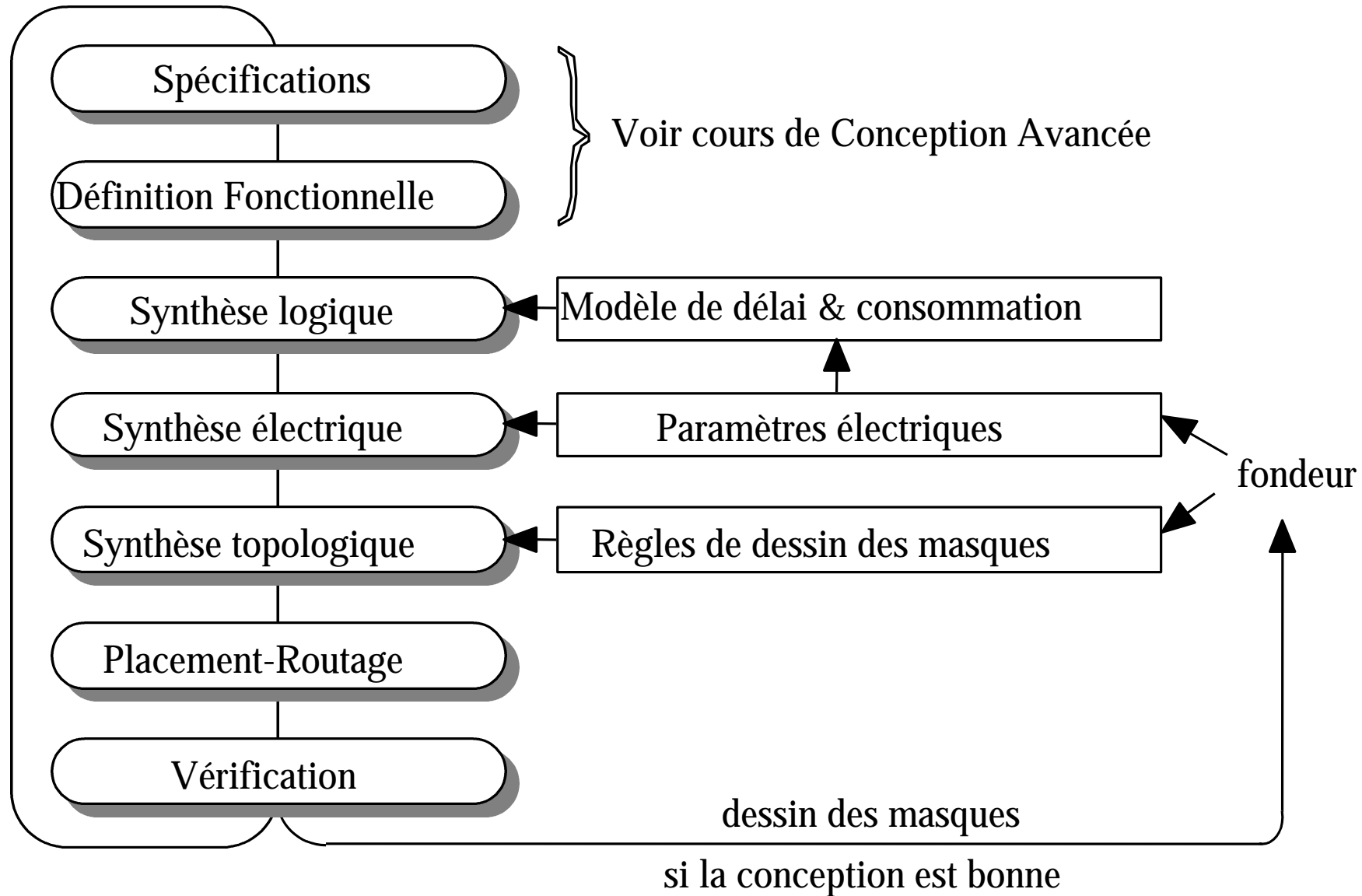


masques

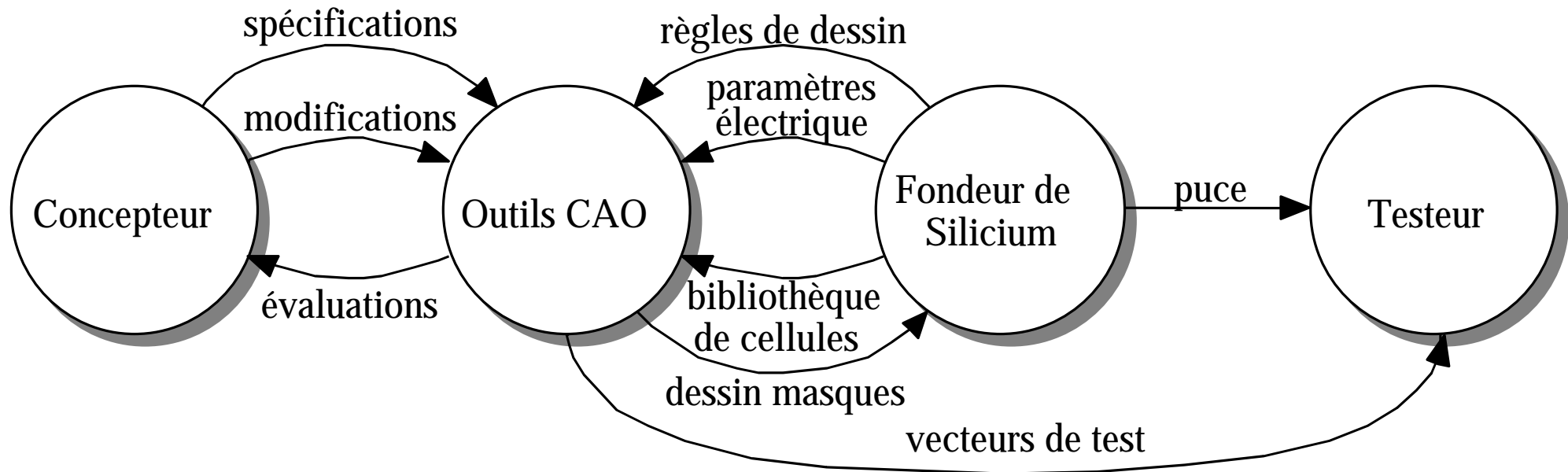


Quantité d'information
multipliée par un ou
deux ordres de grandeur
à chaque étape

Étapes de la conception

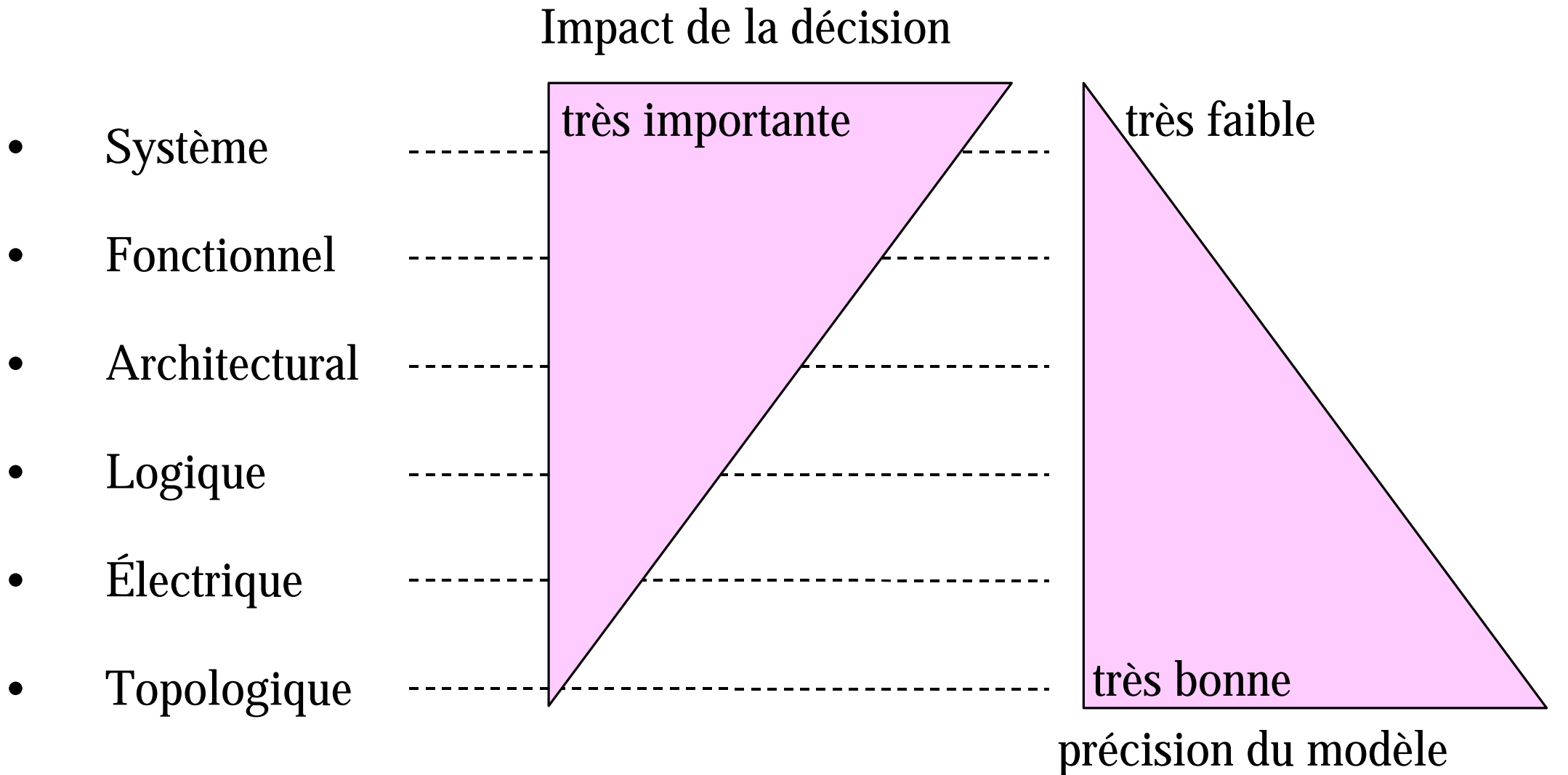


Acteurs de la conception



- spécifications: à tout niveau, saisie graphique ou textuelle (VHDL)
- modifications: éditeur graphique ou éditeur textuel
- évaluation: résultat de simulation (SPICE, VHDL) ou de vérification (DRC, ERC, LVS)
- règles de dessin des masques: garantissent que la puce se comporte comme son modèle
- les paramètres électrique servent à particulariser les simulateurs généraux (SPICE)
- des morceaux de circuit réutilisables (dans certaines conditions) sont répertoriées en bibliothèque
- la reproduction sur la puce des dessins des masques (GDS II) est automatique
- la puce fabriquée doit être testée par application d'une série de vecteurs (HILO)

Nécessité de modèles prédictifs (surface, délai, consommation, robustesse)



Indicateurs pour une conception efficace

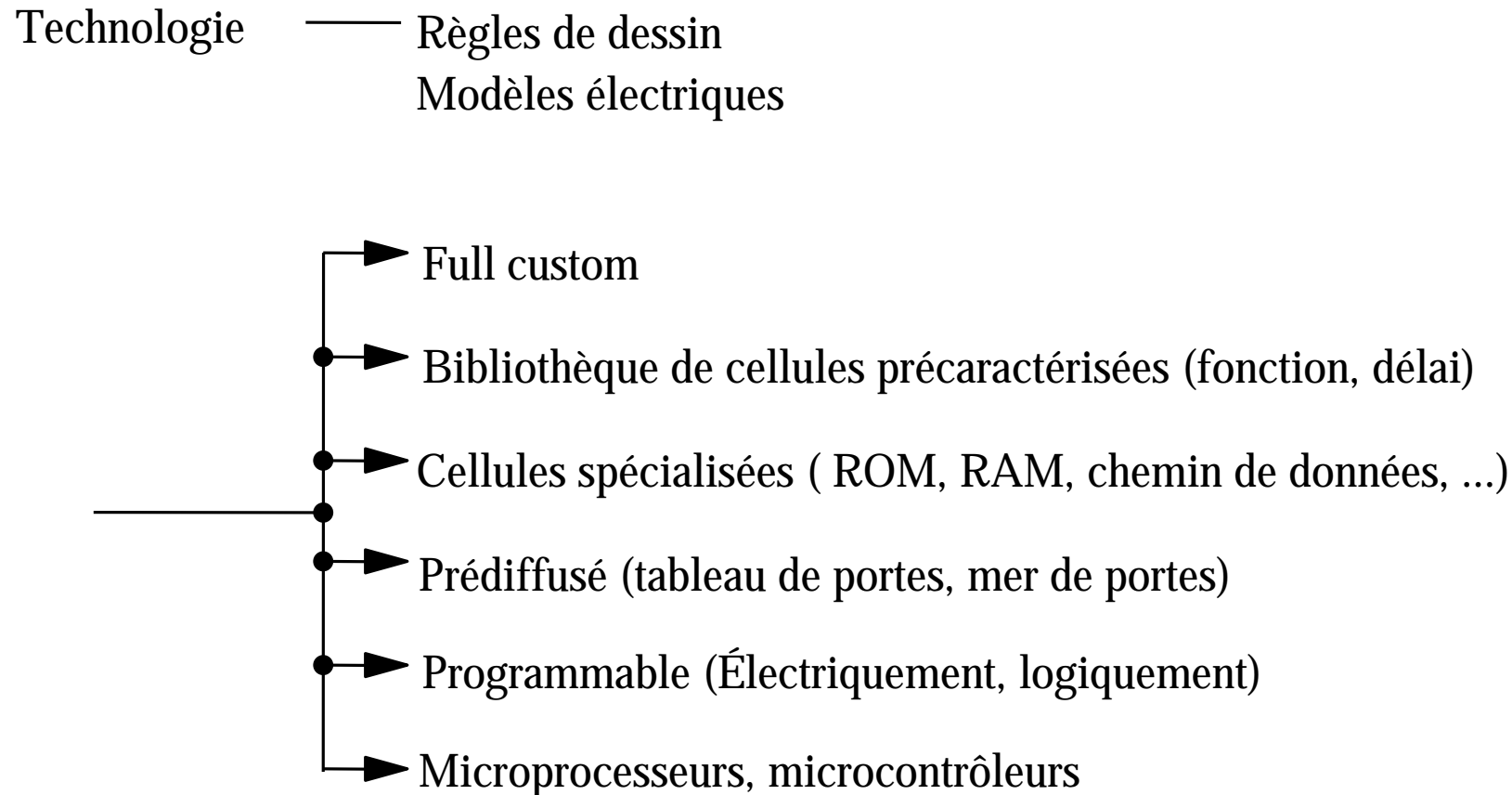
Indicateurs

- **Surface de silicium**
- **Période d'horloge**
- **Temps de conception**

- **Rendement de fabrication**
- **Durée du test**
- **Coût du boîtier et montage**
- **Puissance dissipée**
- **Fiabilité**

- coût de fabrication**
- performance**
- coût de conception**
- fenêtre de commercialisation**
- coût de fabrication**
- coût de fabrication**
- coût de fabrication**
- coût d'utilisation**
- coût d'utilisation**

Les interfaces



Comment obtenir du rendement

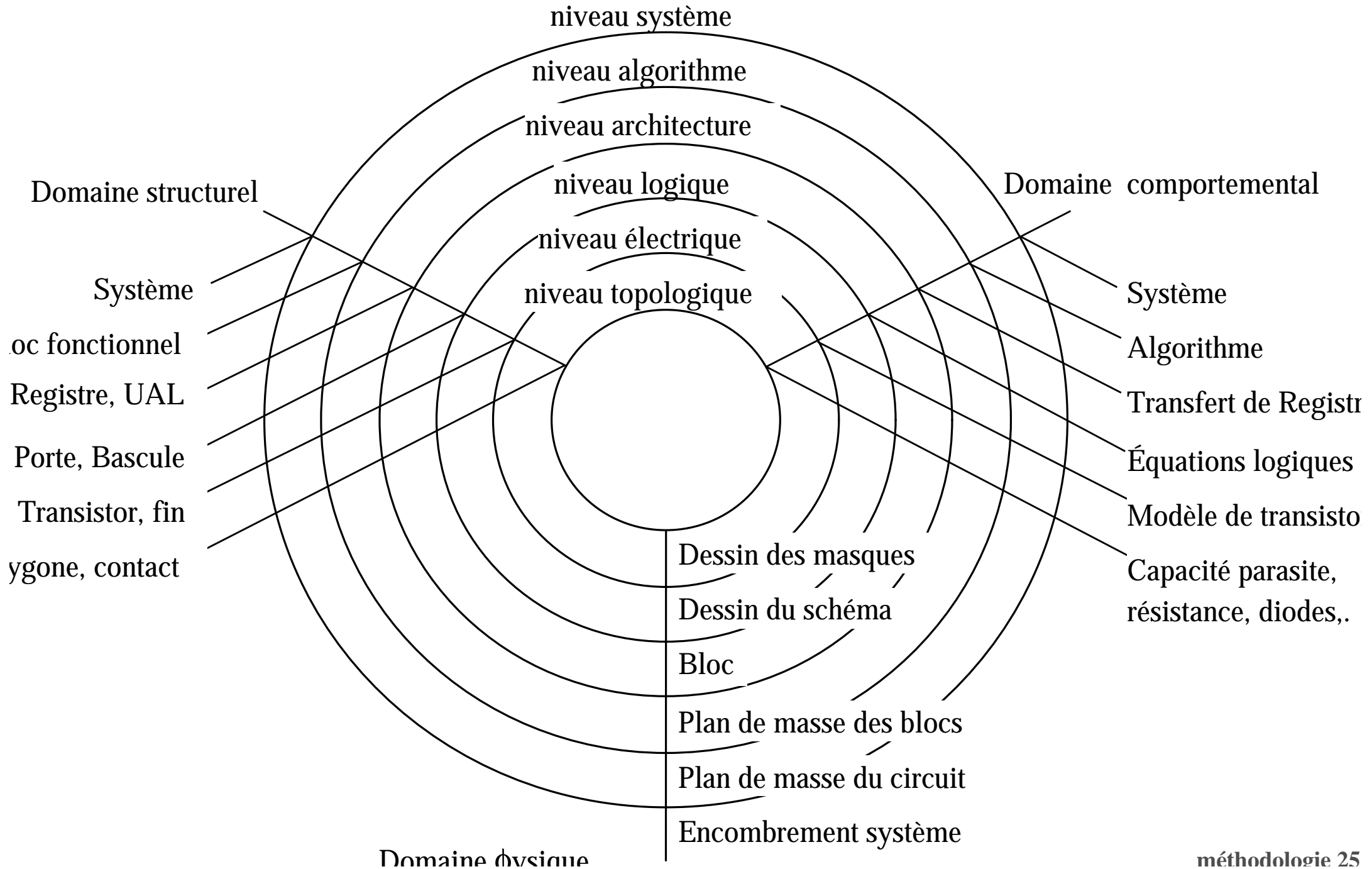
Minimiser la surface

Éviter les schémas à risque

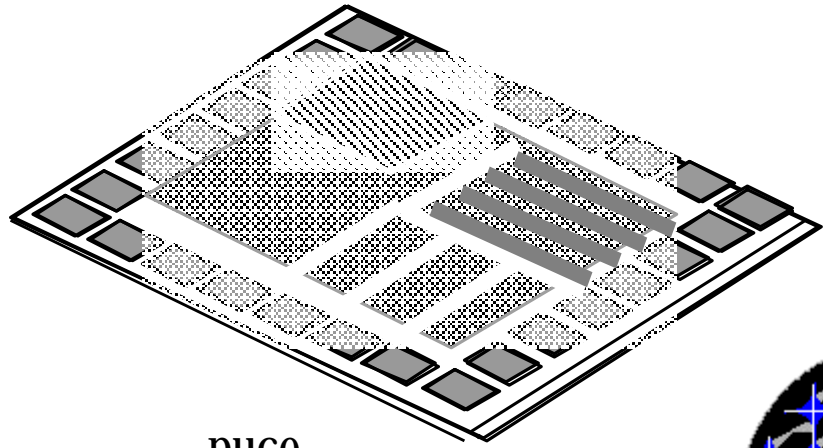
Ne jamais faire confiance à une
simulation électrique typique

nombre	rendement
1	0.9995
10	0.995
100	0.95
1000	0.61
10 000	0.0067

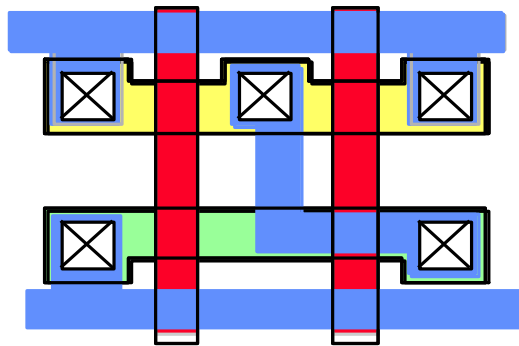
Le Y de Gaski



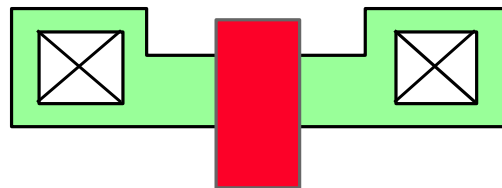
Niveaux d'assemblage



puce

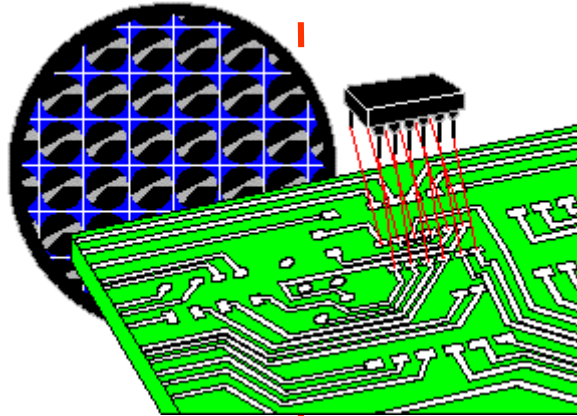


porte

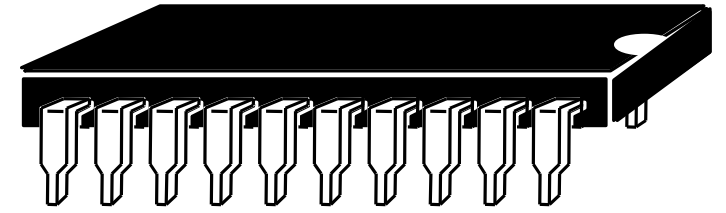


transistor

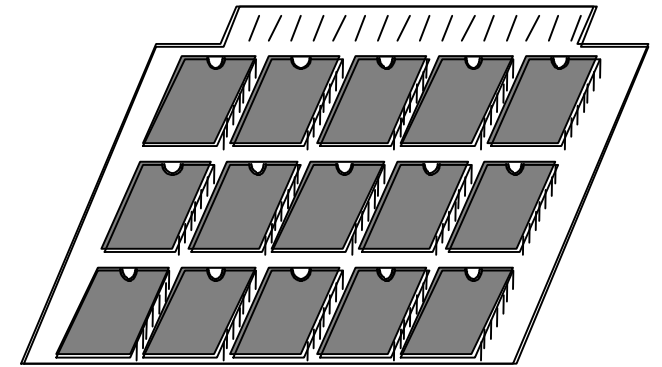
circuit
système



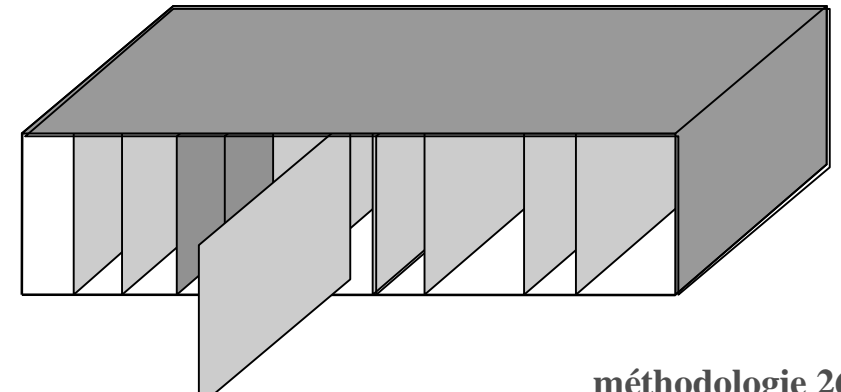
boîtier



carte

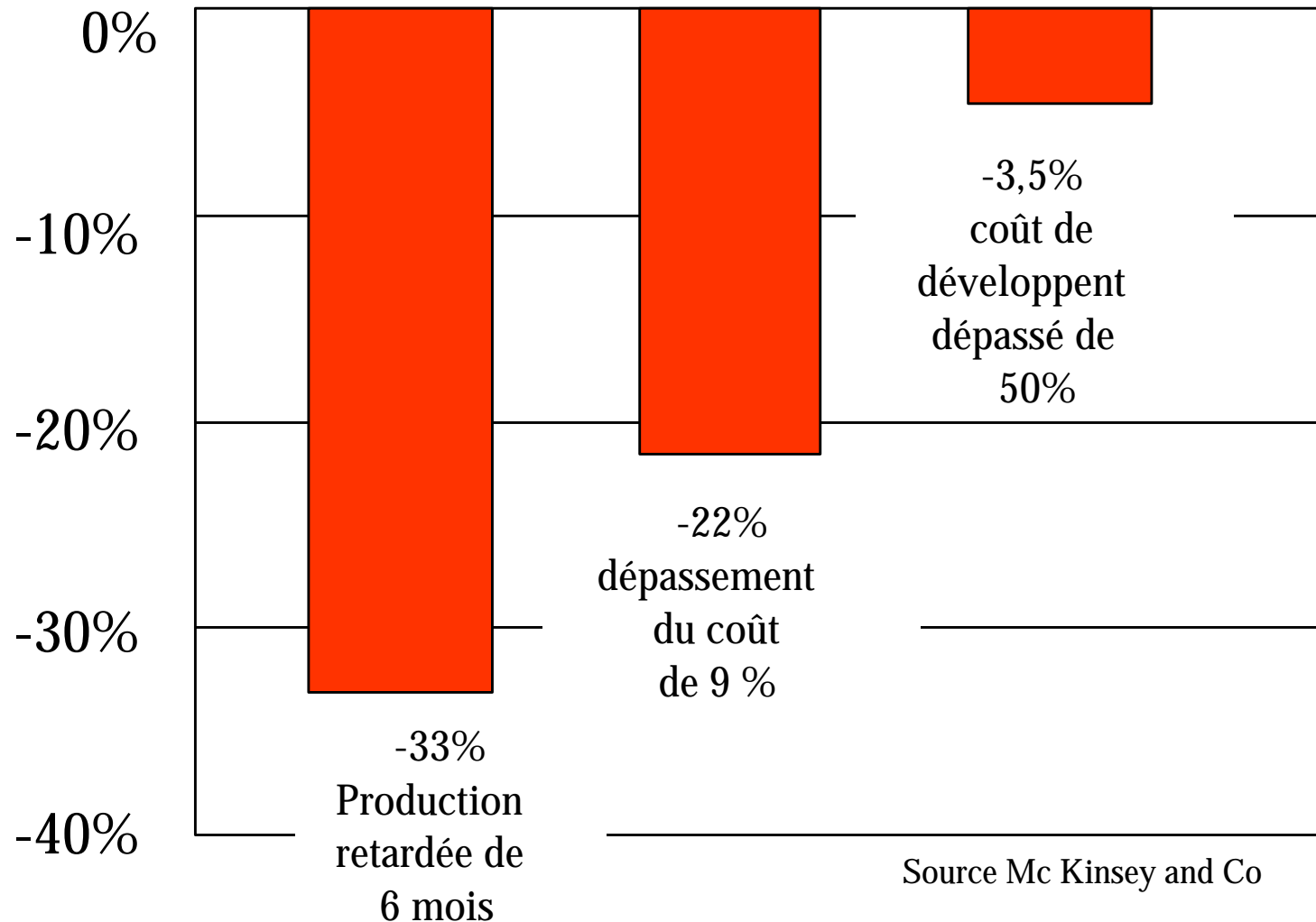


rack



Le Challenge: tenir les délais

Incidence sur les bénéfices



hypothèses

20% croissance du marché
12% d'érosion annuel des prix
5 an de vie du produit

Source Mc Kinsey and Co

Réduire le temps de conception

démarche descendante vérifiée

régularité

réutilisabilité

Blocs (PLA, ROM, RAM, BitSlice, ..)

Plan de masse

Simulation, preuve

Structure compiler

Bibliothèque

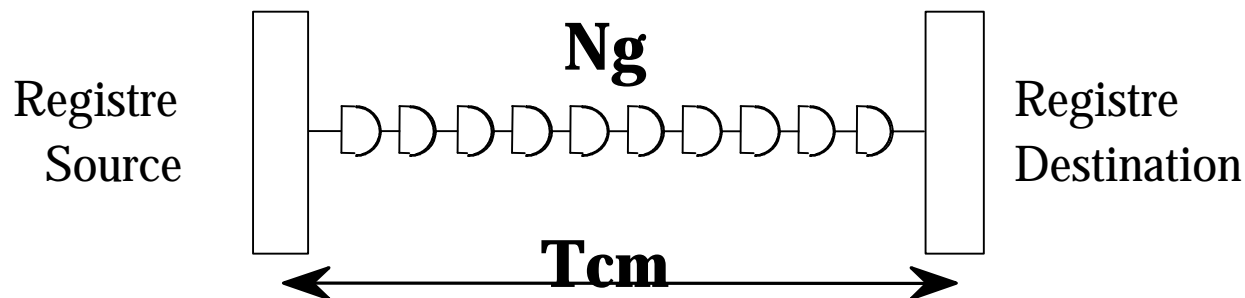
Générateurs

Placement & Routage

Période d'Horloge

$$T_{cm} \geq N_g (T_{pg} + L * T_{ic}) + (T_{su} + T_{cko}) + T_{ck Skew}$$

- T_{cm}** = Temps de Cycle Minimum (ns) = $\frac{1000}{F}$ MHz (ou période d'horloge)
- T_{pg}** = Temps de propagation moyen par porte (ns)
- T_{ic}** = Temps de propagation par unité de longueur d'interconnexion
(quadratique finesse de gravure)
- L** = Longueur moyenne des connexions entre portes
- N_g** = Nombre de couches (portes) logiques entre registres
- T_{su}** = Temps d'Écriture des Registres
- T_{cko}** = Temps de Lecture des Registres
- T_{ck Skew}** = Dispersion des horloges dans le circuit



D'où vient qu'un circuit dissipe de la puissance ?

$$\mathbf{PD} = \mathbf{F} * \mathbf{Ar} (I_{ds-sat} * Ft * V_{dd} + C * V_{dd}^2) + (I_{ds-stat} + I_{ds-leak}) * V_{dd}$$

PD = Puissance dissipée

F = Fréquence d'horloge (MHz)

Ar = Taux d'activité (nombre moyen de transitions par cycle de calcul)

I_{ds-sat} = pointe de courant (courant de court circuit) à travers les transistors P et N saturés durant une transition (μA)

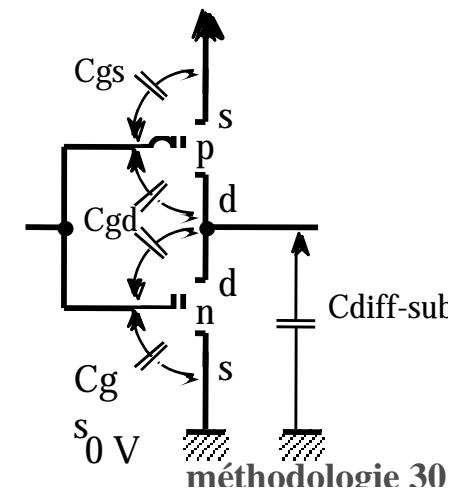
Ft = temps moyen pendant lequel les transistors P et N conduisent tous les deux (ps)

V_{dd} = Tension d'alimentation (V)

C = Capacités parasites (pF)

$I_{ds-stat}$ = Courant statique (nul en logique non ratio)

$I_{ds-leak}$ = Courant de fuite (normalement négligeable)



Puissance dissipée

$$\mathbf{PD} = \mathbf{F} * \mathbf{Ar} (I_{ds-sat} * F_t * V_{dd} + C * V_{dd}^2) + (I_{ds-stat} + I_{ds-leak}) * V_{dd}$$

F = Réduire **F** revient à ralentir le circuit, ce qui n'est pas le but

Ar = En moyenne, il y a $\frac{1}{2}$ transition utile par cycle
Toutes les autres transitions sont des "glitches"

Les "glitches" sont dus à des reconvergences de chemins de longueur différentes
Le nombre de glitches peut être réduit par une conception adéquate.

I_{ds-sat} = Le courant statique à la commutation peut être éliminé par de la logique dynamique
à phases non recouvrantes (coûteux)

Son effet est réduit en minimisant le temps de commutation **Ft**

Ft = Le temps de commutation est réduit par des signaux à grande pente
En général, le courant de commutation compte pour moins de 10% du total

V_{dd} = réduire la tension d'alimentation réduit quadratiquement le courant I_{ds}
et donc linéairement la vitesse.

C = Certaines réalisations de portes logiques ont moins de capacité parasite.

La voie la plus prometteuse est de réduire le taux d'activité

Ar