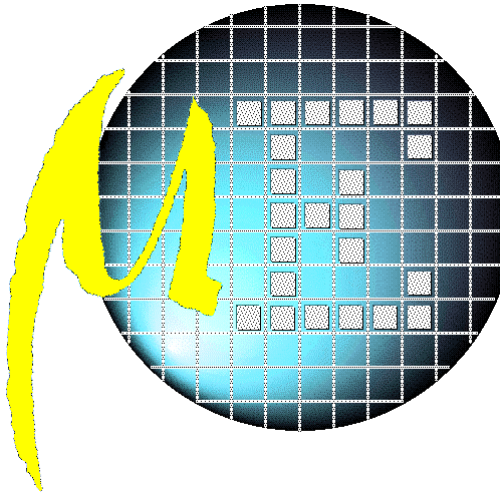


# Technologie des puces



*DEA MICROÉLECTRONIQUE*

Alain GUYOT

TIMA



☎ (33) 04 76 57 46 16

💻 Alain.Guyot@imag.fr

<http://tima-cmp.imag.fr/~guyot>

Techniques de l'Informatique et de la Microélectronique  
pour l'Architecture. Unité associée au C.N.R.S. n° B0706

# Schéma électrique

But de cette leçon

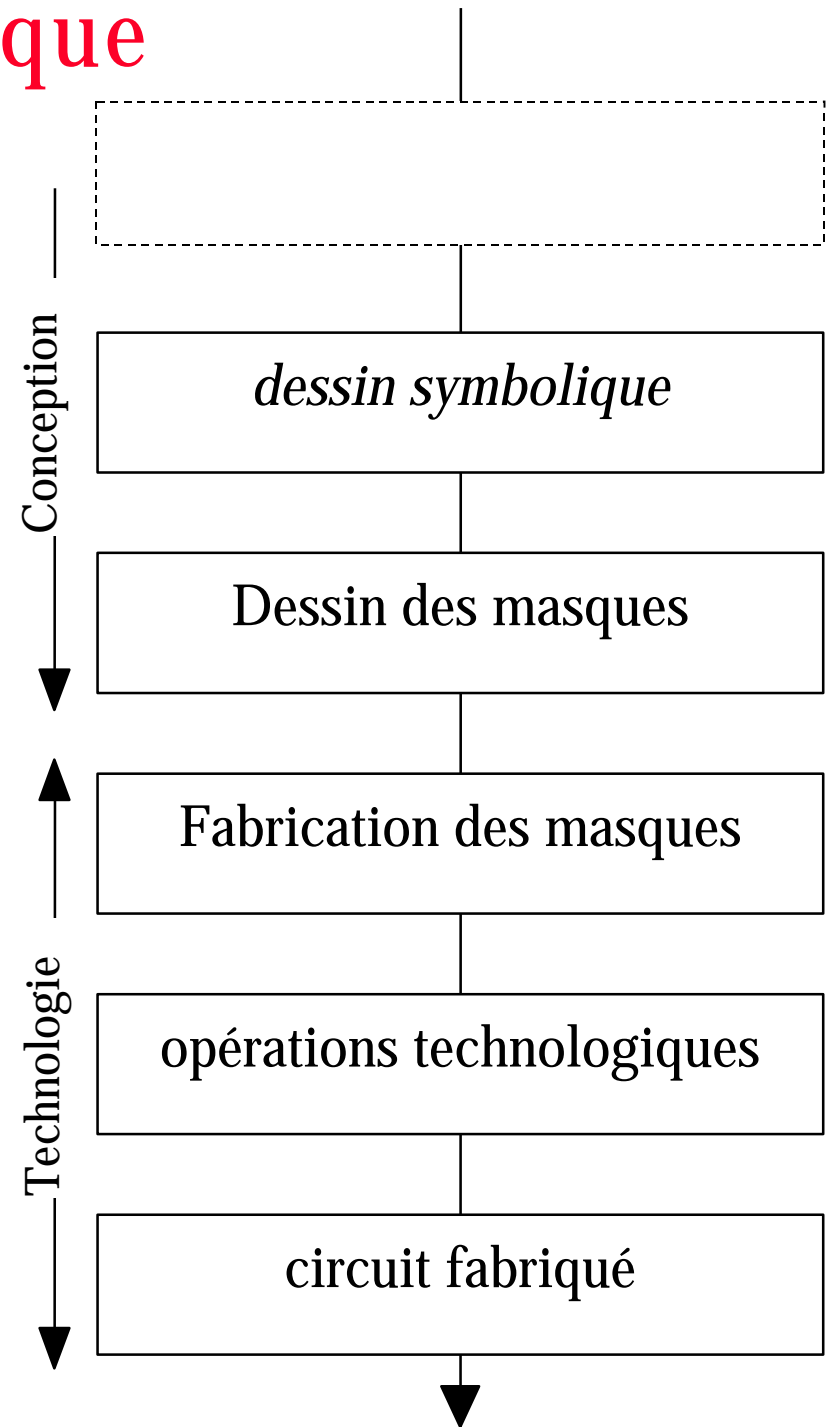
Montrer les liens entre 3 niveaux:

- 1- Électrique (transistors et connexions)
- 2- Masque dessinés (étape ultime conception)
- 3- Circuit fabriqué (technologie)

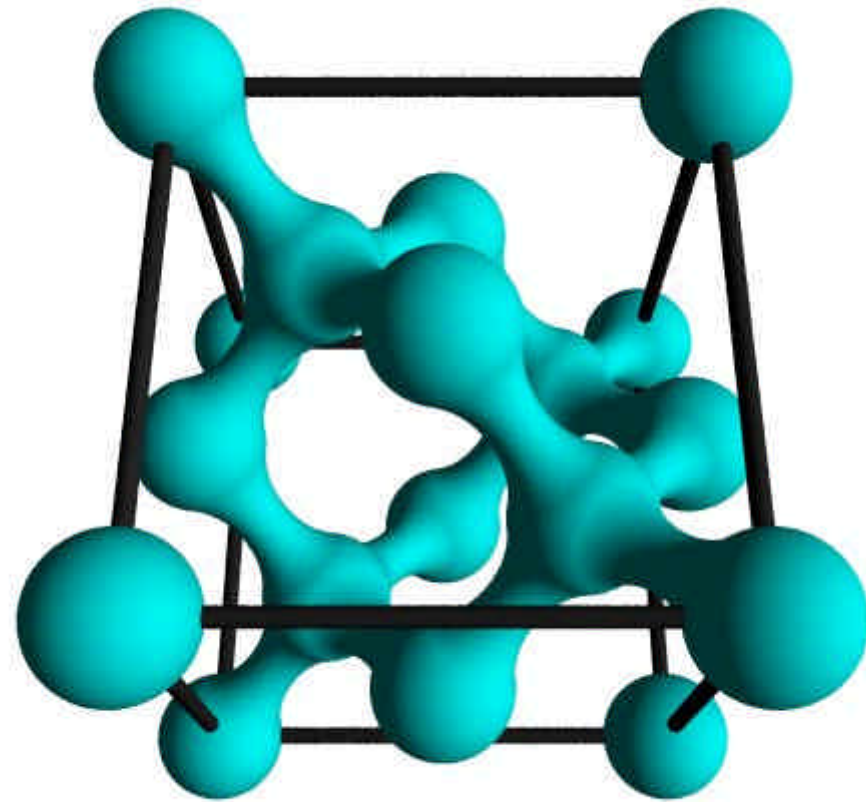
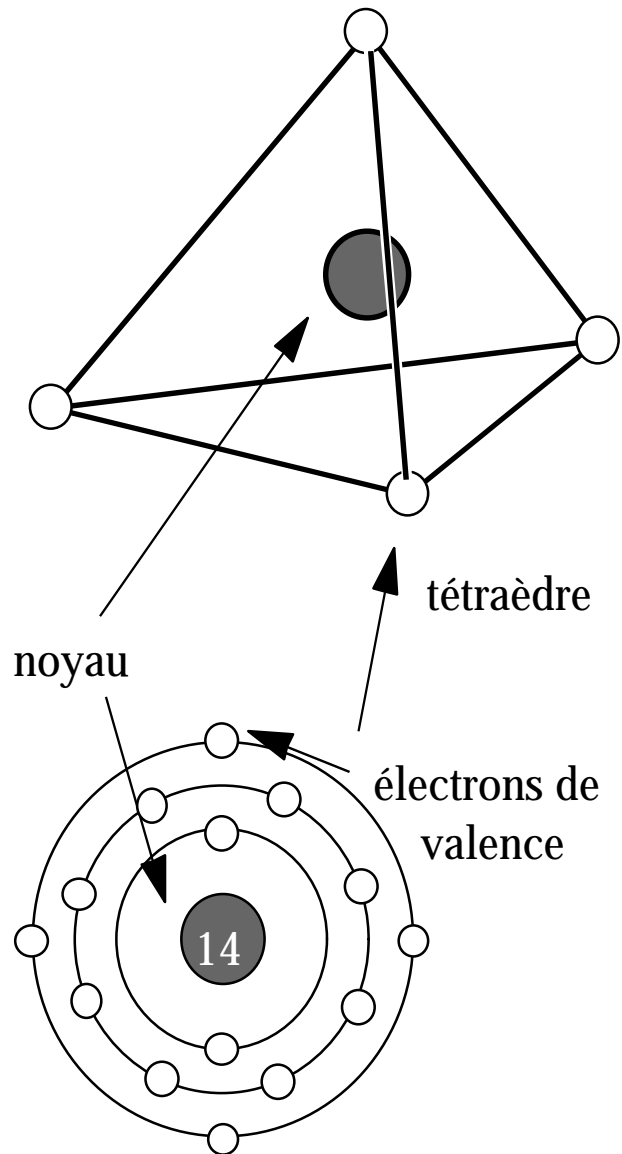
Les fondeurs de Silicium imposent des **Règles de Conception**

- 1- Règles de Dessin des masques
- 2- Règles électriques

Rappel: L'étape ultime de la conception est le dessin des masques

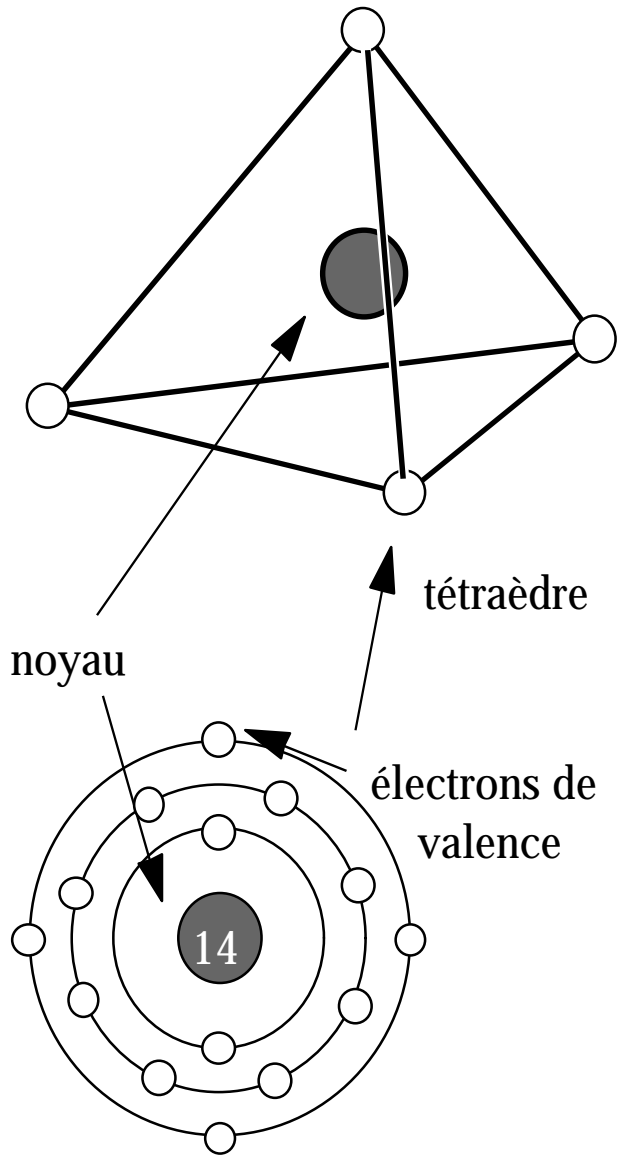


# Cristal de silicium pur



Synthèse: Jean Louis Noulet INSA

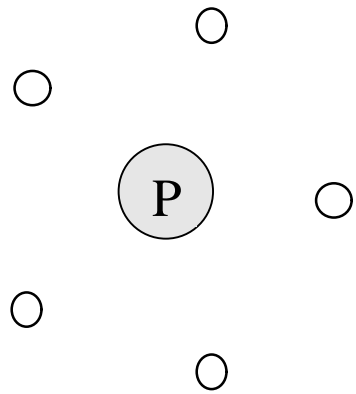
# Cristal de silicium pur



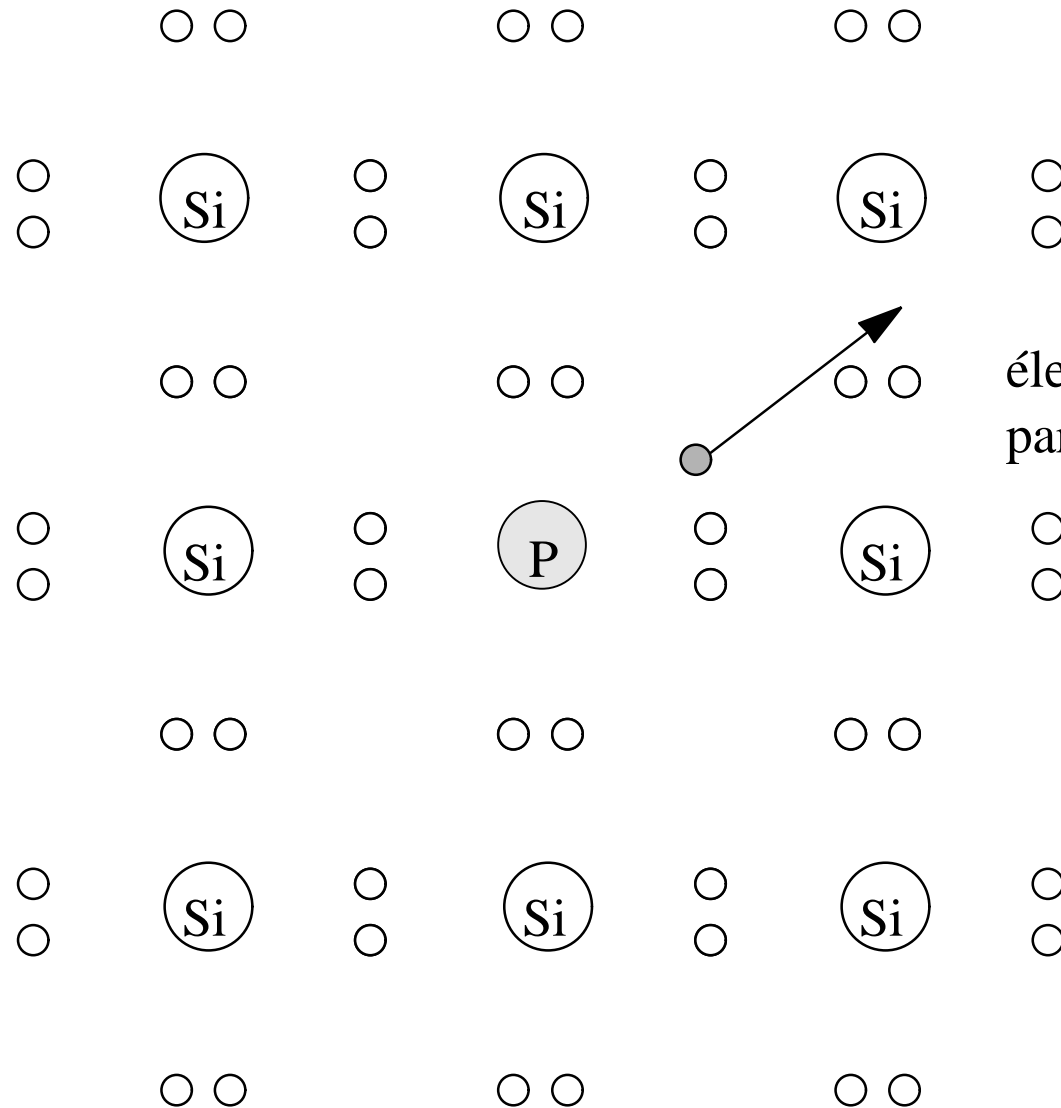
comme carbone, germanium, étain, ...

# Silicium dopé N

Phosphore

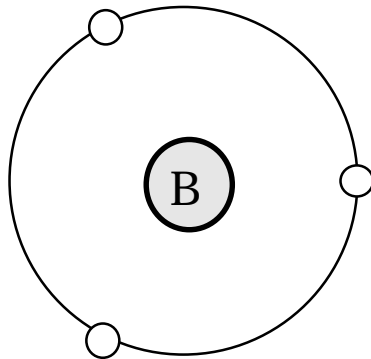


pentavalent



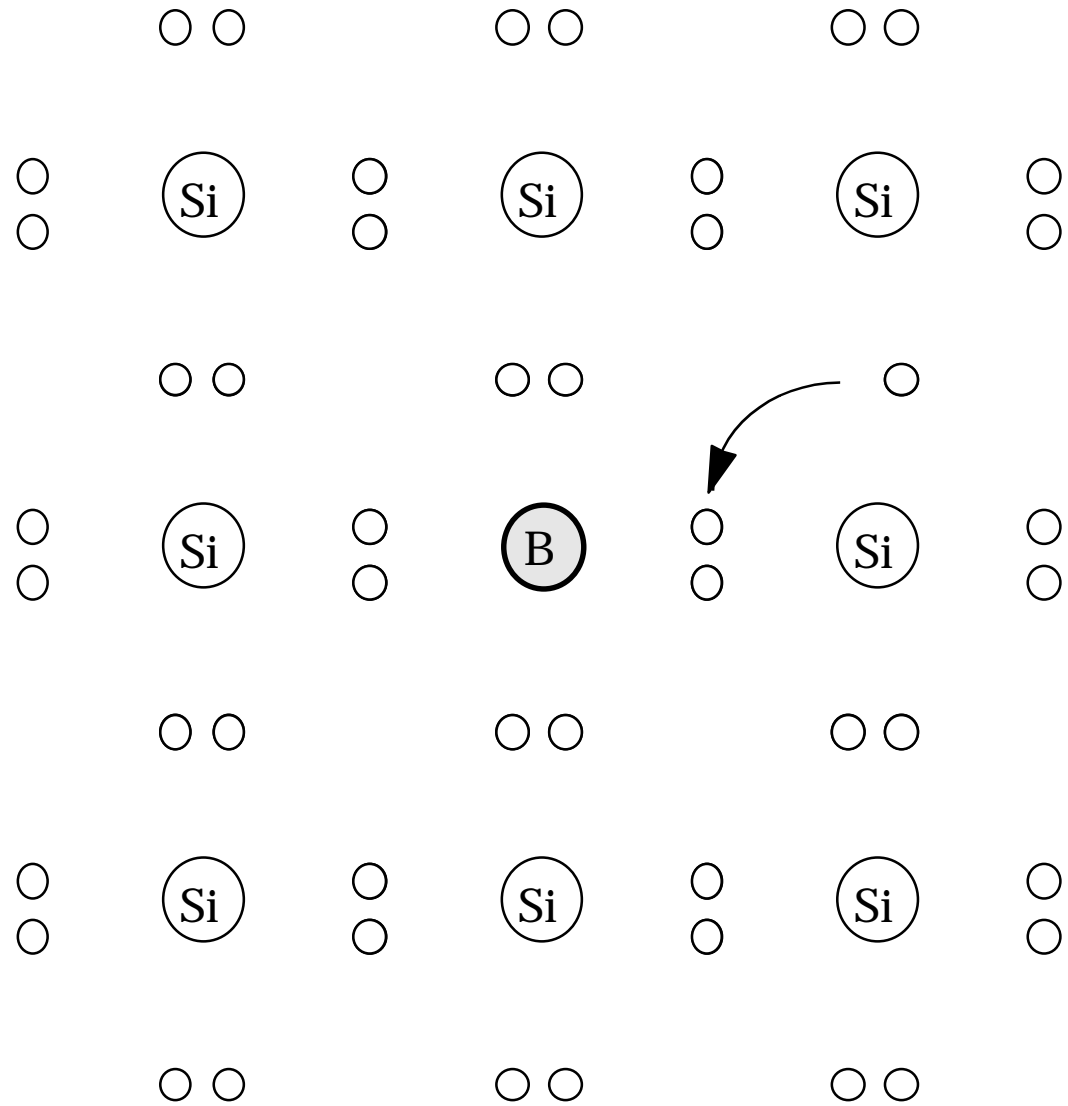
# Silicium dopé P

Bore

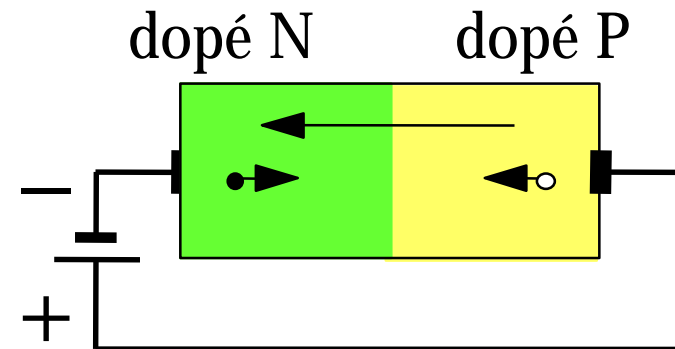
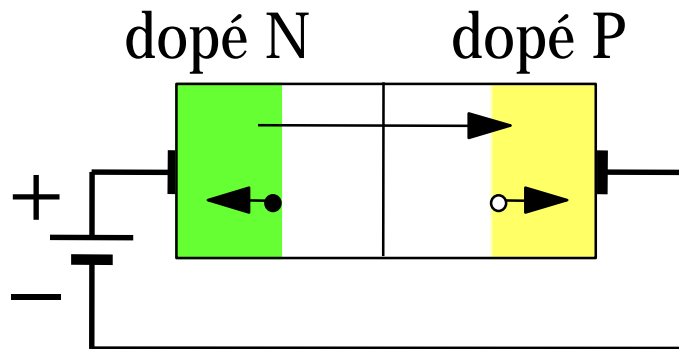
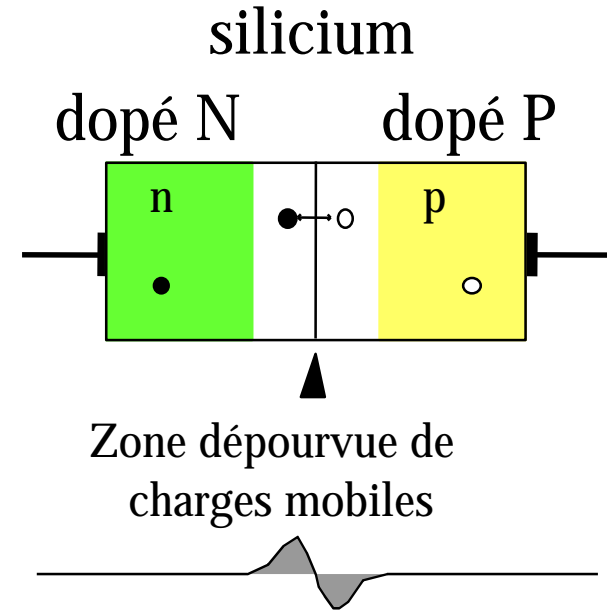
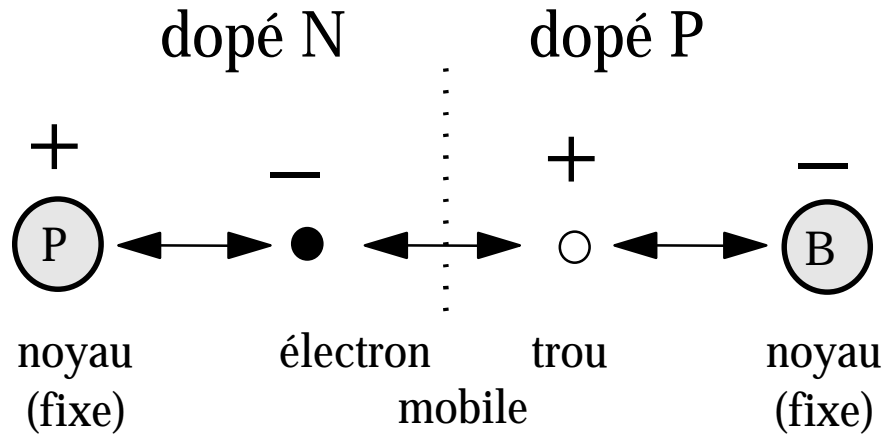


trivalent

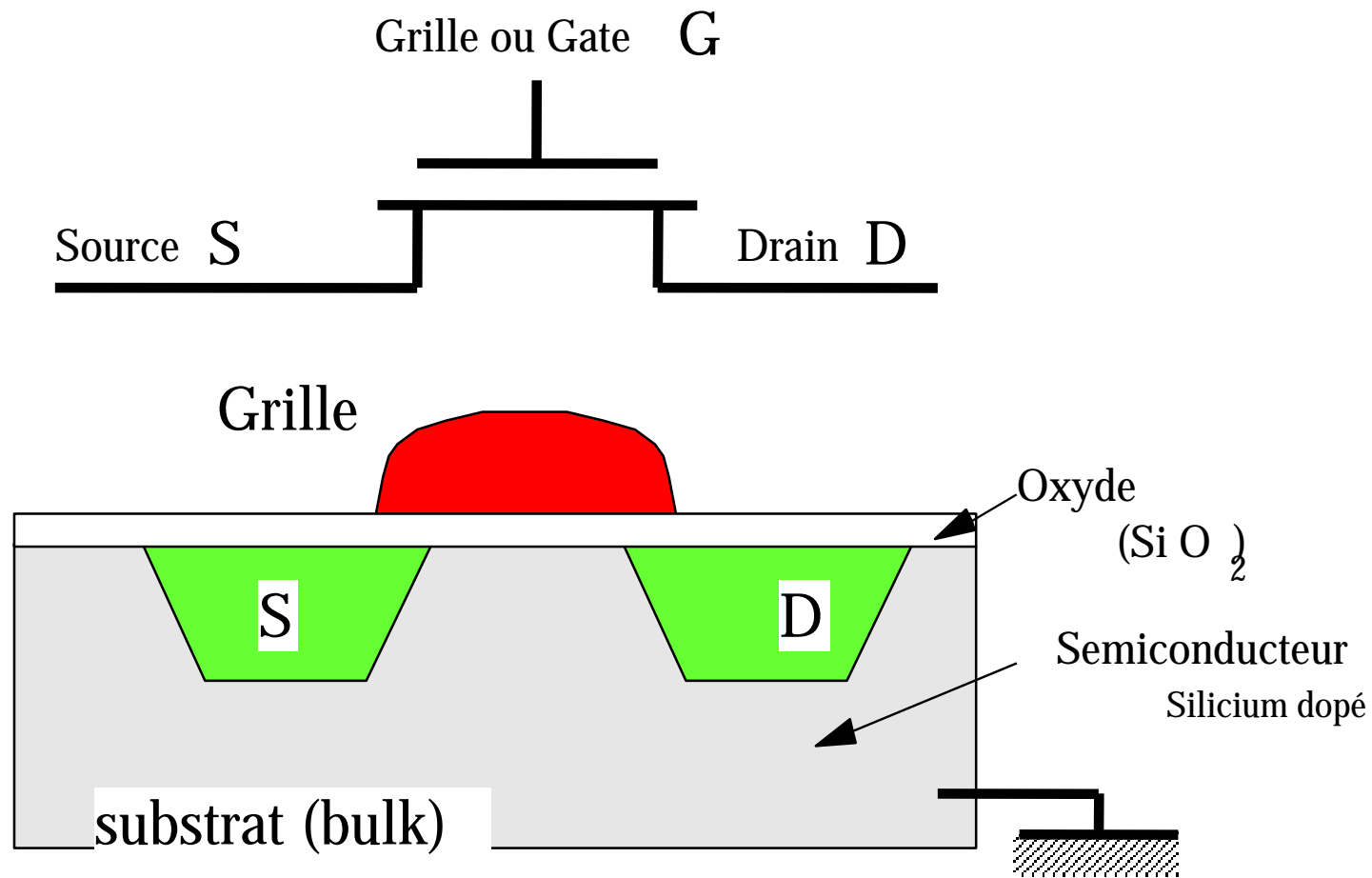
1 pour 1000 à 1 000 000 Si



# Jonction pn



# MOS: Métal/Oxyde/Semiconducteur



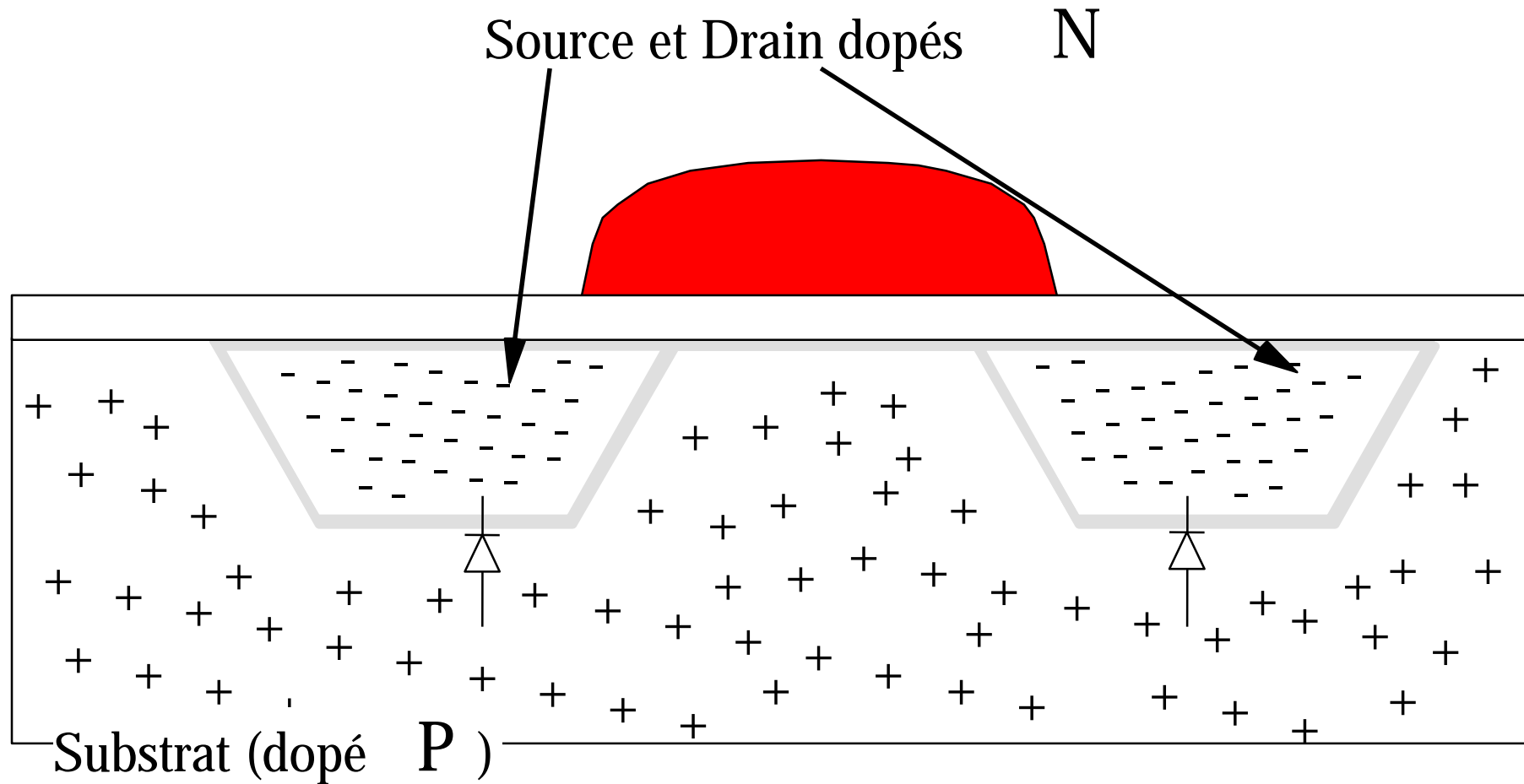
Au début (RCA 1962) la grille était en Aluminium d'où le nom MOS:  
Métal/Oxyde/Semiconducteur

Le MOS est parfaitement symétrique et on appelle SOURCE (d'électrons) le côté le plus négatif (*le plus positif pour les PMos*)

Le substrat est mis à la masse (*à  $V_{dd}$  pour les PMos*)

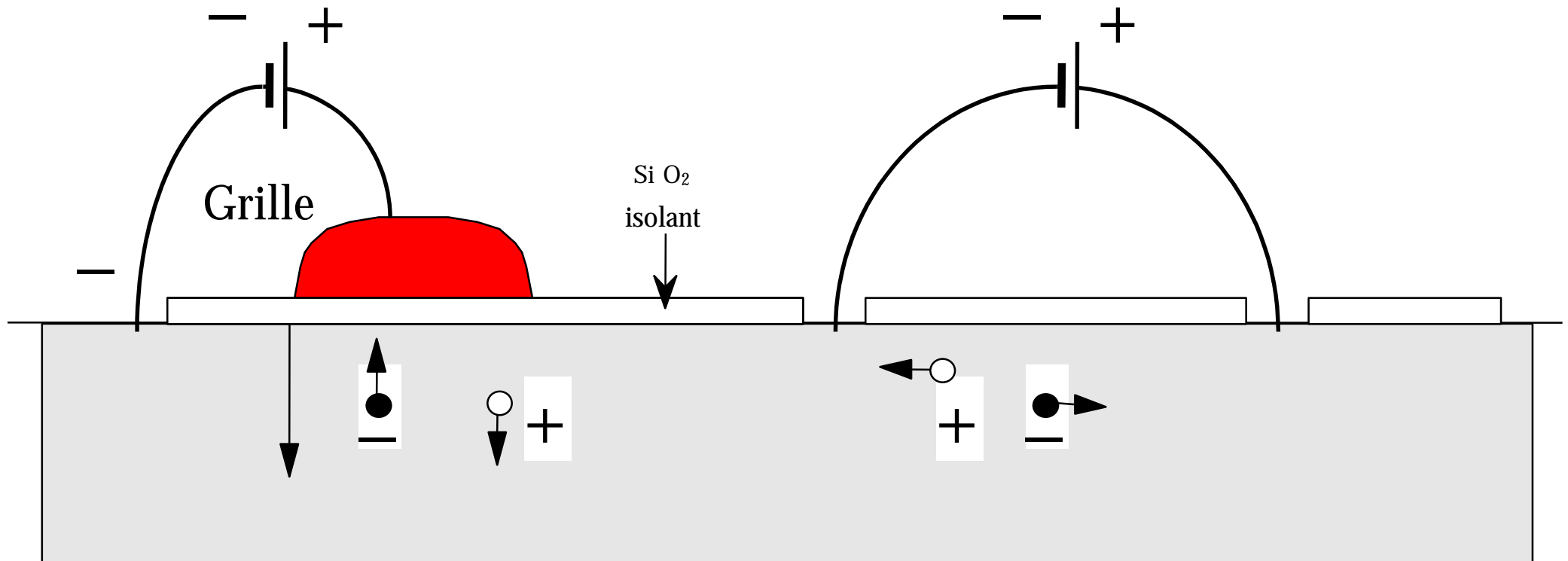


# MOS: isolation par diode



Entre les zones ayant des électrons (-) libres et celle ayant un déficit d'électrons (+) il y a une zone dépourvue de tout porteur et donc non conductrice ou isolante (à condition que les jonctions PN soient correctement polarisées)

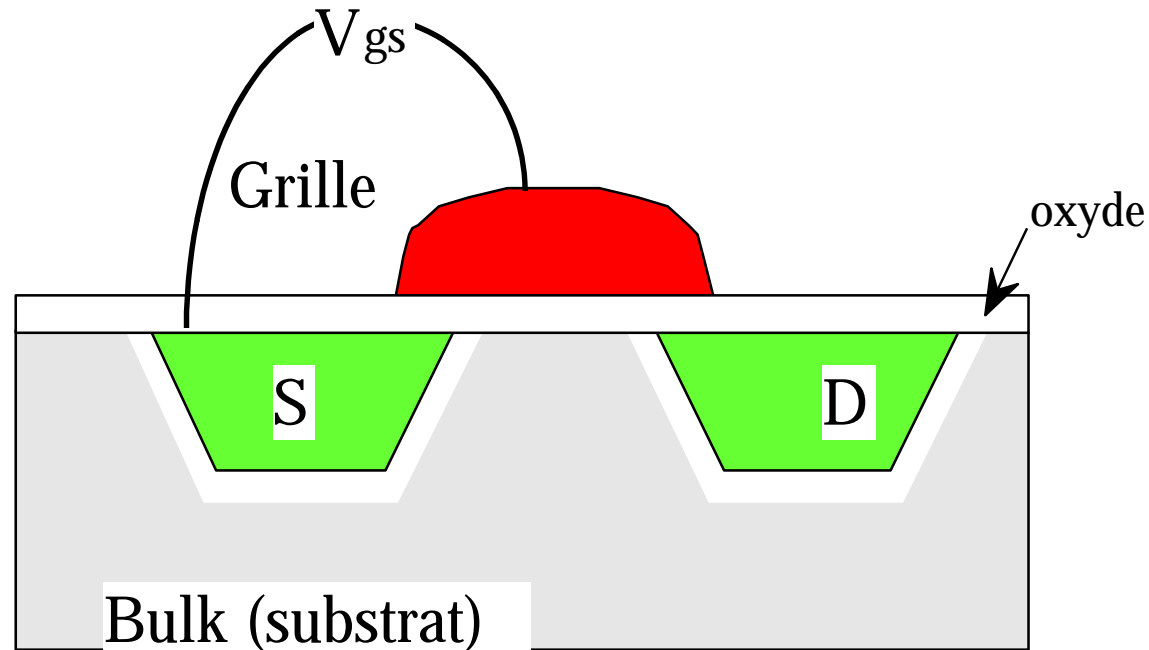
# MOS: Effet d'un champ électrique



Champs vertical: porteurs attirés  
ou repoussés: changement de la  
concentration

Champs horizontal: vitesse  
limitée par la mobilité  
des porteurs

# MOS: état bloqué

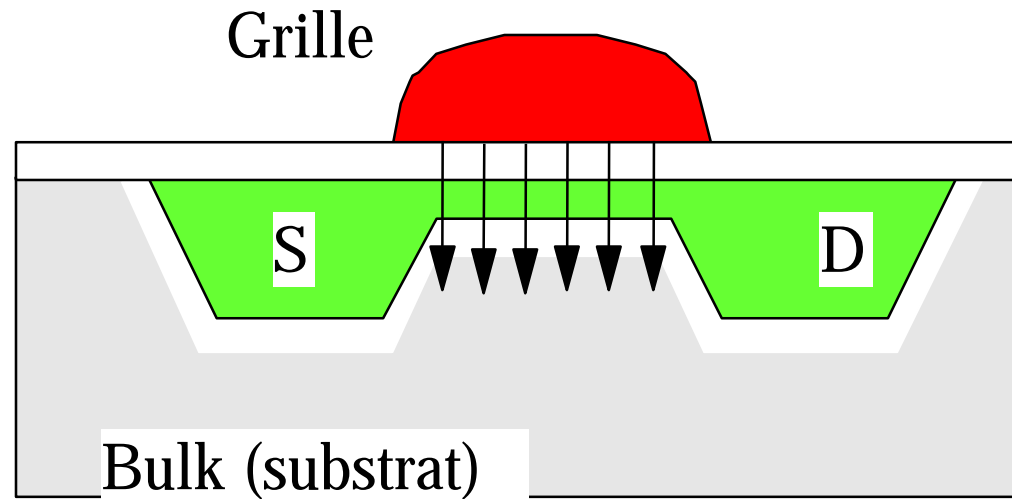


Si  $V_{gs}$  est inférieur à  $V_t$  (tension de seuil dépendant du dopage et de l'épaisseur d'oxyde) le transistor est bloqué

Sa conduction extrêmement faible est exploitée en micropuissance

La résistance de la couche d'oxyde est  $> 10^{12} \Omega$ .

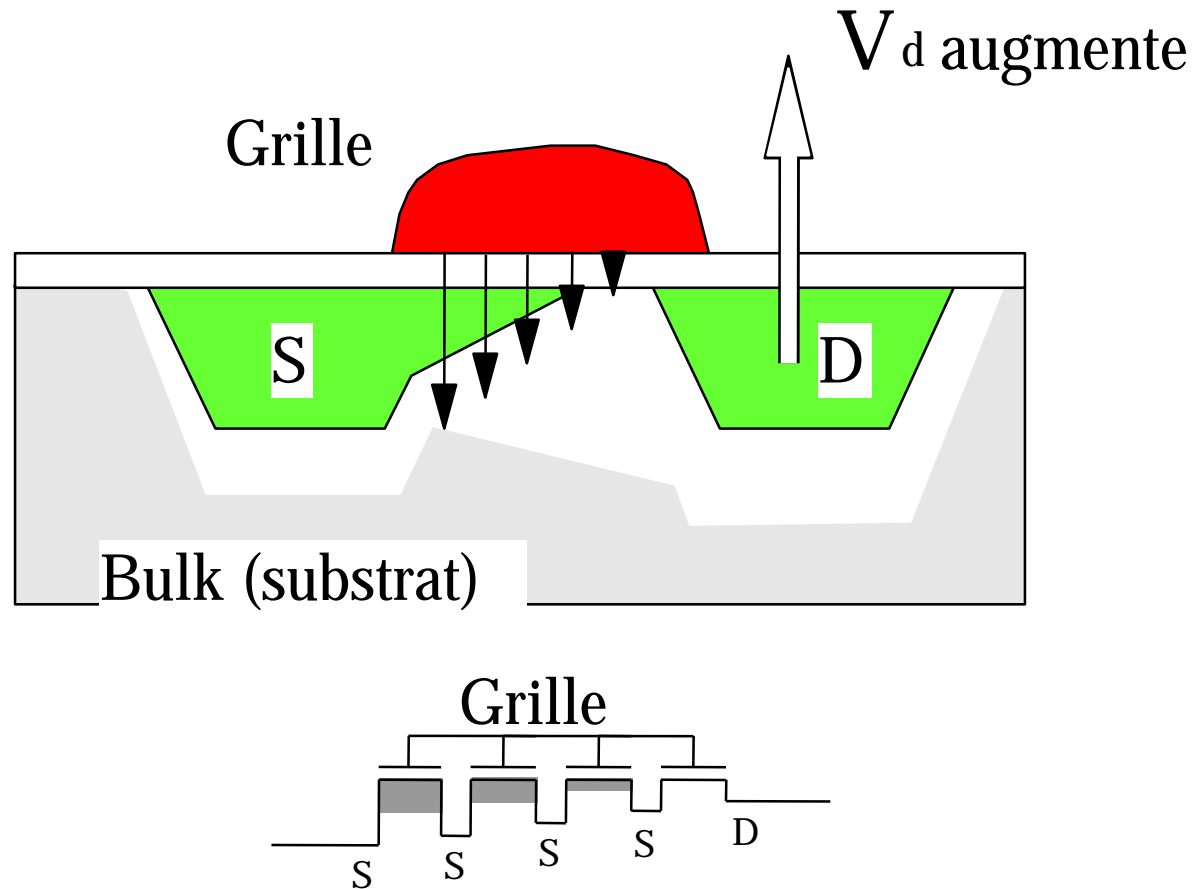
# MOS: état passant



Si  $V_{gs}$  est supérieur à  $V_t$  (tension de seuil) le transistor conduit  
Les charges positives sont repoussées vers le bas et les charges négatives (électrons) attirées vers le haut s'accablent sous la grille.  
Il y a inversion, et création d'un canal.

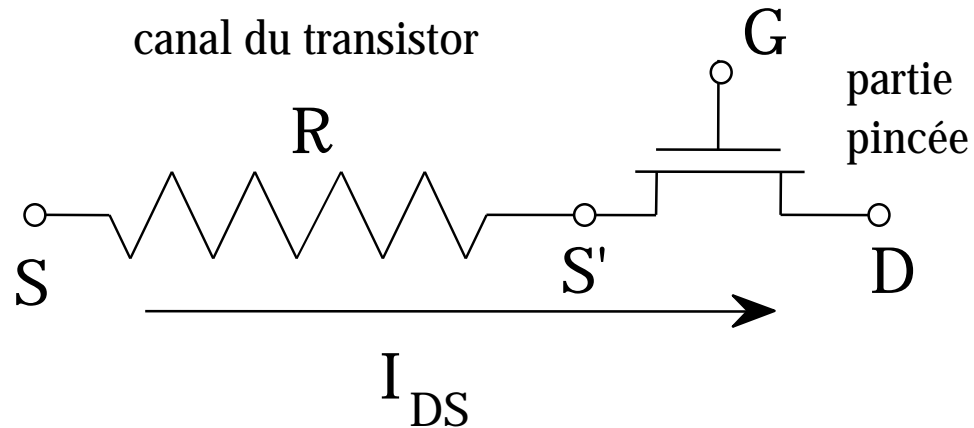
Si le champ augmente, la densité de charges augmente et la profondeur du canal augmente également. Les charges disponibles croissent comme le carré du champ

# MOS: état saturé



Si  $V_d$  augmente trop alors  $V_{gd}$  devient inférieur à  $V_t$  alors le MOS se bloque du côté du drain. Plus  $V_d$  augmente, plus la résistance du MOS augmente. Le courant reste alors constant. On dit que le MOS sature.

# MOS: état saturé



$$V_{S'} = V_S + R * I_{DS}$$

La tension en S' contrôle le transistor par  $V_{GS'}$

$\Rightarrow$  Le courant  $I_{DS}$  contrôle le transistor

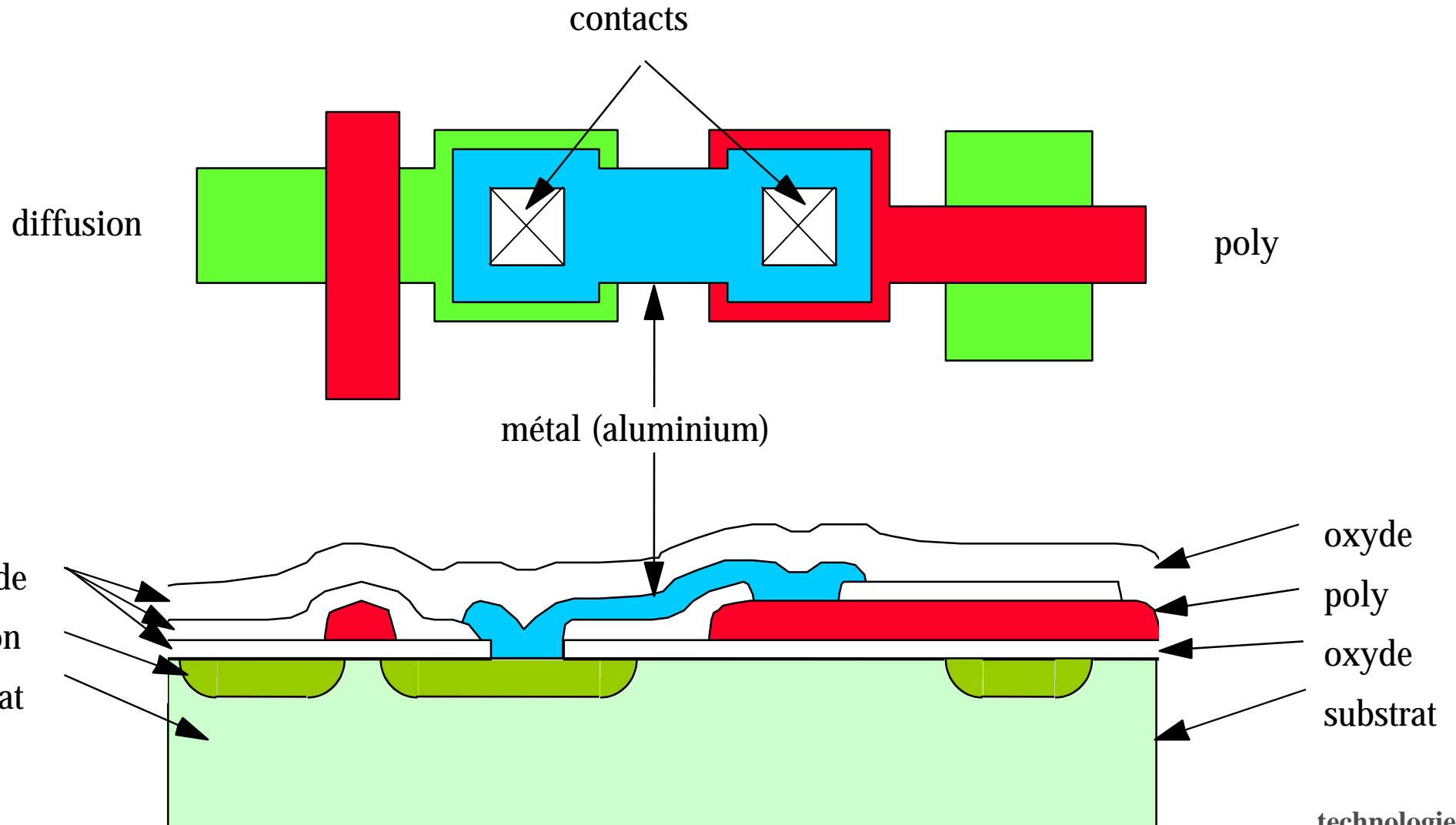
$\Rightarrow$  Le courant  $I_{DS}$  reste constant

$I_{DS} \uparrow \Rightarrow V_{S'} \uparrow \Rightarrow V_{GS'} \downarrow \Rightarrow I_{DS} \downarrow$   
 $I_{DS} \downarrow \Rightarrow V_{S'} \downarrow \Rightarrow V_{GS'} \uparrow \Rightarrow I_{DS} \uparrow$

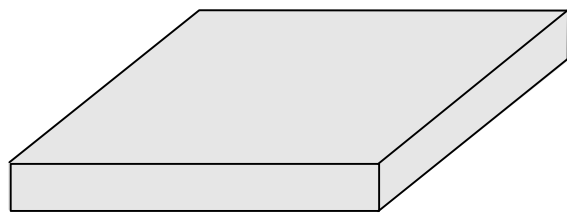
}  $I_{DS}$  constant

# Coupe d'un transistor

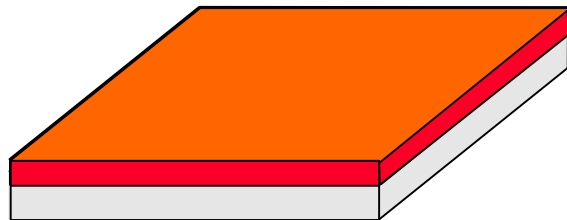
Un circuit intégré est une superposition de couches, semi-conductrices, conductrices ou isolante



# Photogravure: exposition

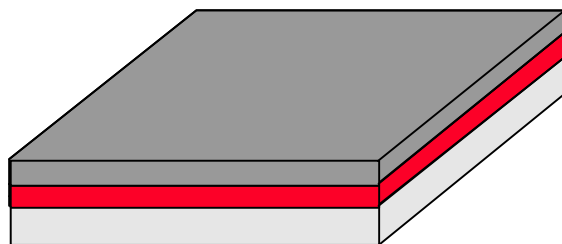


Silicium



Dépot

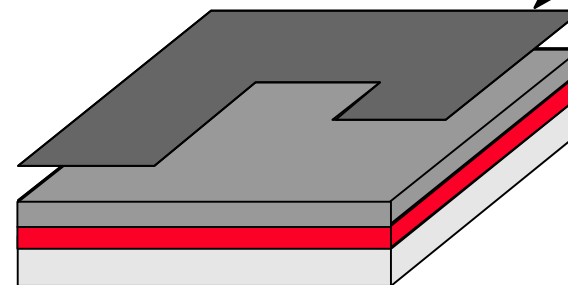
Alu évaporation  
condensation  
SiO<sub>2</sub> oxydation  
précipitation



Résine  
photosensible

Tournette  
force centrifuge  
pour tendre  
évaporation solvant  
cuisson

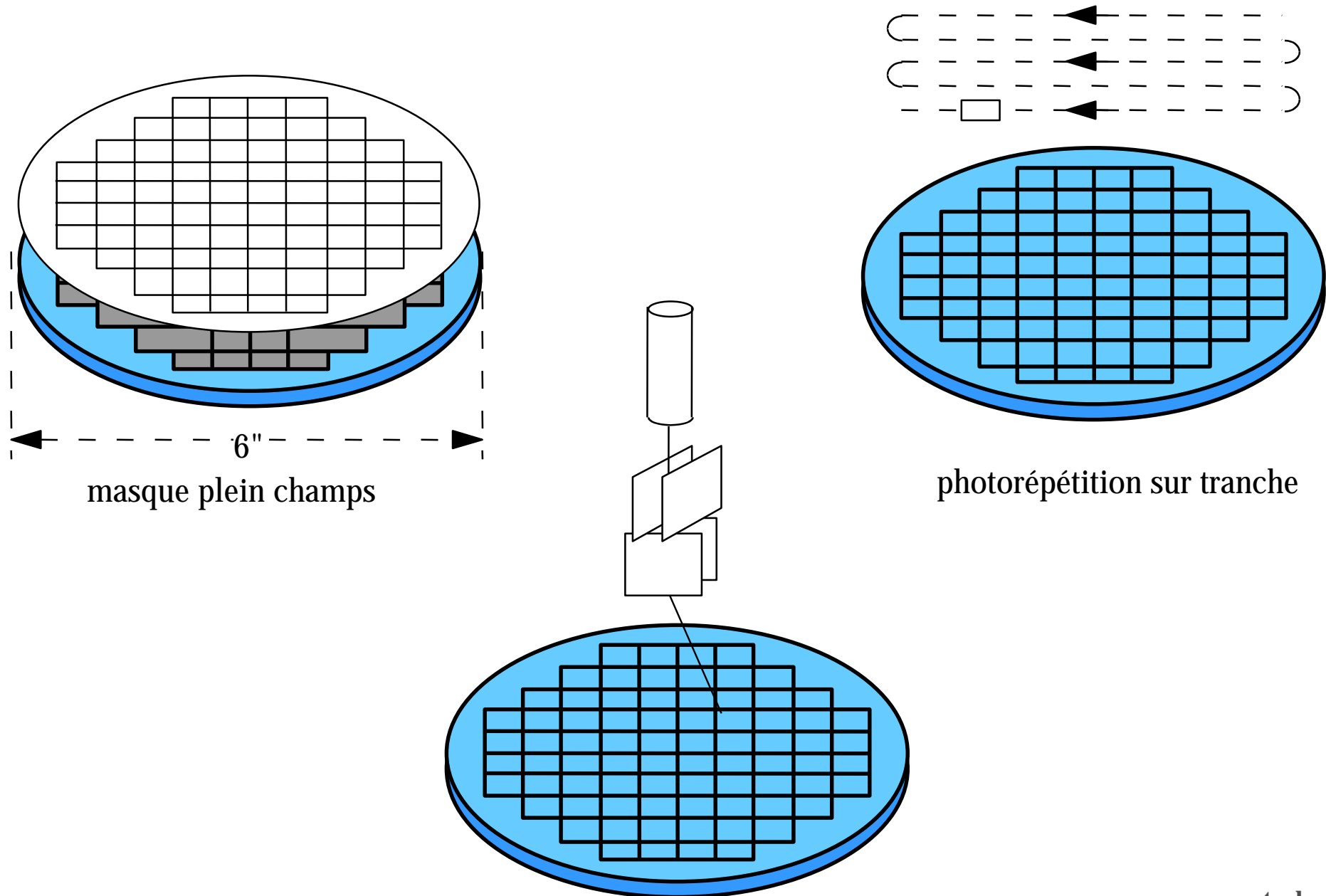
lumière ultra-violette  
faisceau d'électrons  
rayons X



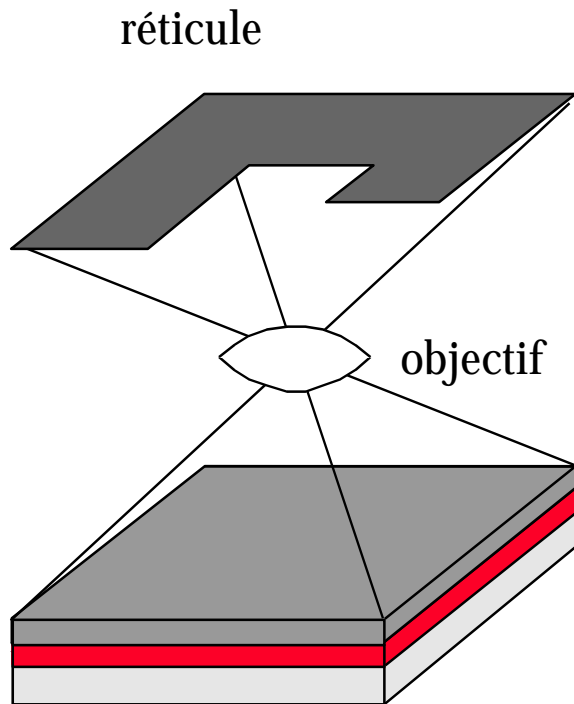
exposition  
à travers un  
masque  
opaque



# Photogravure: exposition



# Photogravure: exposition

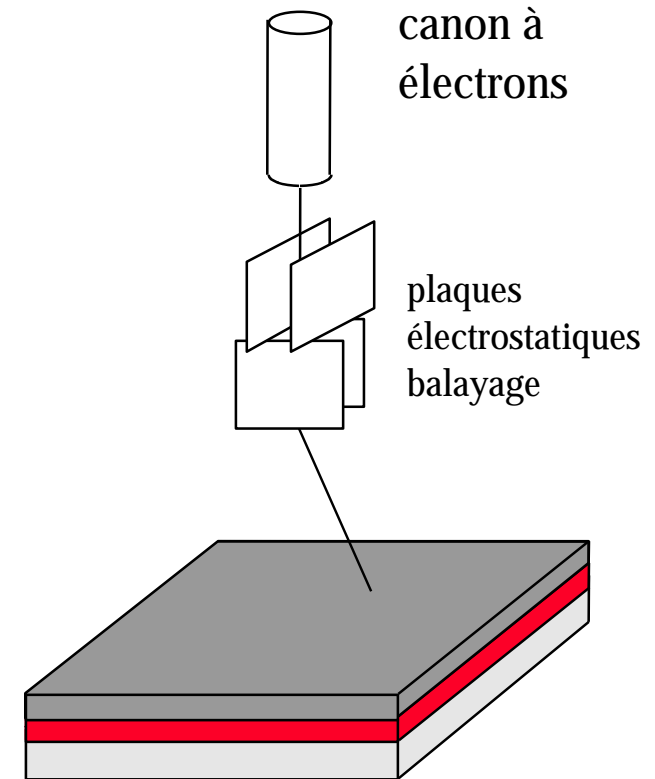


Résolution =  $0,5 \lambda / \text{ouverture}$

Actuellement  $\lambda = 250 \text{ nm}$

résolution =  $0,25 \mu$

profondeur de champs =  $\mu$



Pas de masque

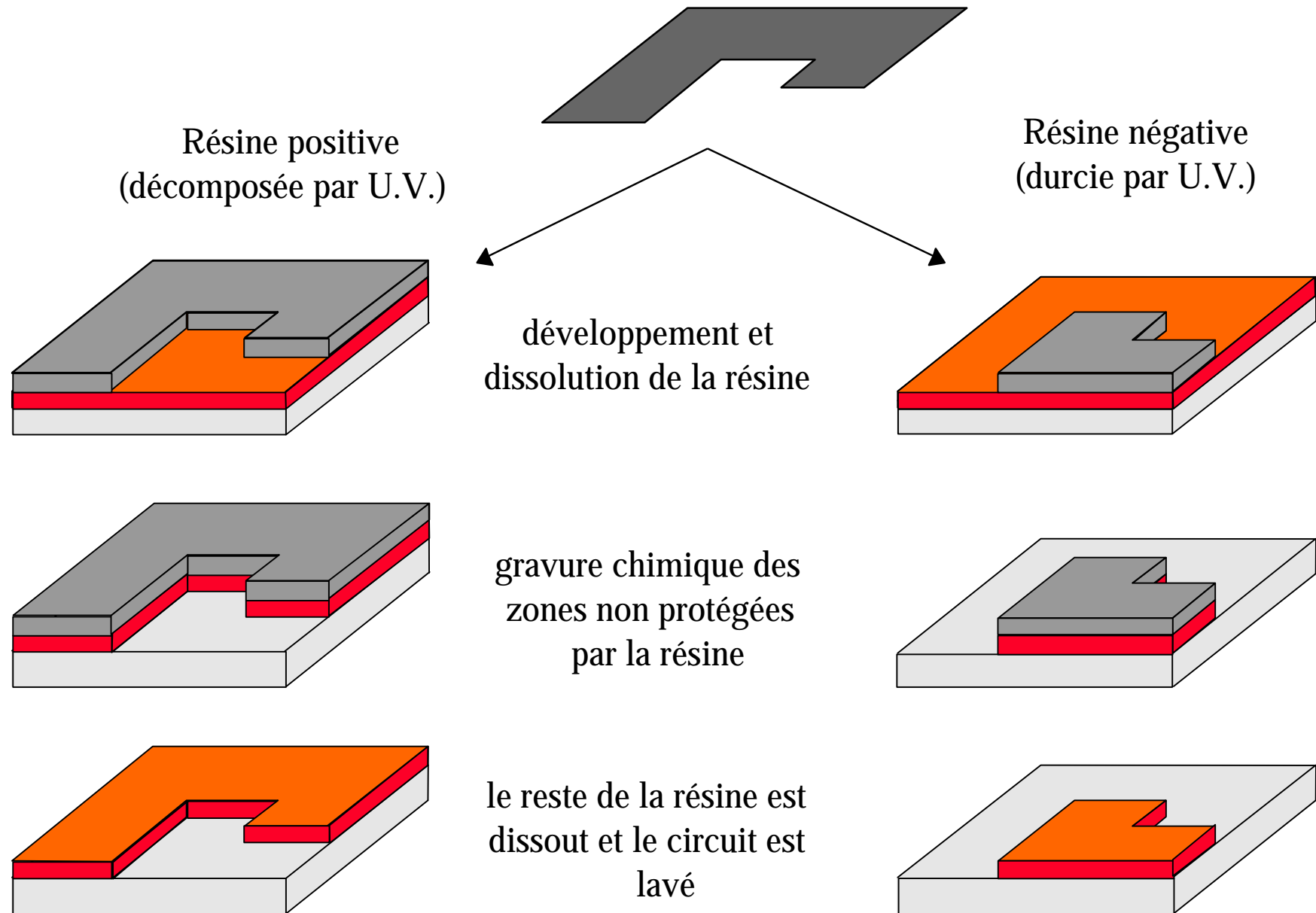
résolution =  $0,1 \mu$

alignement =  $0,2 \mu$

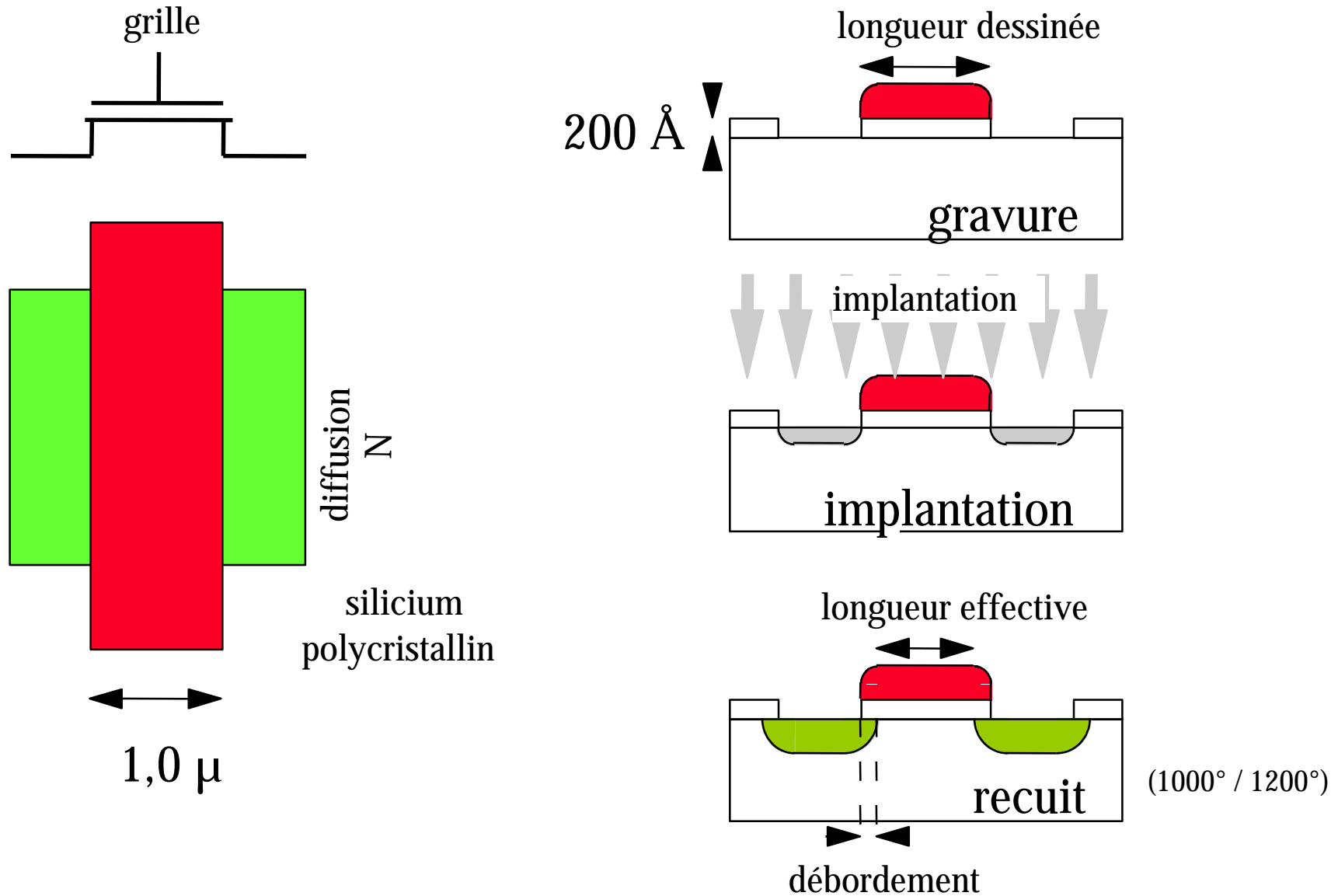
petite série (prototype)

dispersion des électrons

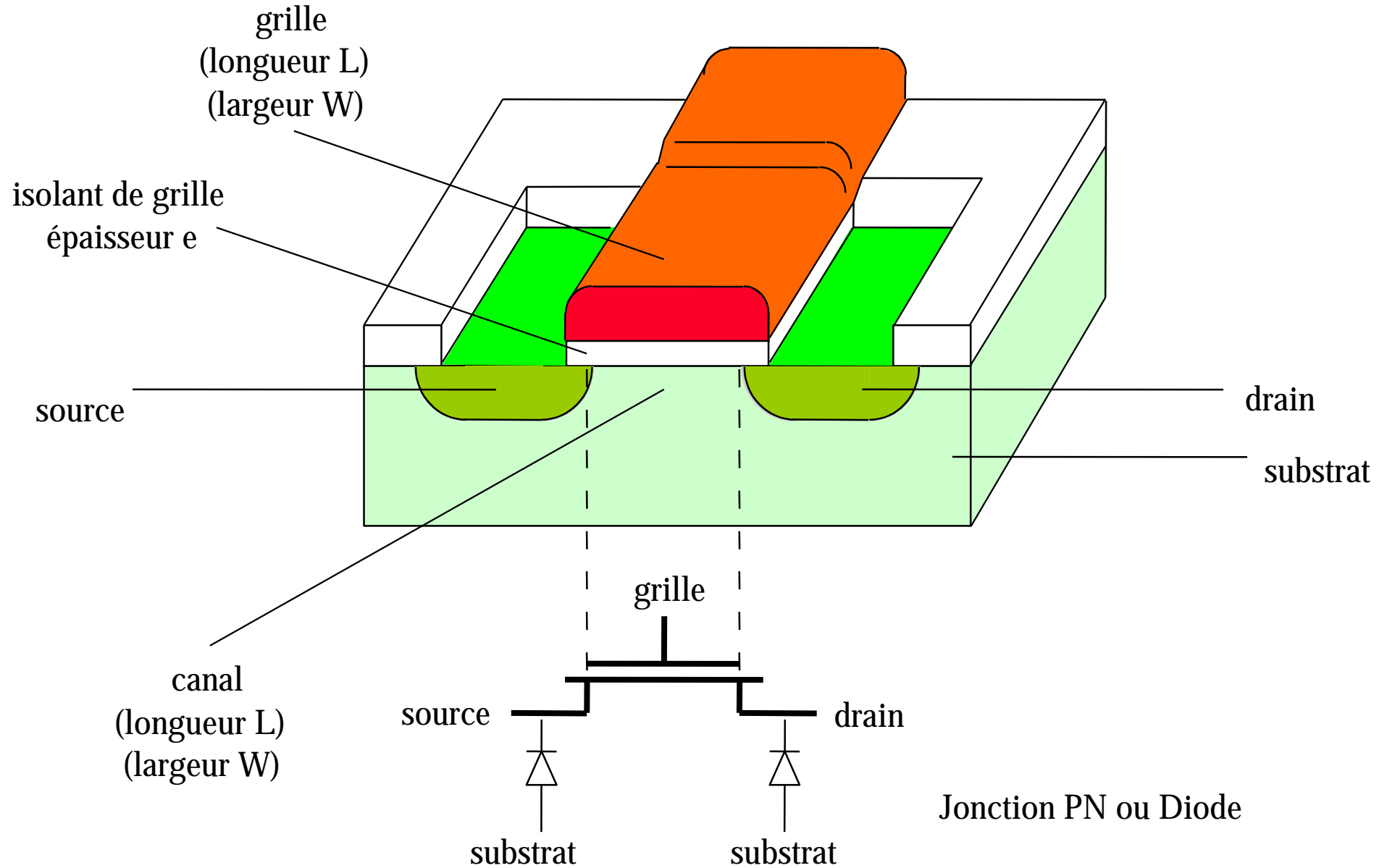
# Gravures des zones non masquées



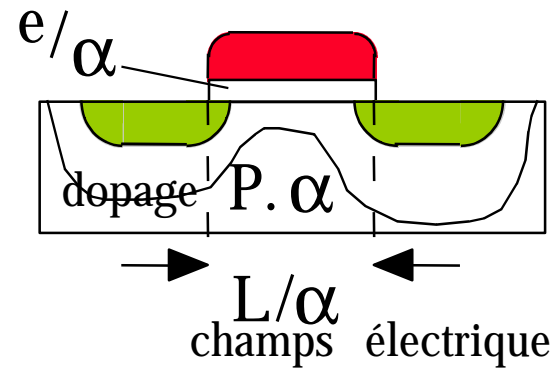
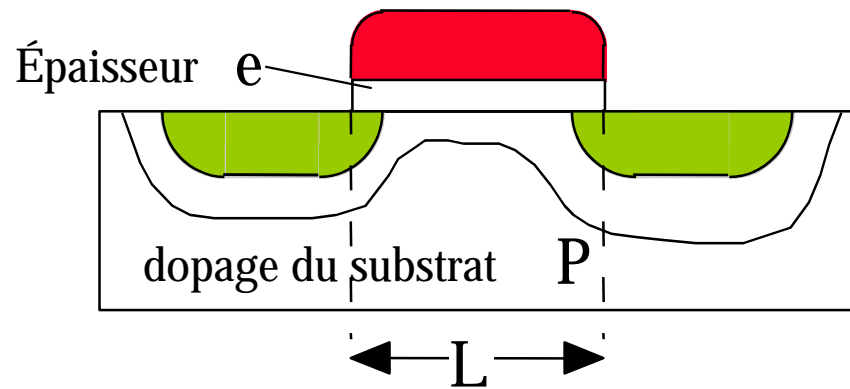
# Fabrication d'un transistor



# Transistor fabriqué



# Maigrissement homothétique $\alpha$ des technologies



Longueur de canal	$L$	$1/\alpha$
Largeur de canal	$W$	$1/\alpha$
Épaisseur d'isolation de grille	$e$	$1/\alpha$
Tension d'alimentation	$V_{dd}$	$1/\alpha$
Taille des fils		$1/\alpha$
Dopage substrat		$\alpha$
Densité (transistors/surface) = $1/WL$		$\alpha^2$
Vitesse (inverse du délai) = $I.e/V.W.L$		$\alpha$
Puissance totale dissipée		$1/\alpha^2$

# Diminution $\alpha$ de la tension d'alimentation $V_{dd}$

Augmentation du délai

$$1/\alpha$$

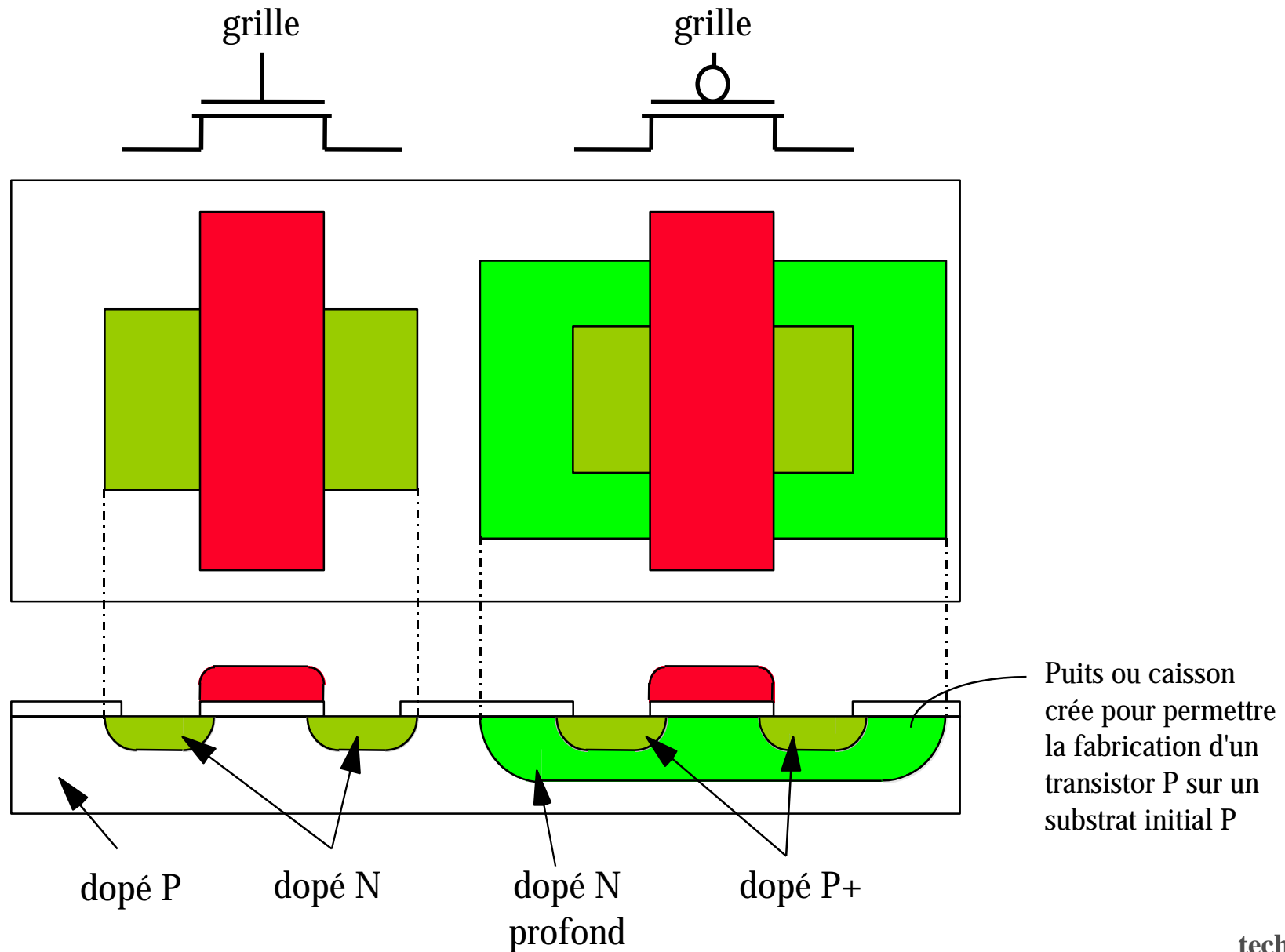
Diminution de la puissance

$$1/\alpha^2$$

perçage d'isolant  
électromigration  
électrons chauds

saturation de la vitesse des porteurs  
augmentation de la résistance  
diminution de la mobilité

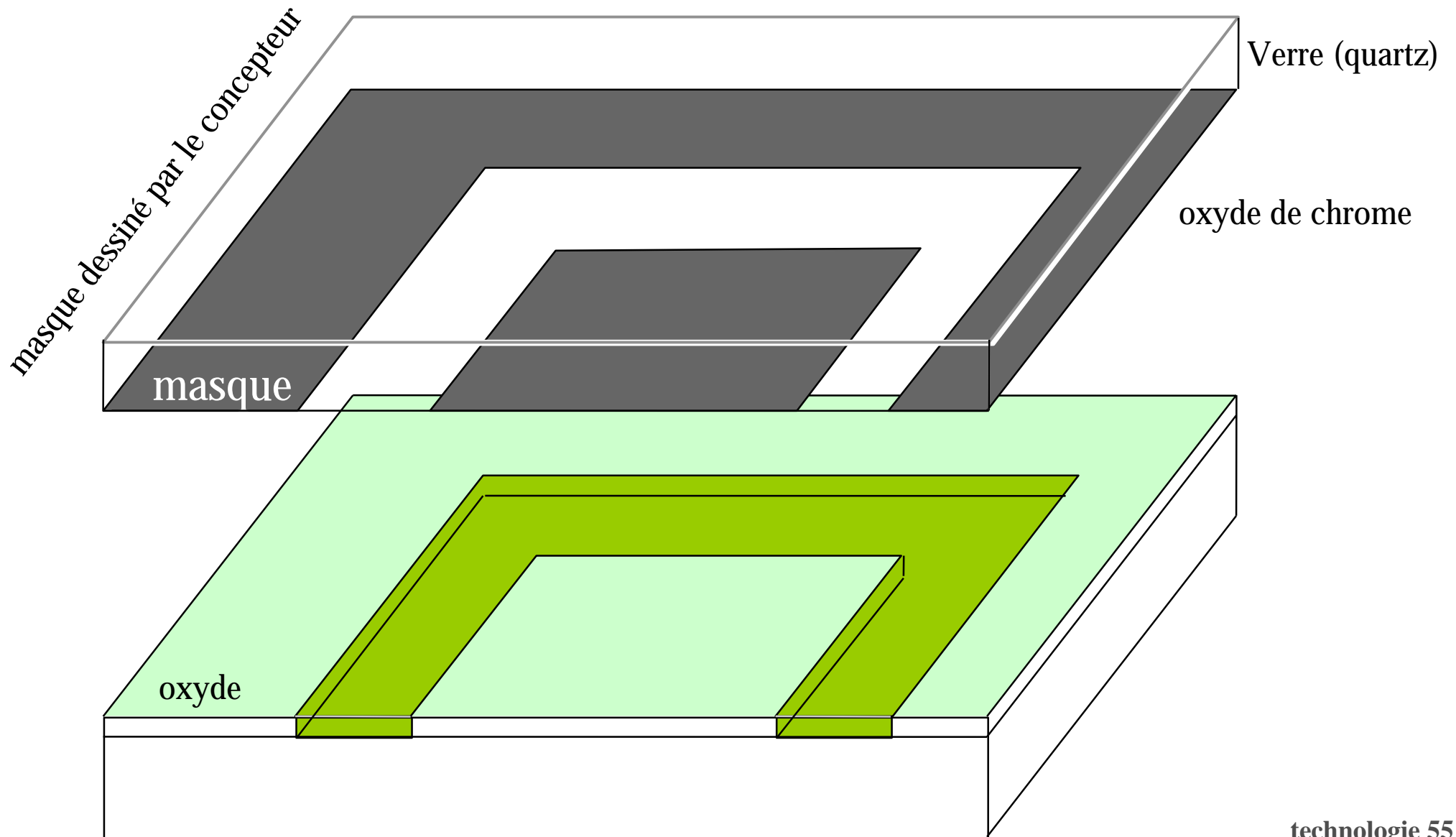
# Transistors complémentaires fabriqués sur le même substrat



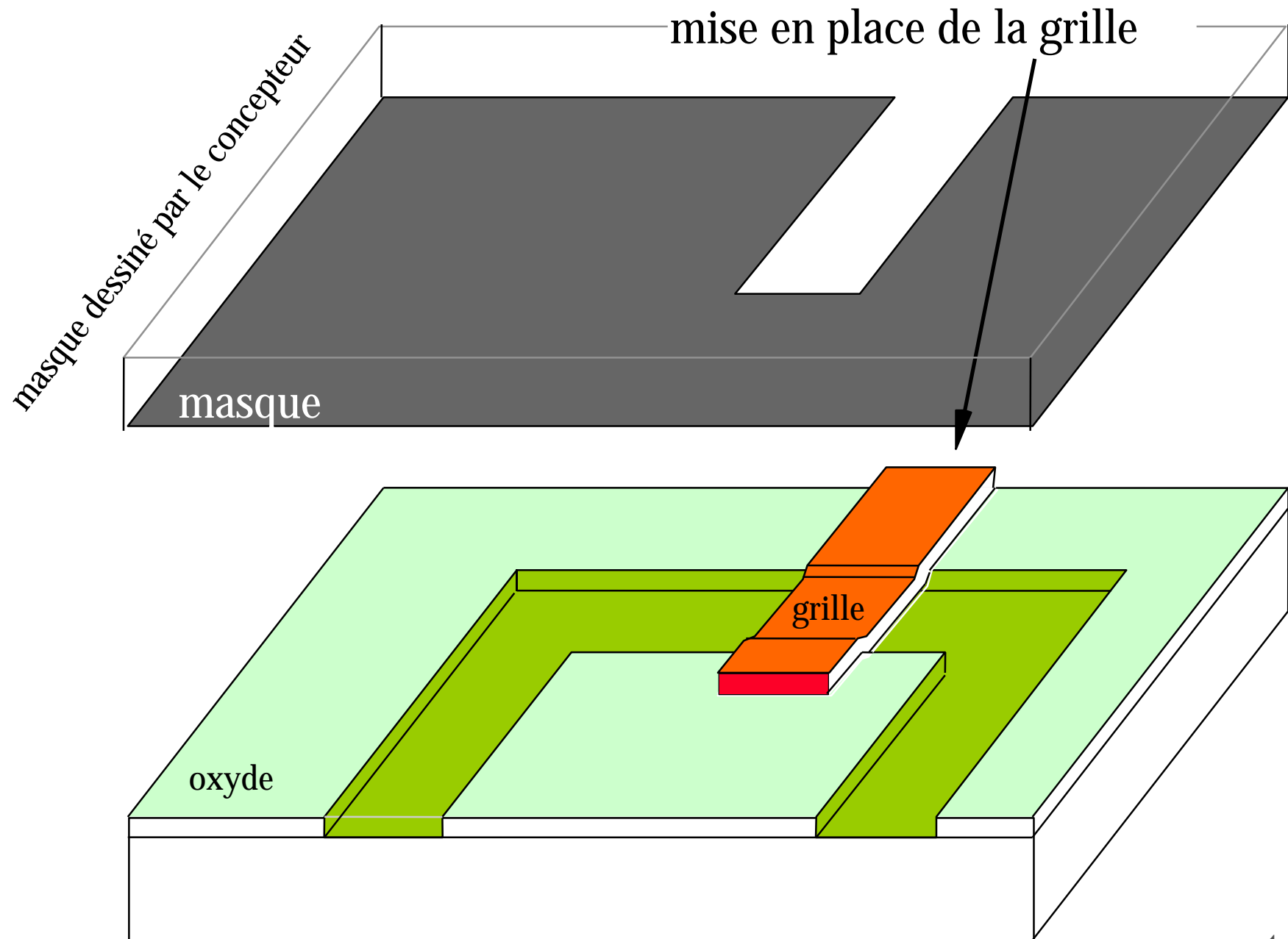


# Etapes de fabrication (1)

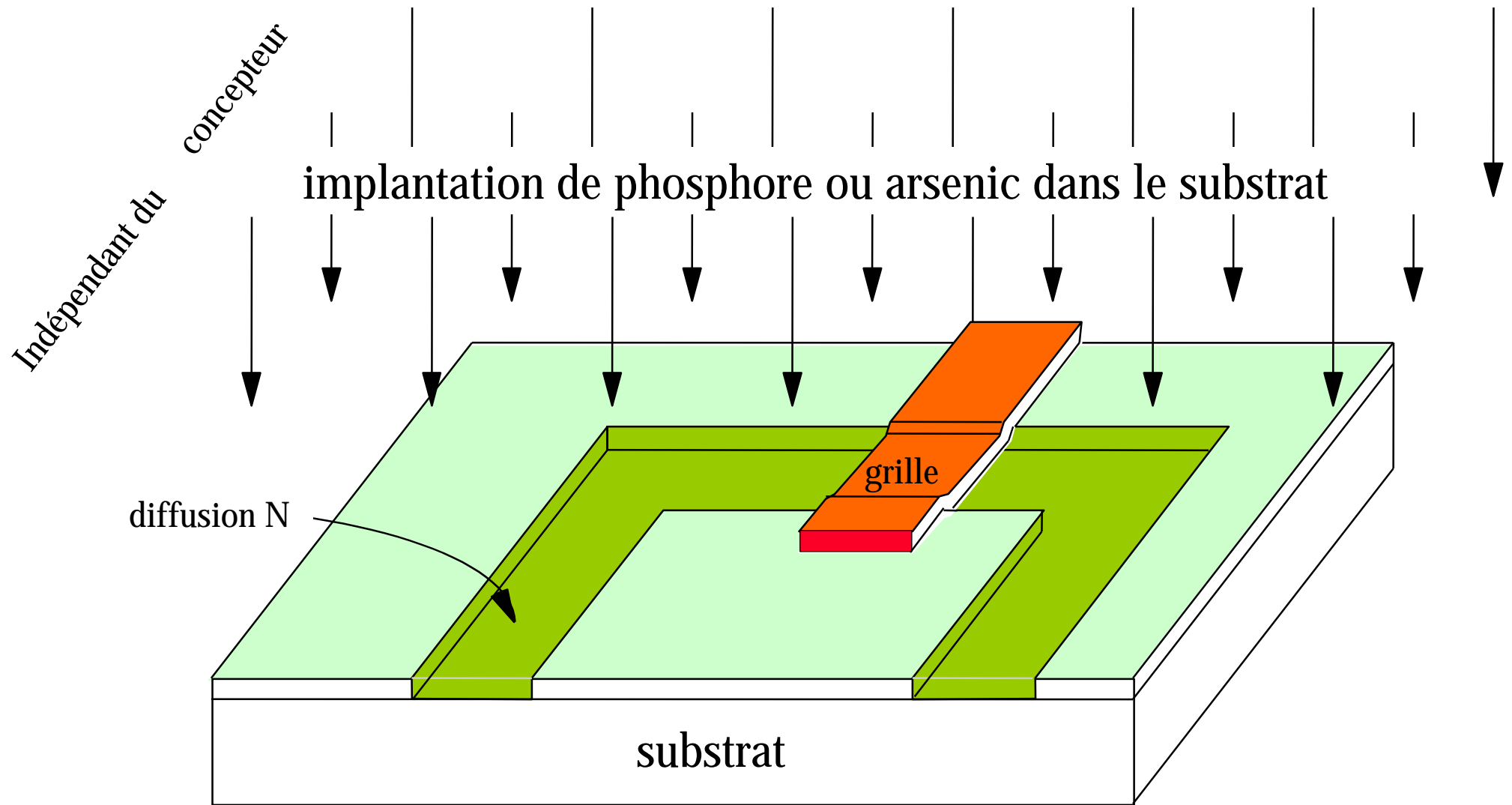
découpe dans l'oxyde



# Etapes de fabrication (2)



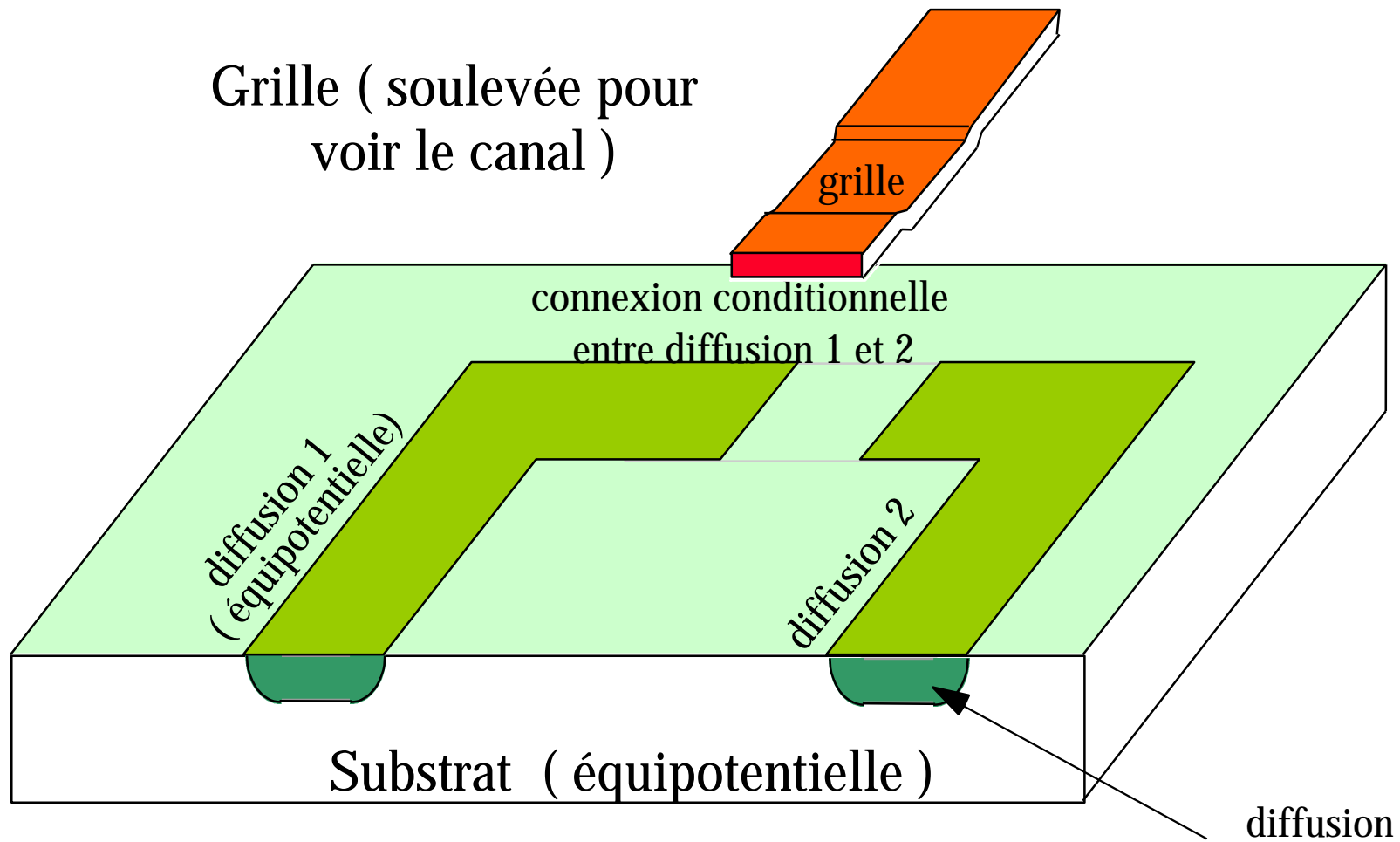
# Etapes de fabrication (3)



Ions d'ARSENIC ou PHOSPHORE pour la diffusion N et de BORE pour P

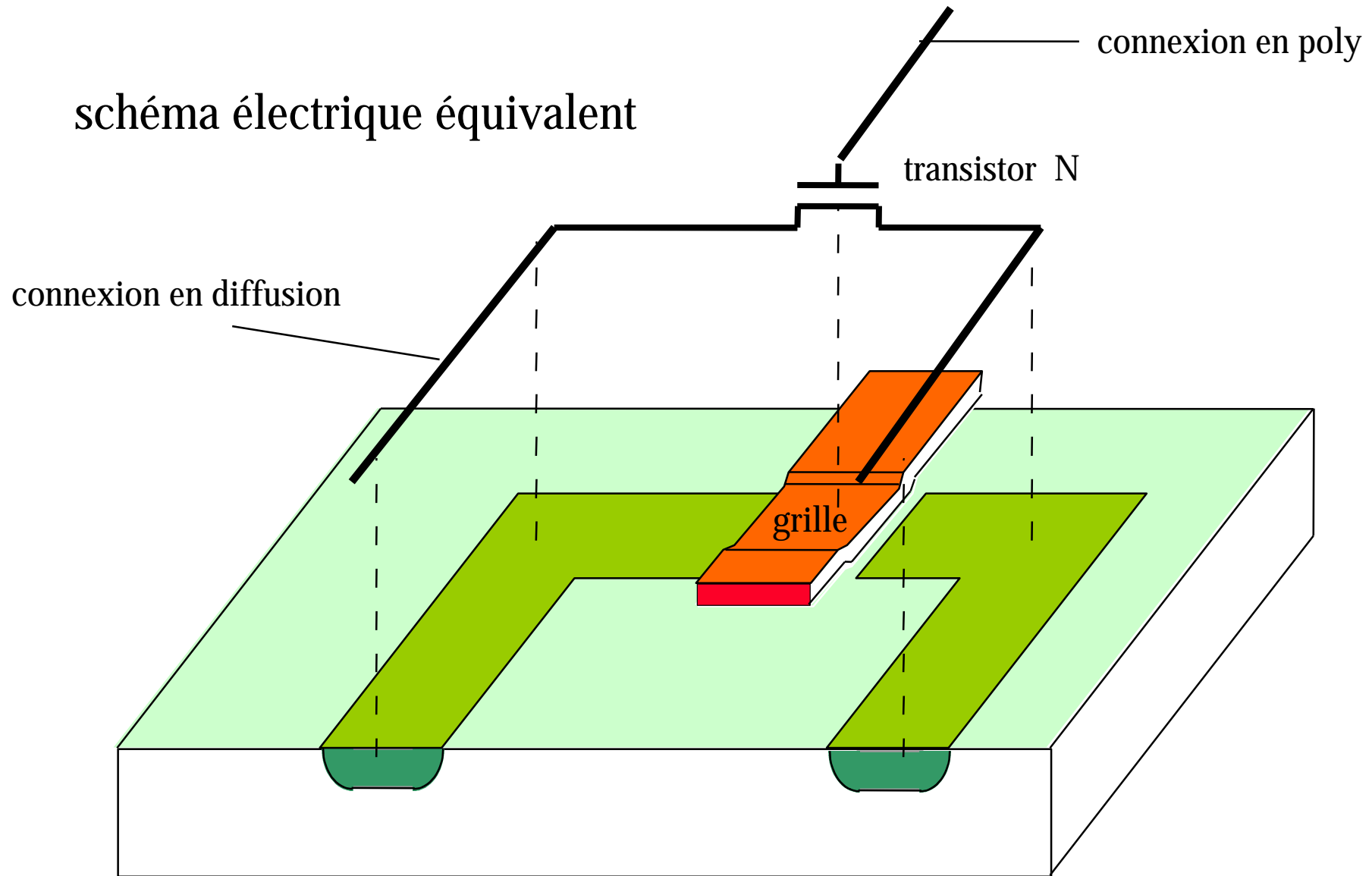
*La grille et l'oxyde épais servent de masque*

# Etapes de fabrication (4)



Le transistor est parfaitement aligné avec sa grille (technologie autoalignée)

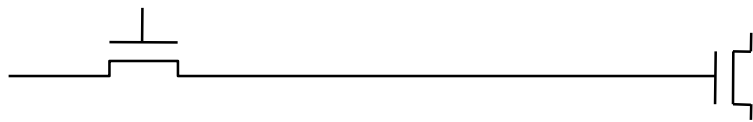
# Connexions de transistors



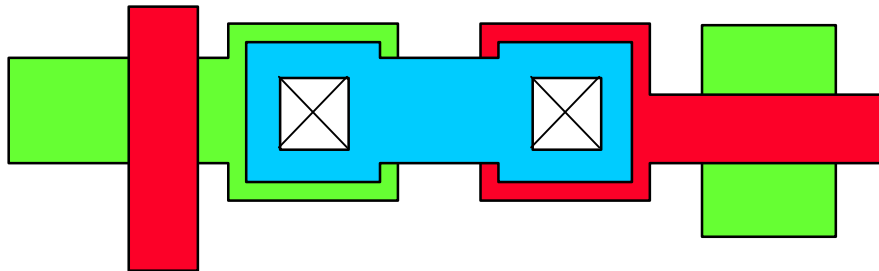
Remarque: on construit simultanément les connexions de bas niveau (poly et diff) et les transistors

# Trois vues de 2 transistors

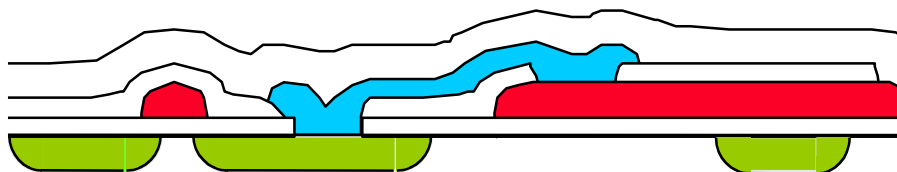
(bas niveau)



Electrique

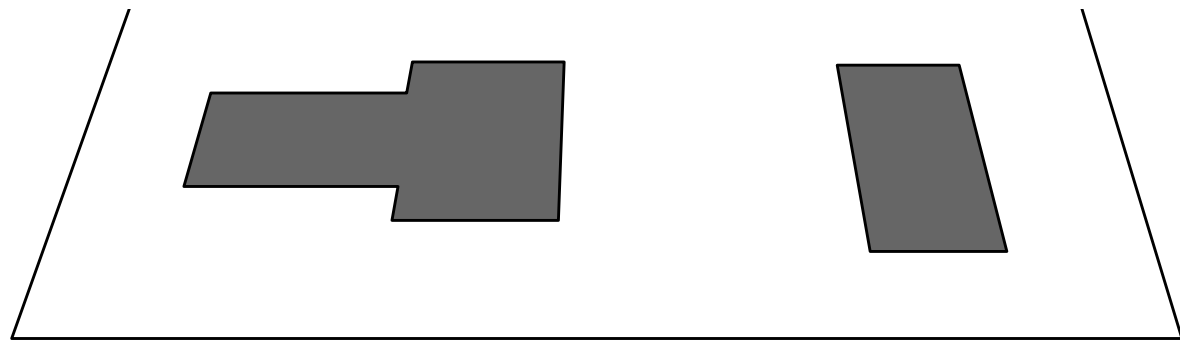


Dessin des masques

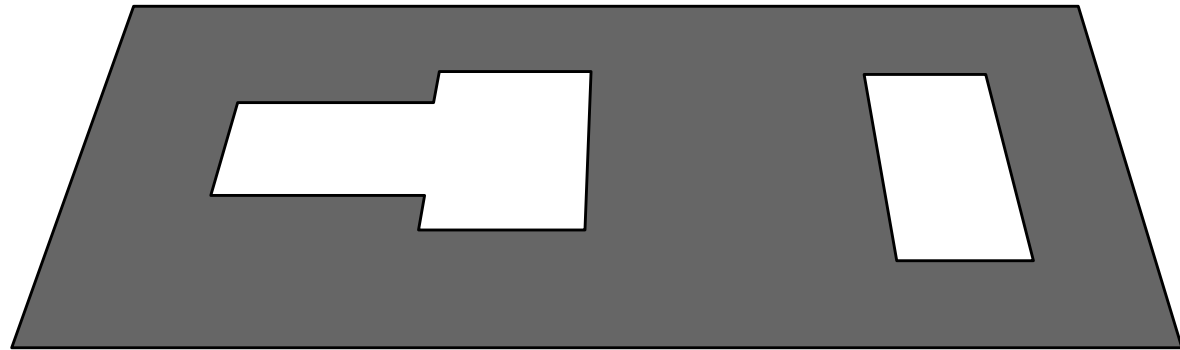


Vue en coupe

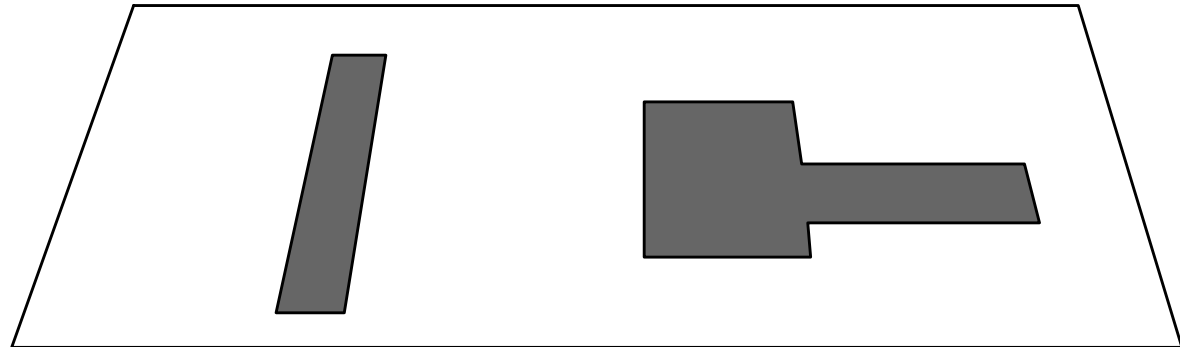
Oxyde mince  
Photolithographie  
des zones actives  
Croissance de  
l'oxyde épais



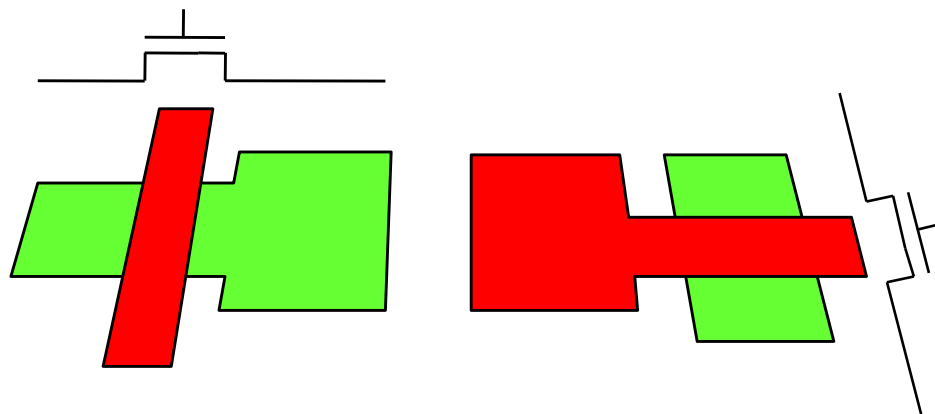
Implantation  
sélective  
(ajustement seuils)



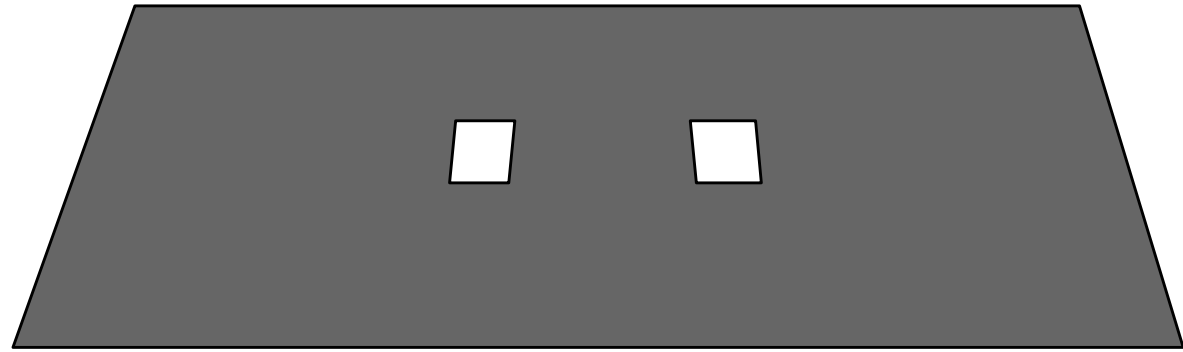
Dépôt et  
Photolithographie  
du polysilicium  
Implantation



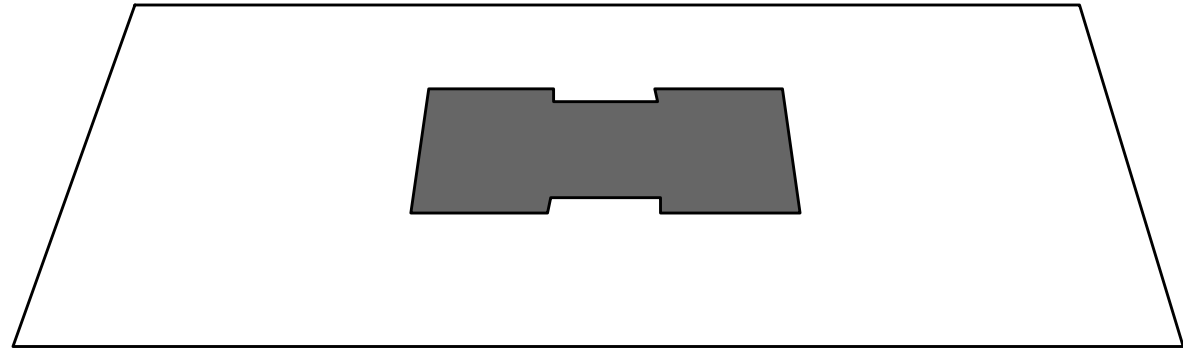
A la fin de ces opérations  
les transistors sont définis.  
Il reste à les interconnecter



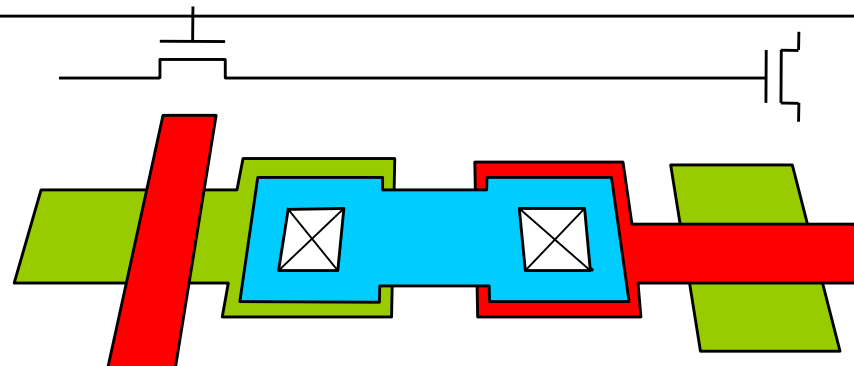
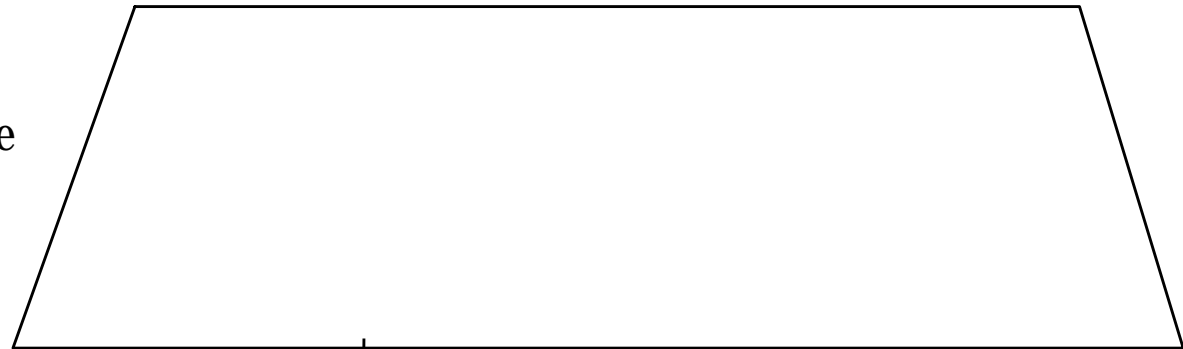
Dépôt puis gravure  
de l'oxyde épais  
(CVD)



Dépôt puis gravure  
des connexions  
en aluminium

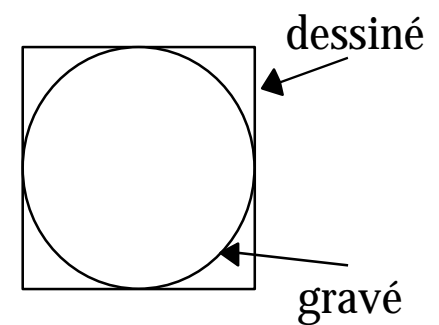
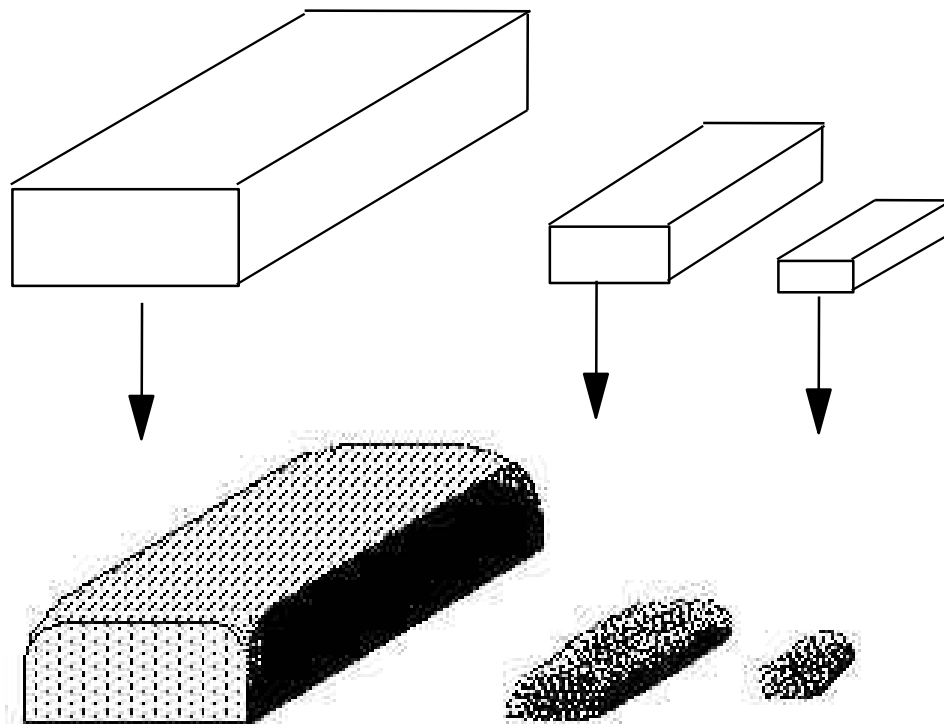


Dépôt d'oxyde, gravure  
dépôt d'aluminium, gravure  
des autres niveaux  
d'interconnexion





# Réduction des dimensions



# Coût d'une Puce

$$C_{\text{puce}} = C_{\text{process}} + C_{\text{test}} + C_{\text{boîtier}} + C_{\text{test}}$$

$$C_{\text{process}} = \frac{C_{\text{tranche}}}{(\text{Puces / tranche}) * R_{\text{dm puce}}}$$

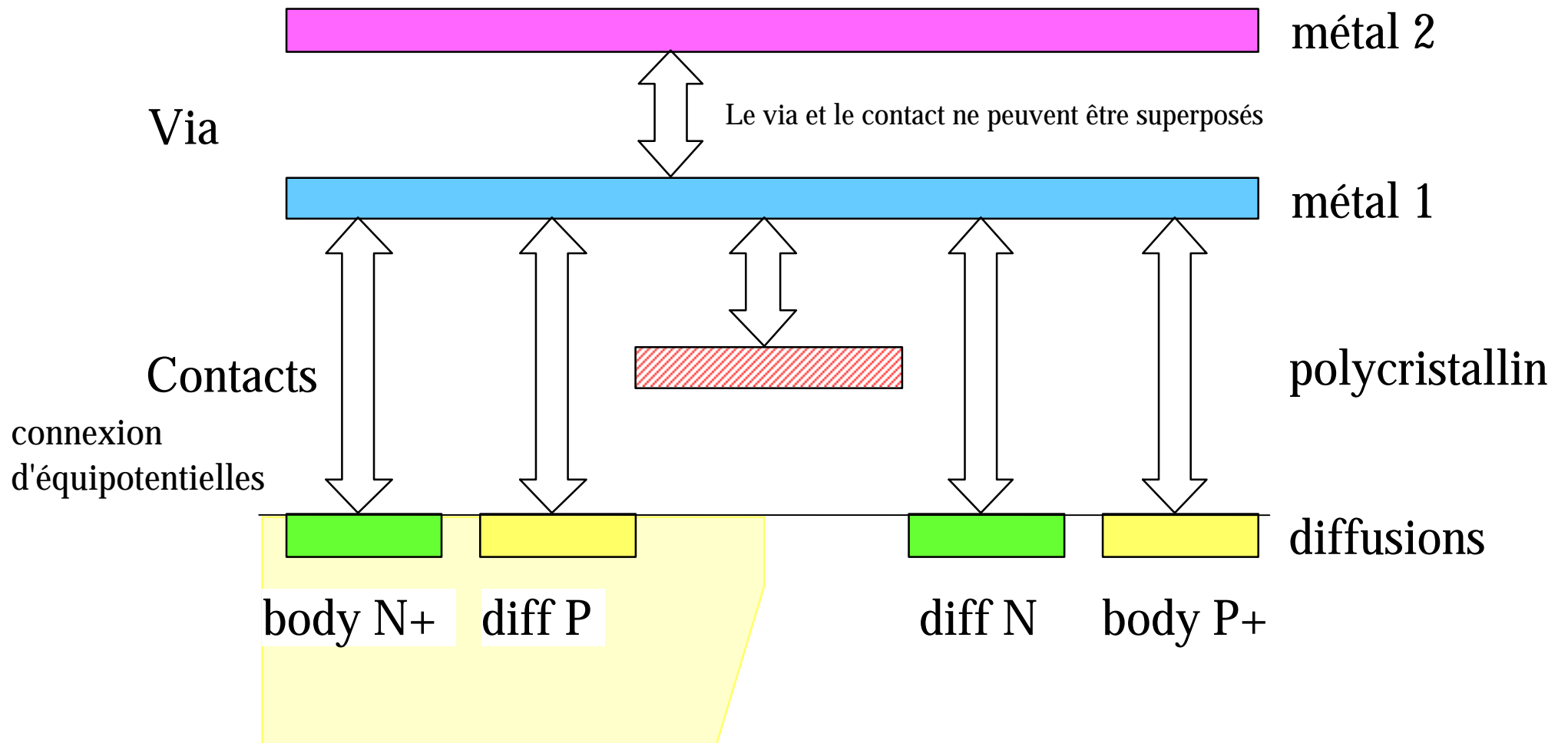
$$\text{Puces / tranche} = \frac{\pi * (\Phi_{\text{tranche}} / 2)^2}{S_{\text{puce}}} - \frac{\pi * \Phi_{\text{tranche}}}{\sqrt{2} * S_{\text{puce}}} - \text{motif test}$$

$$R_{\text{dm puce}} = \frac{R_{\text{dm tranche}}}{\sqrt{1 + \text{densité défaut}} * S_{\text{puce}}}$$

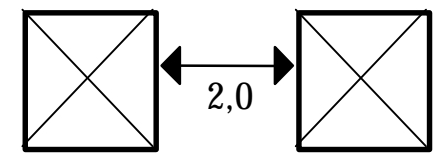
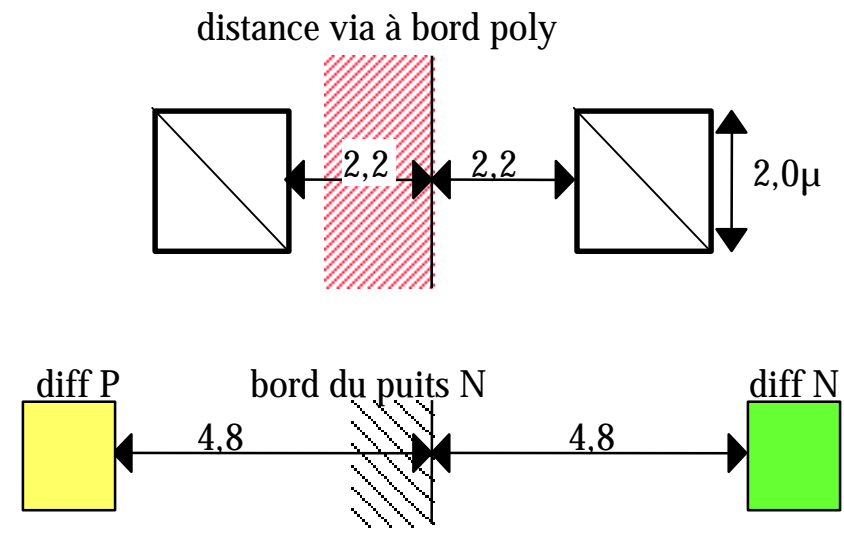
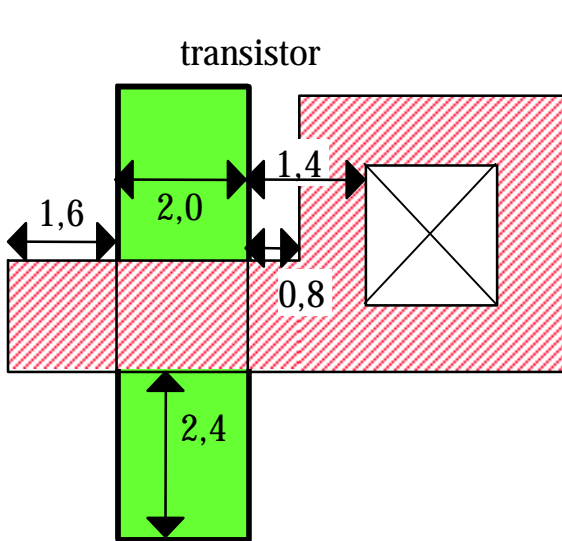
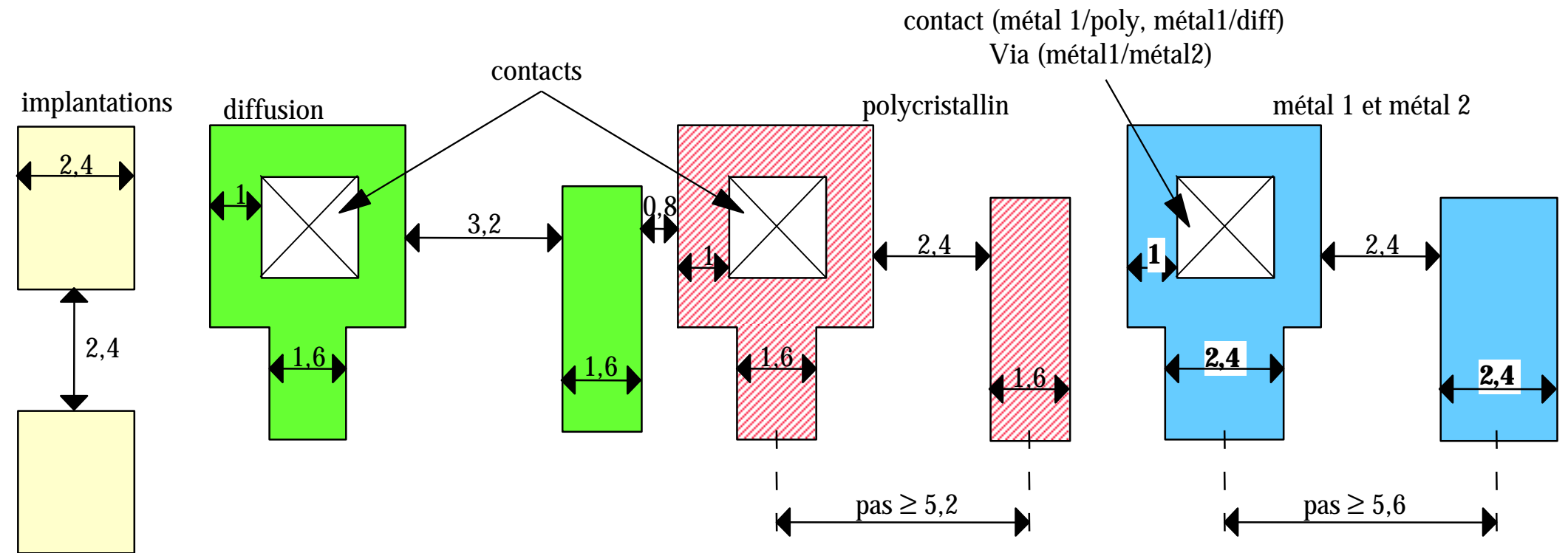
- C puce** = Coût de fabrication d'un circuit (puce)
- C process** = Part du process dans le coût total
- C tranche** = Coût de fabrication d'une tranche
- S puce** = Surface de la puce
- Rdm puce** = Nombre de puces bonnes rapporté au total
- Rdm tranche** = Nombre de tranches bonnes rapporté au total

# Interconnexions

(technologies à 2 niveaux de métal)

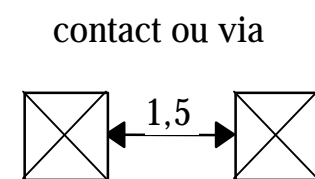
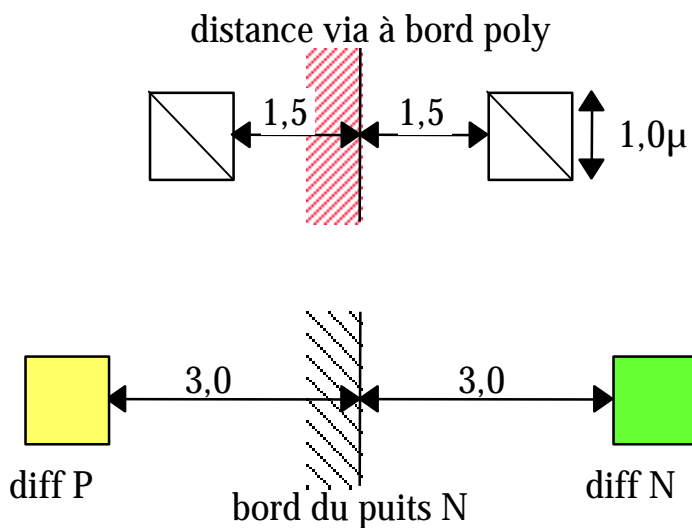
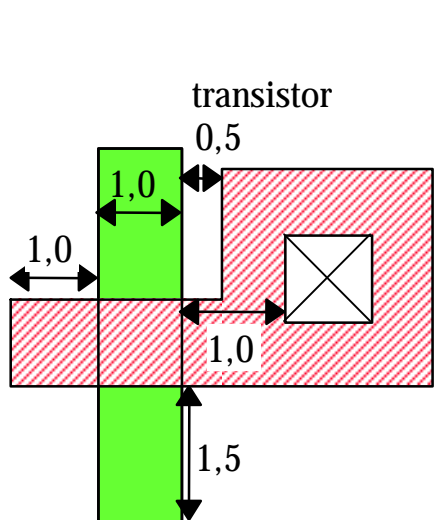
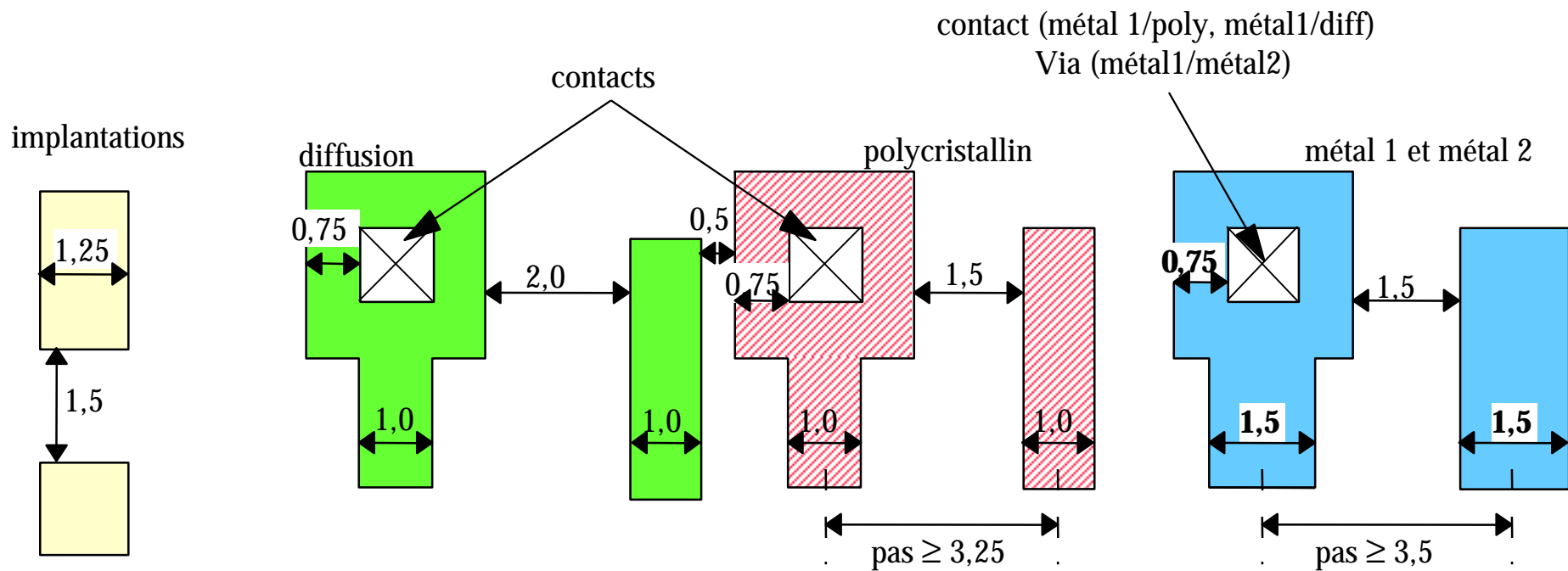


# Règles de dessin des masques ECPD15



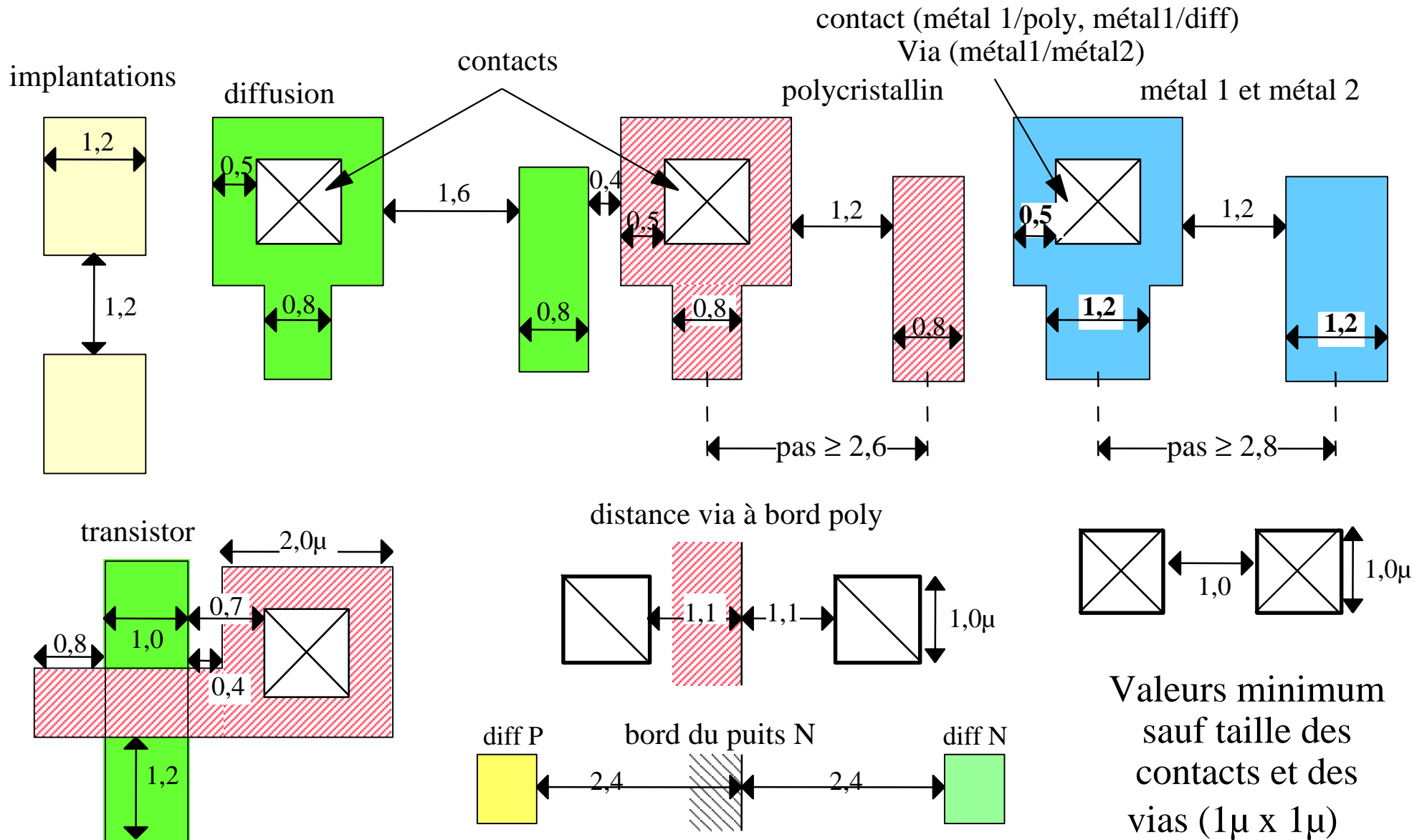
Valeurs minimum  
sauf taille de  
contacts et des  
vias (2 $\mu$  x 2 $\mu$ )

# Règles de dessin des masques ECPD10



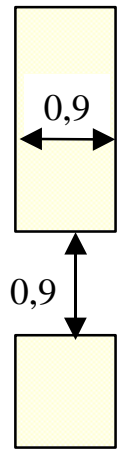
Valeurs minimum  
sauf taille des  
contacts et des  
vias (1 $\mu$  x 1 $\mu$ )

# Règles de dessin des masques ECPD07

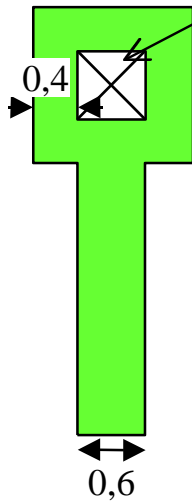


# Règles de dessin des masques AMS 0.6 $\mu$

Implantations  
P et N



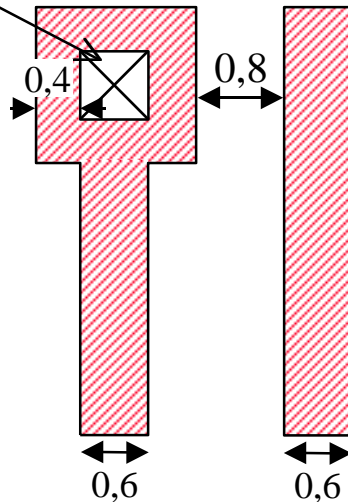
diffusion



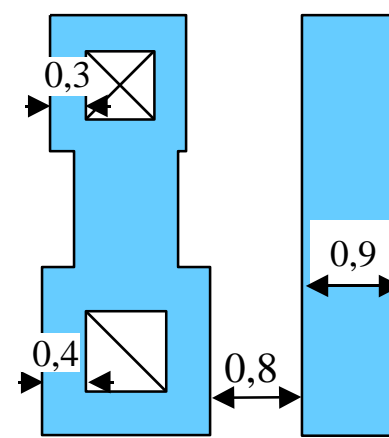
contacts



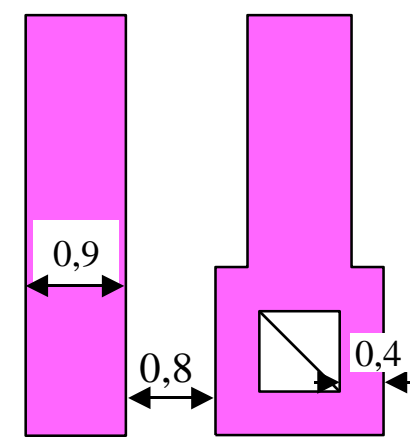
polycristallin



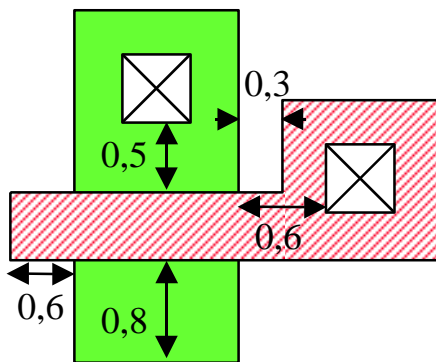
métal 1



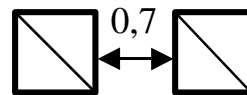
métal 2



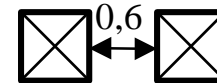
transistor



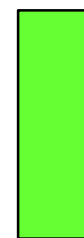
vias



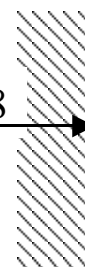
contacts



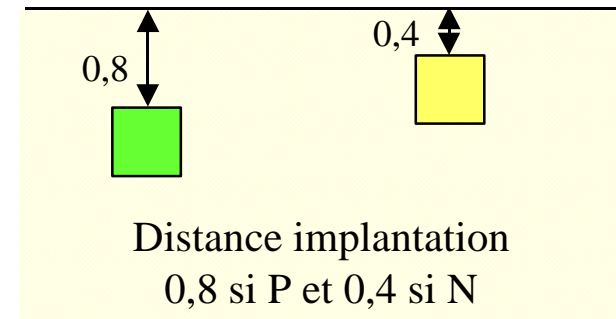
diff P



bord du puits N



diff N



Valeurs minimum sauf taille  
des contacts (0,6 $\mu$  x 0,6 $\mu$ )  
et des vias (0,7 $\mu$  x 0,7 $\mu$ )

